

Capaldi, Valentín

Implementación de un PLL de alta velocidad totalmente integrado en tecnología de 65nm

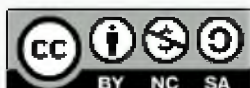
Tesis para la obtención del título de grado de
Ingeniero electrónico

Directores: Toselli, Eduardo Daniel

Castagnola, Juan Luis

Luna, Germán

Documento disponible para su consulta y descarga en **Biblioteca Digital - Producción Académica**, repositorio institucional de la **Universidad Católica de Córdoba**, gestionado por el **Sistema de Bibliotecas de la UCC**.



Esta obra está bajo licencia 2.5 de Creative Commons Argentina.

Atribución-No comercial-Compartir igual

Universidad Católica de Córdoba
Facultad de Ingeniería
Ingeniería Eléctrica/Electrónica



TRABAJO FINAL:

*“ Implementación de un PLL de alta velocidad totalmente
integrado con tecnología de 65nm”*

Presentado por:

Capaldi Valentín

Tutor: Toselli, Eduardo

Asesor: Castagnola, Juan Luis

Compañero de proyecto: Aguirre, Alejandro

Febrero 2010

Resumen

El presente es el trabajo final de la carrera de Ingeniería Eléctrica/Electrónica de la Universidad Católica de Córdoba. Éste nació como un proyecto de la capacitación de la empresa para la cual actualmente estoy trabajando, *Clariphy Argentina S.A.*

La idea principal fué desarrollar un PLL totalmente integrado utilizando una tecnología CMOS de 65nm, con 5GHz de salida en base a una frecuencia de referencia de 156.25MHz. La aplicación de este circuito será como generador de clock con bajo jitter de salida para otros circuitos.

En primera instancia el circuito fue estudiado detenidamente, con una extensa investigación sobre lo que actualmente existe desarrollado. Luego se continuó con la simulación utilizando modelos a nivel de sistema para corroborar la factibilidad de desarrollo, estimar los parámetros de diseño, la estabilidad y para tener una primera aproximación del funcionamiento del sistema a esa velocidad antes de comenzar con el análisis a nivel circuital. Una vez cumplidas estas simulaciones y verificada la factibilidad del diseño, se realizó una investigación más profunda sobre las posibles arquitecturas de cada uno de los bloques comparando las ventajas y desventajas de cada una de ellas.

Básicamente el circuito esta constituido por 5 bloques fundamentales:

1. Detector de fase
2. Charge-Pump
3. Filtro pasa bajos
4. Oscilador controlado por tensión
5. Divisor

La empresa propuso este trabajo a dos de sus actuales empleados, Aguirre Alejandro y Capaldi Valentín. Si bien todo el estudio y diseño del proyecto se realizó en conjunto, se decidió dividir tareas para agilizar los tiempos de realización. De esta manera, los bloques 1, 2, 3 y 5 fueron realizados por quien entrega este trabajo, mientras que el oscilador controlado por tensión desarrollado en el *Capítulo 3* se presenta como un aporte de Alejandro Aguirre con quién ha sido un enorme placer trabajar en conjunto durante todo este tiempo. Este bloque, además de las particularidades de diseño que posee a una velocidad de 5GHz, presenta la dificultad de tener que realizar el modelado y simulación con la mayor exactitud posible del inductor sobre el proceso de fabricación. Este elemento es clave y crítico dentro del VCO.

Todo el circuito fué simulado bajo 6 corners cumpliendo con las especificaciones en todos de ellos, quedando como se denomina comúnmente “*listo para la realización de la máscara*” (*Lay-Out ready*). Esto implica que en las simulaciones se agregaron

capacidades parásitas y que se tuvieron en cuenta las reglas de electro-migración recomendadas por el fabricante entre otras cosas.

La organización de este informe es la siguiente: En el *Capítulo 1* se realiza una introducción a los PLL, a su comportamiento dinámico y a su estudio analítico, mientras que en el *Capítulo 2* se realiza un análisis detallado del ruido de fase, característica muy importante si desea conseguir un circuito de bajo ruido (o bajo jitter).

A continuación del capítulo 2, se decidió dividir el trabajo en dos grandes partes, por un lado la *Parte A* donde se analizan, estudian y explican las topologías de cada uno de los bloques que componen a un PLL; y por otro lado la *Parte B* que se encarga de presentar los bancos de prueba (*TestBench*) y simulaciones de cada uno de dichos bloques para corroborar su correcto funcionamiento.

Por último, en la *Conclusión*, se resumen todos los contenidos aprendidos durante la realización de este trabajo, los problemas que fueron surgiendo en el transcurso del diseño, las soluciones planteadas y las cuestiones a tener en cuenta en los futuros trabajos de este tipo.

Agradecimientos

Primero y antes que nada quiero agradecer a mi familia, a quienes les debo todo el apoyo que me brindaron durante todo este tiempo permitiéndome llegar hasta acá. A mi padre por enseñarme el valor del sacrificio, a valorar y disfrutar del trabajo, a hacerlo con alegría y a pensar siempre por los demás antes que en uno mismo. A mi madre, por enseñarme el valor de la confianza, que todo esfuerzo tiene sus frutos y por sobre todas las cosas que no hay nada mas valioso en la vida que ser una persona honesta y sincera bajo cualquier circunstancia que la vida nos presente.

Segundo, a la gente de *Clariphy Argentina S.A.* por confiar en mi como profesional, por darme la oportunidad de la capacitación y el contacto permanente con excelentes expertos en ingeniería; por brindarme con total libertad y sin ningún tipo de cuestionamientos, absolutamente todas las herramientas necesarias para llevar a cabo este trabajo. Además, quisiera agradecer a mis compañeros de trabajo que estuvieron siempre dispuestos a ayudarme con la mayor predisposición portándose conmigo de un manera excelente, haciéndome sentir en un ambiente de trabajo que merece ser imitado, por su calidad en los aspectos personal y laboral.

A Alejandro Aguirre por su compañerismo, por su ayuda, y porque a pesar de tener mucho trabajo y no disponer de demasiado tiempo, nunca descuidó este proyecto. Su aporte y su empeño ha sido tan valioso para este trabajo como todo lo realizado por mi.

A Germán Luna, quien se ha encargado de ser mi tutor en este proyecto, llevándolo adelante con toda la seriedad que se merece estando disponible permanentemente para consultas y brindando sugerencias para solucionar cada uno de los problemas que fueron surgiendo.

Por último a Pablo Sonna, no puedo dejar de agradecer a quien considero un amigo, que aprecio y por quien siento una enorme admiración, que después de mucho tiempo, por las vueltas vida nos volvimos a encontrar como compañeros de trabajo. Me gustaría agradecerle por su apoyo constante, por brindarme su amistad, su excelencia como profesional, sus conocimientos y su paciencia sin esperar nada a cambio, estando siempre pendiente y dispuesto para lo que necesitara.

Este trabajo es tanto de ustedes como mío...

Muchas Gracias de todo corazón....

Índice general

| | |
|----------------------------------------------------------------------------------------------|-----------|
| Índice general | I |
| 1. INTRODUCCIÓN | 1 |
| 1.1. Análisis del sistema | 2 |
| 1.2. Comportamiento dinámico y Enganche | 3 |
| 1.2.1. Enganche estático | 5 |
| 1.2.2. Enganche dinámico | 7 |
| 1.3. Comportamiento durante la Captura | 7 |
| 1.3.1. Análisis en el dominio de la frecuencia | 7 |
| 1.3.2. Análisis en el dominio del tiempo | 9 |
| 1.4. Efecto del Filtro Pasa Bajos | 10 |
| 1.5. Análisis Lineal del PLL | 11 |
| 1.6. Análisis Dinámico del PLL | 14 |
| 1.7. Hoja de especificaciones del diseño | 16 |
| 2. RUIDO DE FASE | 17 |
| 2.1. Espectro de los osciladores | 17 |
| 2.2. Espectro de banda lateral única (SSB) y espectro de doble banda lateral (DSB) | 19 |
| 2.3. Definición del ruido de fase | 20 |
| 2.4. Características de Ruido de los osciladores | 21 |
| 2.5. Modelado del ruido de los VCO | 26 |
| 2.6. Modelado en el dominio de la fase | 27 |
| 2.7. Análisis del ruido de los PLLs | 27 |
| I PARTE A: Bloques básicos del PLL | 32 |
| 3. OSCILADOR CONTROLADO POR TENSIÓN | 33 |
| 3.1. Introducción (Tipos de osciladores) | 33 |
| 3.2. Conceptos fundamentales | 34 |
| 3.3. Oscilador controlado por tensión | 38 |
| 3.4. Ajuste de frecuencia en osciladores LC | 41 |
| 3.5. VCO Modelado e interpretación matemática | 43 |
| 3.6. Topologías para el VCO | 48 |
| 3.7. Diseño del VCO | 52 |
| 3.8. Selector de capacidades | 56 |

| | | |
|-----------|------------------------------------------------------------------|------------|
| 3.9. | Diseño del circuito del selector de capacidades | 60 |
| 3.10. | Varactores CMOS | 63 |
| 3.10.1. | Varactor de Juntura P-N | 63 |
| 3.10.2. | MOS en modo de acumulación | 63 |
| 3.10.3. | Varactor NMOS de modo normal | 64 |
| 3.10.4. | Varactor PMOS de modo normal | 64 |
| 3.11. | Diseño del Inductor | 67 |
| 3.11.1. | Introducción | 67 |
| 3.11.2. | Mecanismos de pérdidas | 68 |
| 3.11.3. | Modelado del inductor | 72 |
| 3.11.4. | Buenas prácticas durante el diseño de inductores | 76 |
| 3.11.5. | Inductores diferenciales | 78 |
| 3.11.6. | ASITIC | 81 |
| 4. | DETECTOR DE FRECUENCIA Y FASE | 88 |
| 4.1. | La zona muerta | 92 |
| 4.2. | Flip-Flops TSPC | 94 |
| 4.3. | Level Shifter 1V-1.2V | 95 |
| 5. | CHARGE PUMP Y FILTRO PASA BAJOS | 96 |
| 5.1. | Topología básica | 97 |
| 5.2. | Ruido de Charge-Pump | 98 |
| 5.2.1. | Fugas de corriente | 100 |
| 5.2.2. | Mismatch entre las corrientes de UP y DOWN | 101 |
| 5.2.3. | Mismatch de tiempo entre los pulsos de control del PFD | 102 |
| 5.2.4. | Inyección de cargas y clock | 102 |
| 5.3. | Problemas de la topología tradicional en 65nm | 104 |
| 5.4. | Topología elegida | 104 |
| 5.5. | Diseño del filtro pasa bajos | 105 |
| 6. | DIVISOR | 107 |
| 6.1. | Lógica CML | 107 |
| 6.2. | Divisores CML | 109 |
| 6.3. | Dimensionado de los transistores | 111 |
| 6.3.1. | Transistores del Latch | 111 |
| 6.3.2. | Transistores del Driver | 111 |
| 6.3.3. | Transistores de Clock | 111 |
| 6.4. | Divisor CMOS | 112 |
| 6.5. | Conversor CML-CMOS | 114 |
| II | PARTE B: TestBenches y simulaciones | 115 |
| 7. | TESTBENCH PARA EL VCO | 116 |
| 8. | TESTBENCH PARA DETECTOR DE FASE | 120 |

| | |
|---------------------------------------------------------------------|----------------|
| 9. TESTBENCH PARA EL CHARGE-PUMP | 124 |
| 10. TESTBENCH PARA EL DIVISOR | 128 |
| III PARTE C: Modelos y Simulaciones | 134 |
| 11. MODELADO DEL PLL EN AC | 135 |
| 12. MODELADO DEL PLL CON MATLAB | 139 |
| 13. SIMULACIÓN DE LAZO CERRADO | 144 |
| 13.1. Especificaciones vs Resultados | 149 |
| 13.2. Comparaciones | 150 |
| CONCLUSIÓN | 151 |
| IV Anexos | 153 |
| ANEXO A: IMPLEMENTACIÓN DE LOS CIRCUITOS | 154 |
| ANEXO B: TECNOLOGÍA TSMC 65NM | 177 |
| ANEXO C: SCRIPT DE MATLAB PARA EL MODELADO DEL RUIDO DE FASE | 195 |
| ANEXO D: ARCHIVO .TEK DE ASITIC PARA PROCESO TSMC DE 65NM | 203 |
| Bibliografía | 207 |

Capítulo 1

INTRODUCCIÓN

Un sistema enganchado en fase (PLL) es un circuito que se utiliza para múltiples aplicaciones, entre ellas:

- Multiplicación de frecuencias.
- De-modulación de FM y AM.
- Generación de clock
- Modulación por desplazamiento de frecuencia (FSK).
- Conversión de frecuencias.
- Acondicionamiento de señales.
- Recuperación de clock de las tramas de datos.

En este trabajo nos concentramos en el análisis y diseño de un PLL totalmente integrado utilizado para la generación de clock (sintetizador) cuyas características principales deben ser bajo ruido de fase y bajo consumo para una frecuencia de 5Ghz generada a partir de una referencia a 156.25Mhz, se debe destacar que todo lo que se explique en este trabajo es lo que se aplica en la industria de alta tecnología hoy en el mundo.

En la *Figura 1.1* se muestra un diagrama en bloques del PLL que se diseñó en este trabajo, sus bloques principales son: el detector de fase-frecuencia (en adelante se lo llamara PFD de sus siglas en ingles para *Phase-Frequency Detector*), un circuito de Bomba de carga (en adelante se lo llamara CP de sus siglas en ingles para *Charge-Pump*), un Filtro pasa bajos (en adelante lo llamaremos LPF de sus siglas en ingles para *Low Pass Filter*), un oscilador controlado por tensión (en adelante lo llamaremos VCO de sus siglas en ingles para *Voltage Controlled Oscillator*), y un divisor de frecuencia. EL PFD detecta la diferencia en fase y frecuencia entre la señal de referencia y la señal re-alimentada para generar pulsos de control “up” o “down” dependiendo cuan retrasada o adelantada esta la frecuencia re-alimentada con respecto a la frecuencia de referencia, estas señales de control “up” o “down” determinaran si el VCO aumentara o disminuirá su frecuencia de salida. Las señales “up” y “down” controlan la corriente que se inyecta o extrae hacia o desde el filtro pasa bajos. Dicho de otra manera cuando el CP recibe una señal de “up” este inyecta corriente en el filtro y cuando el CP recibe una señal de “down” este drena corriente de los capacitores del filtro pasa bajos generando una tensión de DC que controla la salida

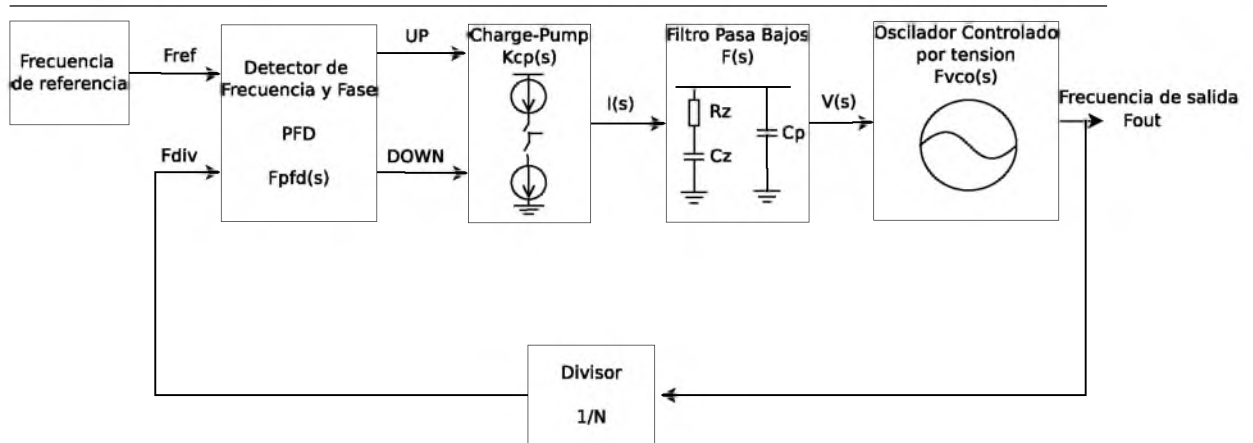


Figura 1.1: Diagrama en bloques de un PLL

del VCO. La frecuencia de salida del VCO es dividida por N y re-inyectada en el PFD para ser comparada con la frecuencia de referencia a la cual tratará de igualar generando pulsos de “up” o “down” según sea necesario aumentar o disminuir la frecuencia de salida para que el error de fase entre la referencia y la salida dividida por N sea nulo. Tenemos que tener presente que un PLL es un sistema re-alimentado que trabaja sobre el exceso de fase en señales periódicas a diferencia los circuitos re-alimentados donde las amplitudes o variaciones de la tensión y corriente son los parámetros a re-alimentar.

1.1. Análisis del sistema

Un lazo enganchado de fase (PLL del inglés *phase-locked loop*) es un sistema re-alimentado que trabaja con el exceso de fase de señales periódicas. Vamos a analizar el funcionamiento del sistema descrito en el diagrama de bloques de la *Figura 1.1*, asumimos N igual a 1 para simplificar nuestro análisis. Suponiendo que estamos en la condición de enganche, entonces las señales en el lazo ya alcanzaron su estado estacionario donde la diferencia de fase es constante y la frecuencia de salida es igual a la de entrada: si aplicamos un escalón positivo de frecuencia $\Delta\omega$ en la entrada F_{ref} del PFD este produce un tren de pulsos “up” cuyo valor promedio controla al CP para que este inyecte corriente en el LPF aumentando la tensión de DC puesta a la entrada del VCO lo cual provoca que la frecuencia de salida del VCO aumente para igualar a la frecuencia de referencia. Una vez que la frecuencia de salida F_{out} es igual a la frecuencia de referencia F_{ref} el PFD seguirá enviando un tren de pulsos cuyo ancho es proporcional a la diferencia de fase $\Delta\phi$ entre las señales F_{ref} y F_{out} estos pulsos “up” o “down” se generan dependiendo de si una fase esta retrasada o adelantada respecto de la otra, y tenderán a minimizar el error de fase $\Delta\phi$ entre las señales F_{ref} y F_{out} hasta lograr que la diferencia de fase sea constante, en ese momento podemos decir que el lazo esta enganchado en fase. De igual manera se puede hacer una análisis del sistema para un escalón negativo de frecuencia aplicado a la entrada F_{ref} .

Cuando se diseña un VCO para utilizarlo en un PLL, este se diseña para que su frecuencia central se encuentre a la mitad de la máxima excursión de la tensión que se aplica a su entrada de control, y por lo general se elige esta tensión cercana a la tensión de alimentación dividida dos, a esta frecuencia la denominaremos frecuencia central del VCO o frecuencia de oscilación

libre (es común que se refieran a esta por su nombre en ingles *free-running frequency*), el diseñador del VCO tendrá en cuenta esto para ubicar la frecuencia libre cercana a la frecuencia de referencia multiplicada por N. Si la frecuencia de entrada F_{ref} esta suficientemente cerca a F_{out} , la naturaleza del PLL hace que el VCO se sincronice o “enganche” con la señal de entrada. Una vez enganchado, la frecuencia del VCO es idéntica a la señal de entrada excepto por una pequeña diferencia de fase finita. Esta diferencia de fase es necesaria para generar la tensión de error correctiva $V(s)$ y desplazar la frecuencia del VCO de su valor de frecuencia libre a la frecuencia de la señal entrante F_{ref} y así mantener el PLL enganchado. Esta habilidad de auto-corrección del sistema también permite al PLL rastrear los cambios de frecuencia de la señal entrante una vez que esta enganchado.

El rango de frecuencias sobre las cuales el PLL puede *mantener su enganche* con una señal entrante es definido como el **Rango de enganche** del sistema; mientras que la banda de frecuencias sobre las cuales el PLL puede *adquirir enganche* con una señal entrante se conoce como el **Rango de captura**, este nunca sera mayor que el rango de enganche.

1.2. Comportamiento dinámico y Enganche

Las preguntas clave en el comportamiento de un PLL son: ¿Cuales son los limites para los que el PLL puede seguir a la señal de entrada?. ¿Que determina el rango de enganche del sistema? Para responder a estas preguntas vamos a analizar el comportamiento dinámico de un PLL simple y luego vamos a considerar dos casos extremos: **1)** Cuando la señal de entrada varia lentamente (*enganche estático*) y **2)** Cuando la señal de entrada varia abruptamente (*enganche dinámico*).

En la *Figura 1.2* se muestra el modelo de un PLL sencillo con un detector de fase sinusoidal. Vamos a plantear la función de transferencia para la fase $H(s) = \phi_{out}(s)/\phi_{in}(s)$, asumiendo la función de transferencia del filtro pasa bajos igual a $G_{LPF}(s)$.

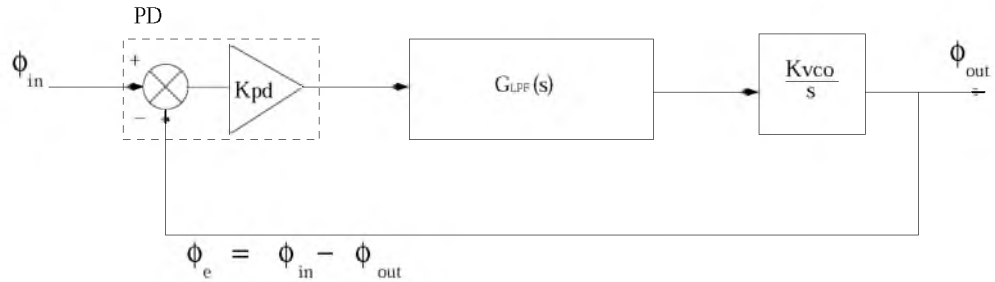


Figura 1.2: Modelo lineal de un PLL simple

La función de transferencia a lazo abierto del PLL sera

$$H_{LA}(s) = K_{PD}G_{LPF}(s)\frac{K_{VCO}}{s} \quad (1.1)$$

Luego la función de transferencia de lazo cerrado es,

$$H(s) = \frac{\phi_{out}}{\phi_{in}} \quad (1.2)$$

$$H(s) = \frac{K_{PD}K_{VCO}G_{LPF}(s)}{s + K_{PD}K_{VCO}G_{LPF}(s)} \quad (1.3)$$

podemos reemplazar la función de transferencia del filtro pasa bajos por la de un filtro simple de primer orden

$$G_{LPF}(s) = \frac{1}{1 + \frac{s}{\omega_{LPF}}} \quad (1.4)$$

donde $\omega_{LPF} = 1/(RC)$, y reemplazando en la ecuación 1.3 obtenemos,

$$H(s) = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \quad (1.5)$$

Para hacer un análisis dinámico del comportamiento del PLL convertimos el denominador de la ecuación 1.5 a la forma familiar que ya conocemos para un sistema de segundo orden $s^2 + 2\zeta\omega_n s + \omega_n^2$ con ζ como factor de amortiguamiento y ω_n la frecuencia natural del sistema.

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (1.6)$$

$$\omega_n = \sqrt{\omega_{LPF}K} \quad (1.7)$$

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_{LPF}}{K}} \quad (1.8)$$

Note que ω_n es la media geométrica del ancho de banda a -3dB del filtro pasa bajos, y de alguna manera es un indicador de la relación producto ganancia por ancho de banda del lazo, mientras que el factor de amortiguamiento es inversamente proporcional a la ganancia de lazo. De la ecuación 1.6 se puede decir que si el exceso de fase a la entrada varia lentamente entonces la salida es capaz de seguir la entrada, y si el exceso de fase en la entrada varia rápidamente se observa una pequeña variación en el exceso de fase a la salida, particularmente si $s \rightarrow 0$, entonces $H(s) \rightarrow 1$, por ejemplo un corrimiento estático de fase en la entrada es trasferido a la salida sin ningún cambio, esto se debe a la característica integradora del VCO que hace que la ganancia de lazo abierto tienda a infinito cuando $s \rightarrow 0$. Nos interesa encontrar la “función de transferencia del error de fase” definida como $H_e(s) = \phi_e(s)/\phi_{in}(s)$ en la figura 1.2 entonces planteamos:

$$H_e(s) = 1 - H(s) \quad (1.9)$$

$$= \frac{s^2 + 2\zeta\omega_n s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (1.10)$$

Este error tiende a cero cuando $s \rightarrow 0$. La fase y la frecuencia están relacionadas por una función invariante en el tiempo, por lo cual es de esperarse que al aplicar una variación de frecuencia rápida a la entrada la variación en la frecuencia de salida sera pequeña. Ahora supongamos que se aplica un escalón de frecuencia igual a $\Delta\omega u(t)$ donde $u(t)$ es la función escalón unitario. El exceso de frecuencia a la salida muestra la típica respuesta al escalón de un sistema de segundo orden en donde se la salida se estabilizara un $\Delta\omega \text{ rad/s}$ por encima de su valor inicial, como se ve en la figura 1.3.

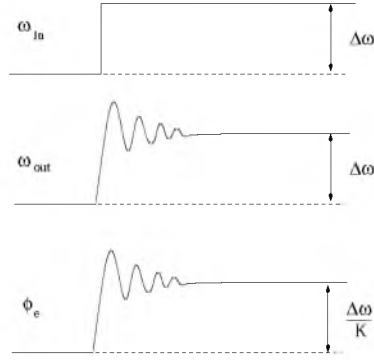


Figura 1.3: Respuesta de un PLL a un escalón de frecuencia

Durante el funcionamiento normal se puede considerar que la variación de la fase de entrada varia según una rampa, entonces podemos analizar el error de fase con una entrada del tipo rampa:

$$\Phi_{out}(s) = H(s)\Phi_{in}(s) \quad (1.11)$$

$$= \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \frac{\Delta\omega}{s^2} \quad (1.12)$$

y entonces el error de fase estático de fase producido por una señal de rampa seria:

$$\Phi_e(s) = H_e(s)\Phi_{in}(s) \quad (1.13)$$

$$= \frac{s^2 + 2\omega_n s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \frac{\Delta\omega}{s^2} \quad (1.14)$$

Si utilizamos el teorema del valor final

$$\Phi_e(t = \infty) = \lim_{s \rightarrow 0} s\Phi_e(s) \quad (1.15)$$

$$= \Delta\omega \frac{2\zeta}{\omega_n} \quad (1.16)$$

$$= \frac{\Delta\omega}{K} \quad (1.17)$$

Es importante notar que el valor del error de fase estático en el enganche (para un $t = \infty$) depende de la ganancia de lazo abierto $K = K_{VCO}K_{PD}$ y de la diferencia de frecuencia $\Delta\omega$.

1.2.1. Enganche estático

Para explicar el comportamiento de enganche estático nos vamos a referir a la [Figura 1.2](#) donde se muestra un PLL que utiliza un detector de fase sinusoidal. Vamos a suponer que el VCO comienza oscilando en su frecuencia de oscilación libre (*free-running frequency* = ω_{FR}) y que $\omega_{in} = \omega_{out} = \omega_{FR}$, ahora si la frecuencia de la señal de entrada ω_{in} varia lo suficientemente lento como para que la diferencia $\omega_{in} - \omega_{out}$ siempre se mantenga por debajo de la frecuencia de corte del filtro pasa bajos ω_p vamos a notar que a medida que ω_{in} se separa de ω_{FR} el error de fase aumenta según la pendiente $1/K$, y como la tensión de control del VCO es directamente

proporcional al error de fase y a su vez la frecuencia de salida es directamente proporcional a la tensión de control aplicada a la entrada del VCO vemos que para que la frecuencia de salida siga y sincronice con la frecuencia de referencia a valor de frecuencia superior, el error de fase estático incrementa.

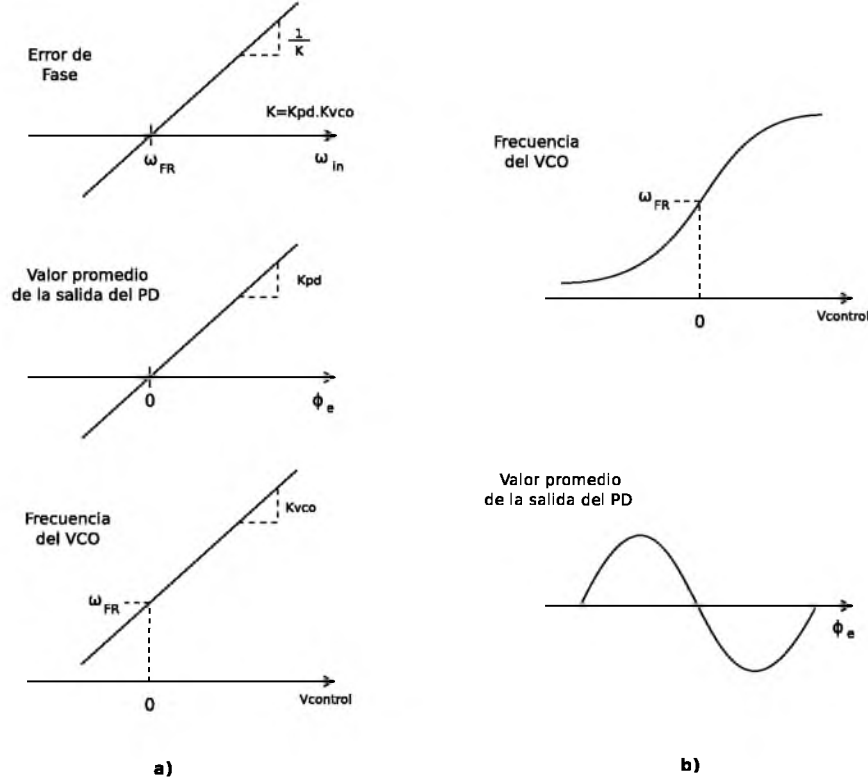


Figura 1.4: a) Parámetros que varían durante el enganche, b) Reducción de la ganancia en el PD y en el VCO

En la realidad los parámetros K_{VCO} y K_{PD} no son lineales y por lo tanto definen el rango de enganche, los límites para el rango de enganche estático quedan definidos en donde la pendiente del K_{VCO} o del K_{PD} cae a cero o cambia de signo. Esto solo puede ocurrir en el detector de fase o en el VCO (suponiendo lineales todos los componentes del LPF), este comportamiento se ilustra en la *Figura 1.4 (b)*. La frecuencia de un VCO típico tiene un rango limitado, fuera de el la ganancia (pendiente de la curva) cae abruptamente. Por otro lado, en el caso del PD la pendiente de la curva también se vuelve cero cuando el error de fase (diferencia entre sus entradas) es demasiado grande, en este caso el PLL es incapaz de mantener el enganche. Por ejemplo si suponemos un PD sencillo cuya característica cambia de signo cuando la diferencia de fase entre sus entradas es mayor a 90° respecto de su valor central, entonces la frecuencia del VCO se desviara de su frecuencia de oscilación libre no mas de:

$$\Delta\omega_{enganche} = K_{PD} \left(\sin \frac{\pi}{2} \right) K_{VCO} \quad (1.18)$$

1.2.2. Enganche dinámico

Supongamos que inicialmente el PLL esta operando en la frecuencia de oscilación libre del VCO y que $\omega_{in} = \omega_{out} = \omega_{FR}$. Si la frecuencia de entrada se incrementa en $\Delta\omega$, cual sera el máximo valor posible para que el lazo enganche nuevamente?. $\Delta\omega_{captura}$ puede ser tan grande como $\Delta\omega_{enganche}$ del caso anterior?.

Para contestar estos interrogantes hay que hacer una importante observación. Estrictamente hablando, se puede decir que para cualquier salto en la frecuencia de entrada el PLL pierde el enganche, aunque sea momentáneamente. Entonces, es evidente que el lazo requiere un cierto numero de ciclos para estabilizarse. Durante estos ciclos, la diferencia de fase entre las frecuencias de entrada y de salida varia y puede considerarse al PLL como desenganchado.

Entonces, de la observación anterior podemos notar que existen dos situaciones similares en cuanto al comportamiento del sistema: **1)** El lazo inicialmente esta enganchado en ω_{FR} y experimenta un salto de frecuencia $\Delta\omega$ abrupto y **2)** El lazo inicialmente esta desenganchado y funcionando a oscilación libre ($\omega_{out} = \omega_{FR}$) y debe enganchar en una frecuencia dada $|\omega_{in} - \omega_{FR}| = \Delta\omega$. En ambos casos el lazo debe *adquirir o “capturar” a la frecuencia de entrada*.

1.3. Comportamiento durante la Captura

Ya hemos analizado el denominado *enganche dinámico*, y un caso en el cual se puede observar este comportamiento es el momento en el que se pone en funcionamiento el PLL (en el arranque), si las condiciones iniciales en el LPF son cero, el VCO comienza a oscilar a una frecuencia ω_{FR} y la frecuencia de referencia estará oscilando $\omega_{FR} + \Delta\omega$, entonces vamos a definir al “*rango de captura*” como el máximo $\Delta\omega$ para el cual el lazo aun es capaz de lograr el enganche. Para entender el mecanismo de como el PLL logra el enganche vamos a hacer un pequeño análisis en el dominio de la frecuencia y otro en el dominio del tiempo. Vamos a asumir que:

- a) El PD (*phase detector*) es implementado con un multiplicador
- b) ω_{in} se encuentra en el rango de las frecuencias del VCO
- c) La componente suma de la salida del PD es fuertemente atenuada por el LPF
- d) La frecuencia de salida del VCO incrementa al incrementar su tensión de control

1.3.1. Análisis en el dominio de la frecuencia

En la *Figura 1.5 (a)*, se muestra el diagrama en bloques de un PLL con N igual a 1, vamos a hacer un análisis en frecuencia partiendo del espectro de la señal de entrada $\omega_{in} = \omega_{FR} + \Delta\omega$ y el espectro de la señal de salida $\omega_{out} = \omega_{FR}$ siguiendo ambas señales a través del lazo. Como se sabe, la salida de un PD multiplicador tiene un valor medio igual a cero cuando $\omega_{in} \neq \omega_{out}$ (27), por lo tanto a primera vista deberíamos esperar que el lazo nunca llegue a enganchar ya que la la salida del detector de fase no es capaz de seguir las variaciones de frecuencia. Sin embargo el LPF no alcanza a suprimir del todo las componentes $\omega_{in} - \omega_{out}$ y de esta manera la tensión de control V_A varia según $\Delta\omega$ modulando así la frecuencia en la salida del VCO, podemos aproximar la función de salida como:

$$\begin{aligned}
v_{out}(t) &= A \cos \left[\omega_{FR} t + K_{vco} \int A_m \cos(\Delta\omega t) dt \right] \\
&= A \cos \left[\omega_{FR} t + \frac{K_{vco}}{\Delta\omega} A_m \sin(\Delta\omega t) \right] \\
&\approx A \cos \omega_{FR} t - \frac{K_{vco}}{\Delta\omega} A_m \sin(\omega_{FR} t) \sin(\Delta\omega)
\end{aligned} \tag{1.19}$$

Donde asumimos que $K_{VCO} A_m / \Delta\omega \ll 1$. Como resultado, a la salida del VCO en el punto V_B , vamos a encontrar bandas laterales en $\omega_{FR} \pm \Delta\omega$ alrededor de ω_{FR} . Cuando el PD multiplica las bandas laterales en $\omega_{FR} + \Delta\omega$ por ω_{in} , entonces una componente de continua aparece en el nodo A en la *Figura 1.5 (a)* ajustando la frecuencia del VCO hacia la frecuencia deseada (10). Esta componente de DC debe crecer a lo largo de un cierto numero de ciclos hasta que se alcance el enganche.

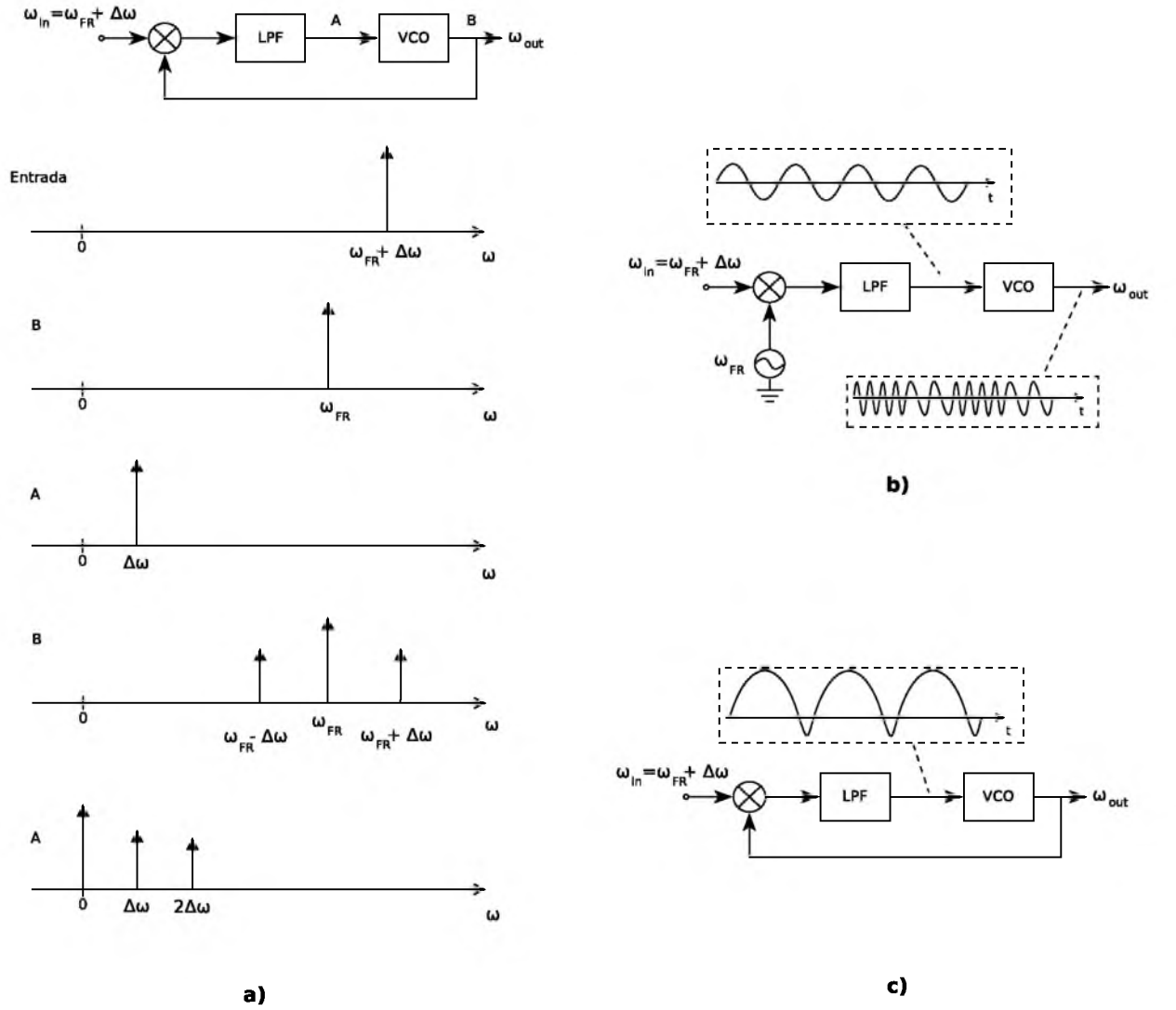


Figura 1.5: a) Comportamiento de la captura en el dominio de la frecuencia, b) y c) Comportamiento de la captura en el dominio del tiempo

Se puede notar que el rango de captura depende de cuanto el LPF filtre la componente en $\Delta\omega$ y de cuan fuerte es la realimentación de la componente de DC. Como la ganancia del lazo (de un PLL simple) cae mientras mayor sea la diferencia $\Delta\omega = \omega_{in} - \omega_{out}$ el rango de captura no puede ser definido arbitrariamente.

1.3.2. Análisis en el dominio del tiempo

Para hacer el análisis en el dominio del tiempo vamos a abrir el lazo colocando un oscilador de frecuencia ω_{FR} en el punto de comparación, *Figura 1.5 (b) (12)*. La salida del LPF es una señal sinusoidal en $\omega_{in} - \omega_{FR}$. A medida que la amplitud instantánea de la senoide incrementa, la frecuencia del VCO también lo hara y viceversa. Esta modulación de la frecuencia es tal que la maxima diferencia entre ω_{in} y ω_{FR} ocurre para los picos positivos y la minima diferencia entre ω_{in} y ω_{FR} ocurre para los picos negativos. Ahora, si el lazo se cierra, la señal de realimentación tiene una *frecuencia variable en el tiempo*. Cuando la salida del LPF experimenta una excursion positiva, ω_{out} se aproxima a ω_{in} y el periodo de pulsación incrementa, al contrario cuando la salida del LPF se vuelve negativa, ω_{out} se aleja de ω_{in} y el periodo de su pulsación decrece, *Figura 1.5 (c)*, como resultado se observa una forma de onda asimétrica donde los ciclos positivos tiene una mayor duración que los negativos como se muestra en la *Figura 1.5 (c)*, esto genera una componente de DC que logra cambiar gradualmente el valor de ω_{out} a un valor cercano al de ω_{in} . Del anterior análisis podemos notar dos puntos importantes, **1)** si ω_{FR} se encuentra lo suficientemente cerca de ω_{in} la captura de la frecuencia se logra en el primer pico de la forma de onda a la salida del LPF *Figura 1.6 (a)*, en este caso vamos a decir que el PLL engancha sin “*desplazamiento de ciclos*”, el único momento donde vamos a observar “*desplazamiento de ciclos*” es cuando ω_{in} se encuentra próximo al extremo del rango de captura necesitando varios ciclos para conseguir aquella tensión de DC que llevara la ω_{out} cercana a ω_{in} . En el caso **2)** si ω_{FR} se encuentra lo suficientemente lejos de ω_{in} la forma de onda a la salida del LPF no posee la suficiente asimetría para generar la tensión de DC necesaria para llevar el lazo al enganche, *Figura 1.6 (b)*.

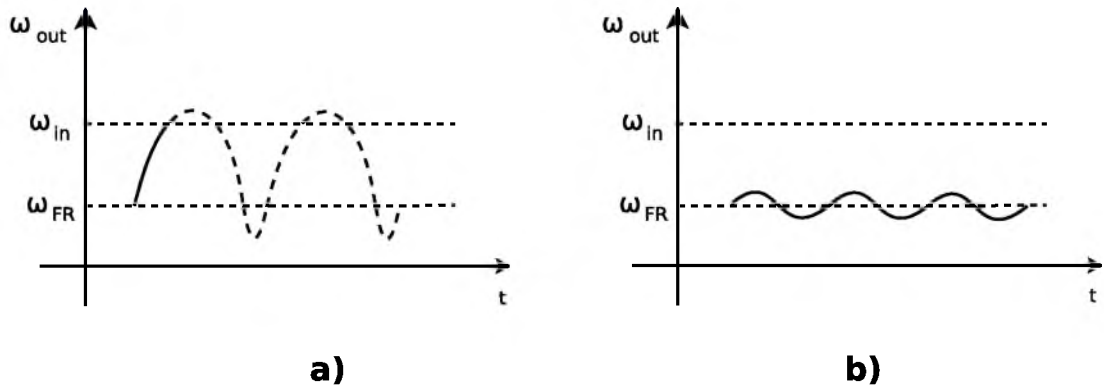


Figura 1.6: a) Captura rápida, b) Falla en la captura

El *rango de captura* es un parámetro critico debido a que: **1)** Esta relacionado directamente con el ancho de banda del lazo, por ejemplo, si para una determinada aplicación se requiere que el ancho de banda del lazo sea pequeño, el rango de captura sera proporcionalmente pequeño; **2)** Determina la variación maxima de frecuencia aplicada en la entrada o bien la maxima variación de frecuencia a la que el VCO es capaz de seguir.

Realizar un análisis del rango de captura es algo muy complicado. Para simplificar este análisis suponemos que la señal sobre el filtro pasa bajos puede aproximarse mediante (12):

$$v_{LPF}(t) = K_{pfd} \cdot |F_{LPF}(j\Delta\omega)| \cdot \sin(\Delta\omega t) \quad (1.20)$$

Esta señal modula la frecuencia de salida del VCO causando una desviación máxima de frecuencia de:

$$(\omega_{out} - \omega_{FR})|_{max} = K_{pfd}K_{vco}|F_{LPF}(j\Delta\omega)| \quad (1.21)$$

Segun se puede observar en la *Figura 1.6* la desviación de la *Ec 1.21* debe ser igual o mayor a $\Delta\omega$ para que la captura no sufra “desplazamiento de ciclos” (4):

$$\Delta\omega_{captura} = K_{pfd}K_{vco}|F_{LPF}(j\Delta\omega)| \quad (1.22)$$

1.4. Efecto del Filtro Pasa Bajos

El filtro pasa bajos cumple una doble función dentro del lazo de un PLL:

- 1 - Atenúa las componentes de error de alta frecuencia a la salida del circuito de bomba de carga, mejorando las características de rechazo a las interferencias reduciendo el jitter.
- 2 - Provee una memoria de corto plazo para el PLL y asegura una rápida recaptura de la señal, si el sistema es sacado del enganche por un ruido transitorio.

Disminuir el ancho de banda del filtro tiene los siguientes efectos sobre el rendimiento del sistema:

- a) El proceso de captura se vuelve mas lento, y el tiempo de recuperación aumenta.
- b) Disminuye el rango de captura.
- c) Las propiedades de rechazo de interferencias del PLL mejoran, dado que la tensión de error causada por una frecuencia interfiriente es disminuida por el LPF.
- d) La respuesta transitoria del lazo (la respuesta del PLL en cambios repentinos en la frecuencia de entrada dentro del rango de captura) se vuelve amortiguada.

1.5. Análisis Lineal del PLL

Los PLL modernos de alta performance emplean circuitos de bomba de carga (*Charge-Pump*), debido a que el rango de captura del PLL queda limitado por el rango de ajuste del VCO y la tensión de salida de la bomba de carga. Otra ventaja de este tipo de PLL es que la ganancia de DC en lazo abierto del sistema es infinito, logrando un error de fase de 0° cuando el lazo esta enganchado.

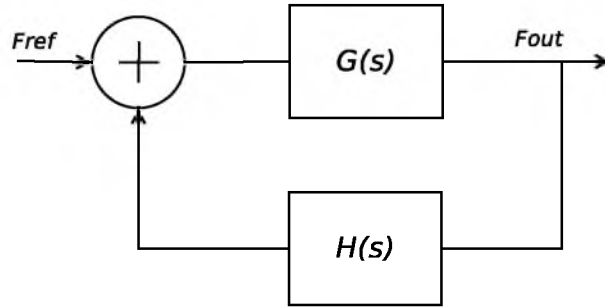


Figura 1.7: Diagrama en bloques básico del PLL como realimentación negativa

Se puede hacer una analogía con la teoría básica de realimentación, modelando al PLL como en la [Figura 1.7](#) (1). Un PLL modelado de esta manera, tiene una función de transferencia de lazo cerrado:

$$CL(s) = \frac{F_{out}}{F_{ref}} = \frac{G(s)}{1 + G(s) \cdot H(s)} \quad (1.23)$$

Utilizando la teoría de control básica se puede caracterizar el comportamiento del sistema. En este caso se analizará un PLL tipo-III con un filtro pasivo de 2do orden. El tipo de PLL se caracteriza por la cantidad de polos que el sistema de lazo abierto contenga en el origen. Entonces, el orden del sistema queda referido al mayor grado de la función de transferencia de lazo cerrado. En la [Figura 1.8](#) podemos observar un modelo más detallado de cada bloque.

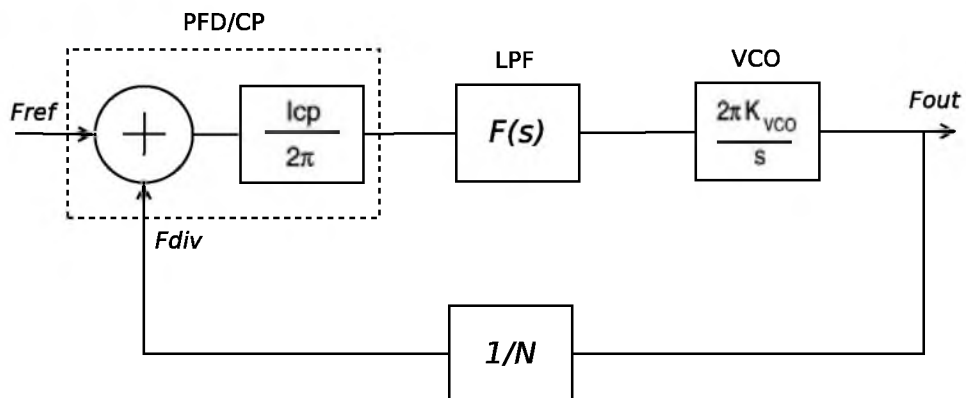


Figura 1.8: Modelo lineal del PLL

Con este modelo, la ganancia directa del sistema es:

$$G(s) = \frac{I_{cp}}{2 \cdot \pi} \cdot F(s) \cdot \frac{2 \cdot \pi \cdot K_{vco}}{s} \quad (1.24)$$

La función de transferencia del filtro pasa bajos puede obtenerse haciendo un análisis de la [Figura 1.9](#):

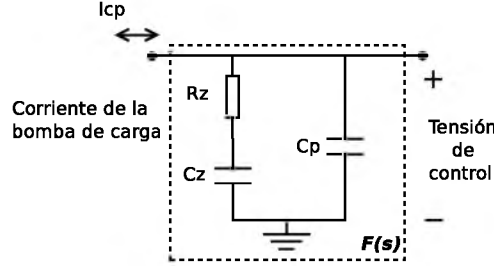


Figura 1.9: Filtro pasa bajos

$$F(s) = \frac{V_{ctrl}}{I_{cp}} = \frac{s \cdot R_z C_z + 1}{s \cdot (s R_z C_z C_p + C_z + C_p)} = \frac{1}{s} \cdot \frac{(s + \omega_z)}{(s + \omega_p)} \quad (1.25)$$

Donde $\omega_z = \frac{1}{R_z C_z}$, $\omega_p = R_z C$ con $C = \frac{C_p C_z}{C_p + C_z}$

De la misma manera, la función de transferencia de la realimentación es:

$$H(s) = \frac{1}{N} \quad (1.26)$$

Si ahora reemplazamos [Ec 1.24](#) y [Ec 1.26](#) en [Ec 1.23](#) obtenemos:

$$CL(s) = \frac{G(s)}{1 + G(s) \cdot H(s)} = \frac{\frac{I_{cp}}{2 \cdot \pi} \cdot F(s) \cdot \frac{2 \cdot \pi \cdot K_{vco}}{s}}{1 + \frac{I_{cp}}{2 \cdot \pi} \cdot F(s) \cdot \frac{2 \cdot \pi \cdot K_{vco}}{s} \cdot \frac{1}{N}} \quad (1.27)$$

Simplificando:

$$CL(s) = \frac{K \cdot (s C_z R_z + 1)}{s^3 C_z C_p R_z + s^2 (C_z + C_p) + s \frac{K \cdot C_z R_z}{N} + \frac{K}{N}} \quad (1.28)$$

Donde $K = I_{cp}[A] \cdot K_{vco}[Hz/V]$

Se define la función de transferencia del lazo como:

$$T(s) = G(s)H(s) = \frac{I_{cp}}{2 \cdot \pi} \cdot F(s) \cdot \frac{2 \cdot \pi \cdot K_{vco}}{s} \cdot \frac{1}{N} \quad (1.29)$$

Esta función tiene una caída de -40dB/dec en baja frecuencia hasta el cero de la función de transferencia. A partir de ahí, la caída es de -20dB/dec hasta la aparición del polo, desde donde nuevamente vuelve a tener una pendiente de -40dB/dec. La [Figura 1.10](#) muestra esta característica. En ella, ω_c es la llamada frecuencia de corte del filtro y es donde la ganancia del lazo es igual a cero dB. Esta frecuencia de corte del sistema en lazo abierto coincide exactamente con la frecuencia de la caída de -3dB en lazo cerrado, por lo que se la denomina *ancho de banda del PLL*. Por otro lado, al valor $180 - Fase(\omega_c)$ se denomina *Margen de Fase*. Este valor es el que determina la estabilidad del sistema y usualmente, en los PLL se elige entre 50° y 70°.

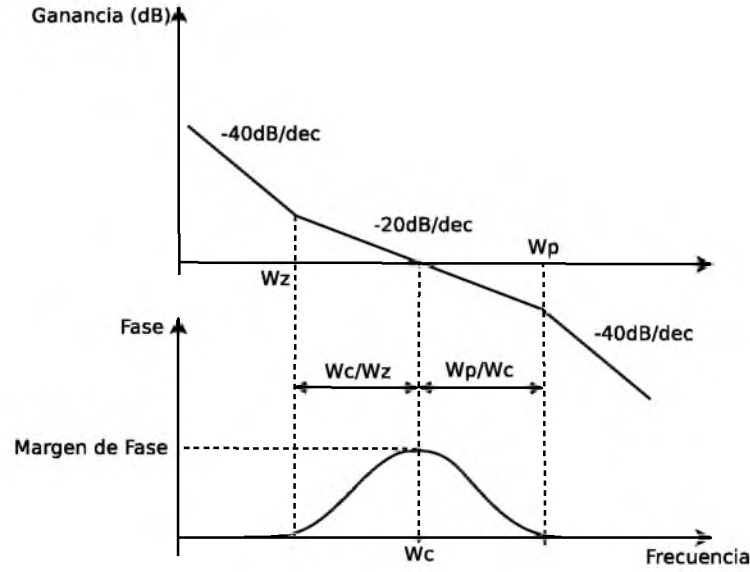


Figura 1.10: Respuesta del filtro pasa bajos

La respuesta de la función de transferencia del lazo $T(s)$ es utilizada para determinar los parámetros del filtro que garantizan la estabilidad de todo el sistema. Si se evalúa la Ec 1.29 en $|T(s)| = 1$ y se expresa en función de los parámetros del filtro:

$$\left| \frac{I_{cp} \cdot K_{vco}}{N} \cdot \frac{1}{s^2} \cdot \frac{(s + \omega_z)}{(s + \omega_p)} \right| = 1 \quad (1.30)$$

Simplificando y recordando que $|T(s)| = 1$ se da en $\omega = \omega_c$, reemplazando $s = j\omega_c$:

$$\frac{I_{cp} \cdot K_{vco}}{N} \cdot \frac{1}{\omega_c^2} \cdot \left| \frac{j\omega_c + \omega_z}{j\omega_c + \omega_p} \right| = 1 \quad (1.31)$$

De esta ecuación se puede despejar tanto I_{cp} como C_z , dependiendo que variable se desee dejar fija:

$$I_{cp} = \frac{C_p \cdot N \cdot \omega_c^2}{K_{vco}} \cdot \left| \frac{j\omega_c + \omega_p}{j\omega_c + \omega_z} \right| \quad (1.32)$$

$$C_p = \frac{I_{cp} \cdot K_{vco}}{N \cdot \omega_c^2} \cdot \left| \frac{j\omega_c + \omega_z}{j\omega_c + \omega_p} \right| \quad (1.33)$$

De la misma manera, de la Ec 1.31 también puede obtenerse el margen de fase:

$$PM[rad] = \pi + \angle T(s) = \pi + \pi + \angle(Z) - \angle(P) = \arctan\left(\frac{\omega_c}{\omega_z}\right) - \arctan\left(\frac{\omega_c}{\omega_p}\right) \quad (1.34)$$

Asegurar la estabilidad del sistema implica que el margen de fase debe ser *al menos* 45° . Para seleccionar los parámetros del filtro correctamente, es necesario elegir algún criterio. En el caso de este trabajo, se decidió llamar $\alpha = \frac{\omega_c}{\omega_z}$ y $\beta = \frac{\omega_c}{\omega_p}$. De esta manera, α sera elegido según el

margen de fase máximo que se puede llegar a obtener en el caso ideal en que no existiera el polo *Ec 1.35*. Por otro lado, la existencia del polo degradara el margen de fase del PLL, por lo que β sera elegido según el margen de fase deseado para el sistema con la existencia del polo. *Ec 1.36*

$$\alpha = \tan(PM_{max}) \quad (1.35)$$

$$\beta = \frac{1}{\tan(\arctan(\alpha) - PM_{deseado})} \quad (1.36)$$

Con este criterio, por ejemplo, utilizando $\alpha = \beta = 4$ se obtiene un margen de fase de 62°

1.6. Análisis Dinámico del PLL

El análisis del comportamiento dinámico es un tema muy importante en un PLL. En este caso, a los efectos de este trabajo, solo es importante obtener una aproximación para el tiempo de enganche y para el factor de amortiguamiento. El comportamiento dinámico involucra dos etapas diferentes: Primero, al conectar la alimentación, el PLL inicia desenganchado y luego de un tiempo alcanza el enganche. En la Segunda, el PLL esta enganchado y existe un pequeño error de fase $\theta_{err} = \theta_{ref} - \theta_{div}$. Es muy importante saber cual es el tiempo que necesita el PLL para enganchar, lo que significa que el error entre la referencia y la salida del VCO es menor a un cierto valor como por ej. $f_{err\ deseado} = \pm 1 KHz$. Para encontrar entonces este tiempo, se analiza la función de transferencia multiplicada por un escalón:

$$\frac{F_{out}}{F_{in}} = \frac{2\xi\omega_n \cdot s}{s^2 + 2\xi\omega_n \cdot s + \omega_n^2} \quad (1.37)$$

Tomando la inversa de la transformada de Laplace de la ecuación anterior e ignorando los términos de orden superior, puede encontrarse el tiempo necesario para el enganche con una entrada escalón de frecuencia como:

$$t_{lock} = \frac{-1}{\xi\omega_n} \cdot \ln\left(\frac{f_{err\ deseado}}{f_{escalon}}\right) \quad (1.38)$$

La frecuencia natural del sistema de segundo orden es expresada en la *Ec 1.39* y el factor de amortiguamiento como *Ec 1.40*:

$$\omega_n = \sqrt{\frac{I_{cp}K_{vco}}{N(C_p + C_z)}} \quad (1.39)$$

$$\xi = \frac{R_z C_z}{2} \cdot \omega_n \quad (1.40)$$

Este factor de amortiguamiento tiene el mismo comportamiento que en el análisis de la teoría de control clásica. En el caso particular de un PLL, es importante mantener este factor por encima de 0.707 (usualmente se elije cercano a 1) para evitar oscilación y acortar el tiempo de enganche.

Cabe destacar que el PLL que se presenta en este trabajo es utilizado para la generación de clock con lo cual la respuesta dinámica no sera critica como podría ser en otro tipo de aplicación como la de un sintetizador de frecuencias variables en el cual el salto entre canales requiere una rápida respuesta por parte del sistema, este trabajo se enfocara en disminuir al máximo el ruido de fase y minimizar el consumo.

1.7. Hoja de especificaciones del diseño

▪ PFD + CHARGE PUMP:

- **Tipo de circuito:** Single ended
- **Ancho de banda:** $1MHz < BW < 3MHz$
- **Sobre-Pico:** $< 0,5 dB_c$
- **contribución de jitter total:** $< 500fs$ (Ruido de fase + No idealidades del CP)

▪ VCO:

- **Tipo:** Tanque LC
- **Ruido de fase:** $< 110dB_c@10MHz$ o mejor para cumplir con la especificación de jitter
- **Kvco:** A elección del diseñador

▪ FRECUENCIAS DE ENTRADA Y SALIDA:

- **Clock de referencia:** $156,25MHz$
- **Frecuencia de salida:** $5GHz$

▪ DIVISOR:

- **Factor de division:** Fijo y entero = 32

▪ POTENCIA:

- **La menor posible**

Capítulo 2

RUIDO DE FASE

El ruido de fase es ampliamente estudiado hoy en día y modelado por su naturaleza pseudo-aleatoria como un proceso estocástico, no se encuentra dentro del alcance de este trabajo el estudio en profundidad del origen y la teoría del ruido de fase, pero se tratarán algunos conceptos prácticos de gran utilidad que nos permitirán tener las herramientas suficientes para el diseño de osciladores controlados por tensión y sistemas enganchados en fase. Existe un número de diferentes funciones de densidades espectrales que se usan para caracterizar el ruido de fase, alguna de ellas son:

- $W_{vo}(f)$: espectro pasa banda teórico de un oscilador con señal $v_o(t)$
- $L(\Delta f)$: versión normalizada de $W_{vo}(f)$
- $W_{RF}(f), P_{RF}(f)$: espectro del oscilador con señal $v_o(t)$ tal como se observa en un analizador de espectro de RF
- $W_\phi(f)$: densidad espectral del ruido de fase $\phi(t)$
- $W_\omega(f)$: densidad espectral del ruido de frecuencia $\omega(t) = d\phi/dt$

Particularmente nos van a interesar los espectros $W_{vo}(f)$, $L(\Delta f)$ y $W_\phi(f)$.

2.1. Espectro de los osciladores

El espectro de potencia de un proceso en el tiempo está íntimamente asociado con la transformada de Fourier de su función de autocorrelación (24). La función densidad espectral de potencia de un oscilador ideal descrito por la Ec 2.1 en ausencia de ruido de fase es un delta de Dirac en la frecuencia $\omega = \omega_o$. Si consideramos la ecuación Ec 2.2 donde se incluye una perturbación en la fase, la presencia de ruido de fase ensancha el espectro de la señal como se muestra en la Figura 2.1, donde pequeñas cantidades de ruido dispersan poco el espectro y grandes ruidos de fase generan mayores dispersiones.

$$V(t) = V_o \sin \omega_o t \quad (2.1)$$

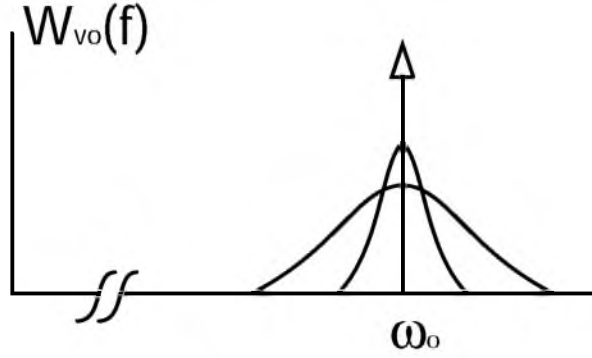


Figura 2.1: Efecto del ruido de fase sobre un oscilador ideal

La tensión instantánea de salida de un oscilador se puede describir según la Ec 2.2

$$v_o(t) = [A + a(t)] \cos[2\pi f_o t + \phi(t)] \quad (2.2)$$

donde A es la amplitud de salida del oscilador $a(t)$ es una perturbación que modula la amplitud, $\phi(t)$ contiene todas las desviaciones de fase y frecuencia respecto a la frecuencia nominal de oscilación f_o y su fase $2\pi f_o t$.

Los osciladores por naturaleza producen altos niveles de ruido de fase, estos son sistemas autónomos, dichos sistemas describen una órbita periódica y estable en el espacio de estados, esta órbita estable es conocida como ciclo límite estable, como se muestra en la Figura 2.2, si en el tiempo t_0 se aplica una perturbación de duración finita $\Delta v(0)$ al sistema esta perturbación produce una variación en amplitud y fase, como el oscilador es un sistema estable y la duración de la perturbación es finita, la desviación en amplitud eventualmente decae y el oscilador vuelve a su órbita ciclo límite estable ($a(t) \rightarrow 0$ cuando $t \rightarrow \infty$)

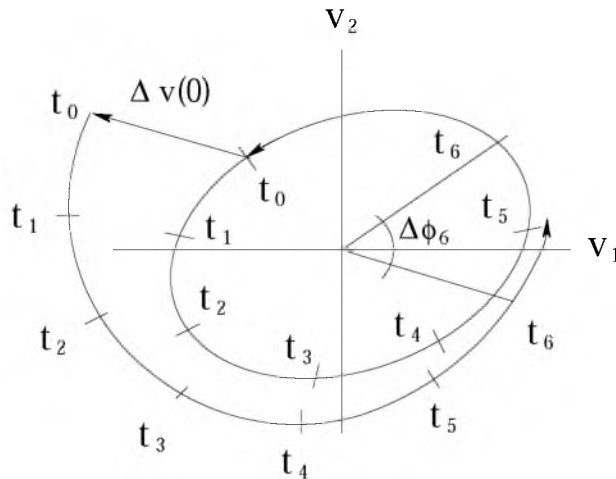


Figura 2.2: Trayectoria de un oscilador con y sin perturbación, representación en el espacio de estados (19)

Es de interés notar que no hay una fuerza que restaure la fase a su valor original luego de haber sido perturbada, por lo tanto la fase queda desplazada permanentemente un $\Delta\phi_6$ como se ve en la Figura 2.2, esta importante característica de los osciladores es aprovechada en los lazos

enganchados en fase, en donde se modifica la frecuencia y se le permite acumular fase a la salida del oscilador.

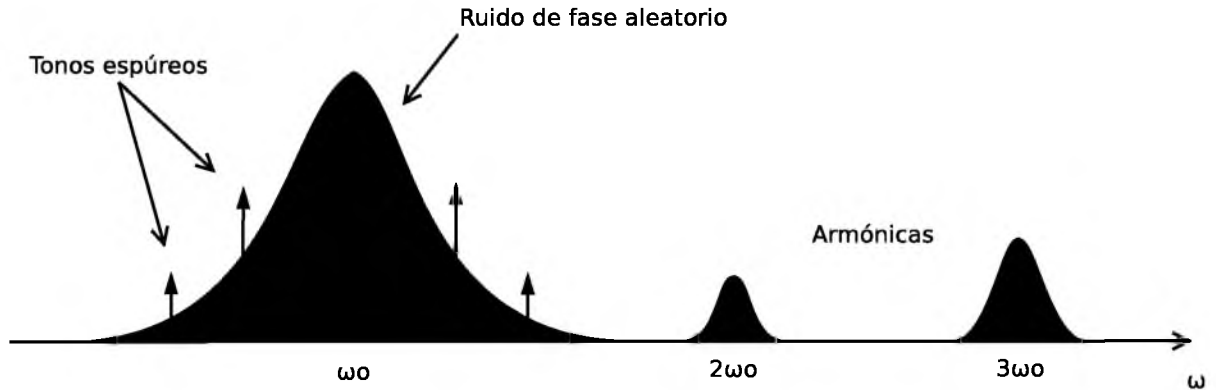


Figura 2.3: Espectro a la salida de un oscilador real

En el espectro de salida de un oscilador real se pueden encontrar dos términos en la fase. Uno de ellos aparece como una componente bien marcada en el espectro y nos referimos a este término como tono espúreo. El otro término aparece como una fluctuación aleatoria en la fase y se la denomina ruido de fase, estos dos términos se ven en la *Figura 2.3*. En un oscilador, el ruido de fase se debe principalmente a las fuentes internas como el ruido térmico o ruido de los componentes activos que constituyen el circuito. Estos tipos de ruido poseen una característica aleatoria por naturaleza y fijan el piso de ruido de fase para cualquier oscilador.

Los tonos espúreos que aparecen en el espectro se deben a fuentes externas como por ejemplo el ruido en la tensión de control, las fuentes de alimentación, acoplamientos en las líneas del circuito y las corrientes de polarización. Este tipo de ruido posee características determinísticas y no están ligadas directamente al oscilador pero deben tenerse en cuenta al momento de diseñar un PLL para cumplir con las especificaciones.

2.2. Espectro de banda lateral única (SSB) y espectro de doble banda lateral (DSB)

La definición formal de la densidad espectral de potencia como la transformada de Fourier de la función de autocorrelación (24), produce un espectro $S(f)$ con doble banda lateral (DSB del inglés *Double-Side Band*), este espectro queda definido tanto para las frecuencias positivas como para las negativas, esta definición es ampliamente usada por los matemáticos, pero a fines prácticos lo mas usado en ingeniería y en la literatura sobre PLL es usar el espectro de banda lateral única (SSB del inglés *Single-Side Band*). Las frecuencias negativas se consideran inexistentes para un espectro del tipo SSB, por convención se considera que $S(f)$ hace referencia al espectro de doble banda lateral, y es común referirse a $W(f)$ como el espectro de banda lateral única. Si la señal o ruido se mide en volts la función de autocorrelación de esta señal o ruido se mide en volts² y las dimensiones de $S(f)$ y $W(f)$ se miden en V^2/Hz .

Por lo general al referirnos al espectro de banda lateral única queda implícita la siguiente relación.

$$W(f) = 2S(f), \quad f \geq 0 \quad (2.3)$$

Para referirnos al espectro de potencia del ruido de fase utilizaremos $W_\phi(f)$ ó $S_\phi(f)$

2.3. Definición del ruido de fase

El ruido de fase de un oscilador es generalmente cuantificado por lo que se denomina ruido de fase de banda lateral (SSB PN). El SSB PN se define como la relación entre la potencia de ruido sobre un ancho de banda de 1Hz a una frecuencia de offset f_m , dividida sobre la potencia del tono en F_o , como se muestra en la figura *Figura 2.4*.

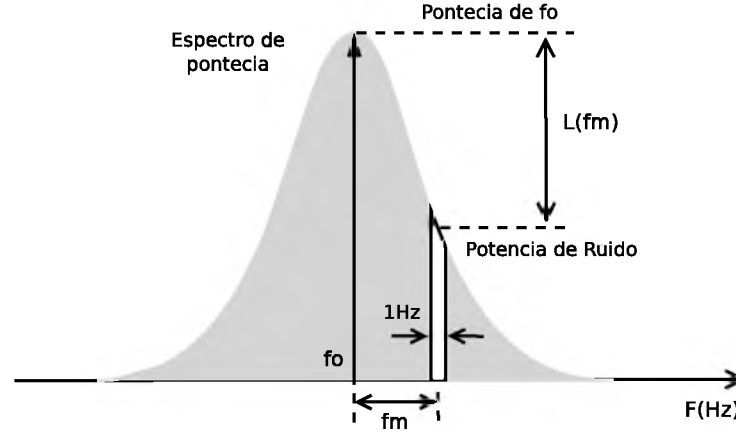


Figura 2.4: Definición del ruido de fase

El ruido de fase se especifica en dB_c/Hz a una frecuencia de offset determinada f_m como:

$$L(f_m) = 10 \log \left(\frac{Pot \ Ruido(f_m)}{Pot \ de \ f_o} \right) = 10 \log \left(\frac{v_{n,rms}^2(f_m)}{V_{c,rms}^2} \right) \quad (2.4)$$

$v_{n,rms}^2$ es el valor rms de la senoide que representa el ruido de fase de la banda lateral a la frecuencia f_m y $V_{c,rms}^2$ es el valor rms de la señal portadora f_o

Las bandas laterales a ambos lados de la portadora pueden aparecer por PM (Modulación de fase) o por AM (Modulación de amplitud) de la portadora debido al ruido. En la *Ec 2.5* se representa el ruido de fase en función de dichas modulaciones:

$$L(f_m) = 10 \log \left(\frac{S_\phi(f_m)}{2} + \frac{S_a(f_m)}{2} \right) \quad (2.5)$$

El término $S_\phi(f_m)$ representa la densidad espectral de la doble banda lateral del ruido fase (DSB - Double-Side Band) y $S_a(f_m)$ es la densidad espectral de la DSB del ruido de amplitud.

Si consideramos una señal de amplitud constante A_c que es modulada sólo en fase por una senoide de frecuencia f_m ,

$$VCO_{out}(t) = A_c \cos(\omega_c t + \theta_p \sin \omega_m t) \quad (2.6)$$

Donde θ_p es el pico de desviación de fase, también llamado índice de modulación. Cuando $\theta_p \ll \pi/2$ puede utilizarse la aproximación de FM en banda angosta para obtener:

$$VCO_{out}(t) = A_c \left(\cos(\omega_c t) - \frac{\theta_p}{2} \cos(\omega_c - \omega_m)t + \frac{\theta_p}{2} \cos(\omega_c + \omega_m)t \right) \quad (2.7)$$

Asumiendo que las bandas laterales son sólo debido a ruido de fase generado por modulación de fase, la densidad espectral de potencia puede ser escrita como:

$$\frac{S_{\phi}(f_m)}{2} = \frac{\phi_{rms}(f_m)}{2} = \left(\frac{v_{n,rms}(f_m)}{V_{c,rms}} \right)^2 = 10^{L(f_m)/10} [rad^2/Hz] \quad (2.8)$$

ó por:

$$L(f_m) = 10 \log \left(\frac{\phi^2(f_m)}{2} \right) \quad (2.9)$$

Tanto *Ec 2.8* como *Ec 2.9* son de fundamental importancia en el cálculo y simulación del ruido de fase en los PLL. Mientras que $L(f_m)$ es muy útil al momento de medir y caracterizar el ruido de fase utilizando instrumentos de medición; $\phi(f_m)$ es muy útil para calcular la desviación de fase integrada sobre un cierto ancho de banda.

Si por el contrario, ahora consideramos una señal que es modulada solo en fase por una senoide de frecuencia f_m , y recordamos que el m es el índice de modulación:

$$VCO_{out}(t) = A_c (1 + m \cos \omega_m t) \cos \omega_c t \quad (2.10)$$

De la misma manera que en la *Ec 2.7*, puede expandirse como:

$$VCO_{out}(t) = A_c \left(\cos(\omega_c t) + \frac{m}{2} \cos(\omega_c + \omega_m)t - \frac{m}{2} \cos(\omega_c - \omega_m)t \right) \quad (2.11)$$

La ecuación anterior indica que la modulación de AM genera un par de bandas laterales espúreas de una manera similar a las que genera PM. La única diferencia entre las bandas laterales generadas por AM y PM es una relación de fase como se muestra en la *Figura 2.5*

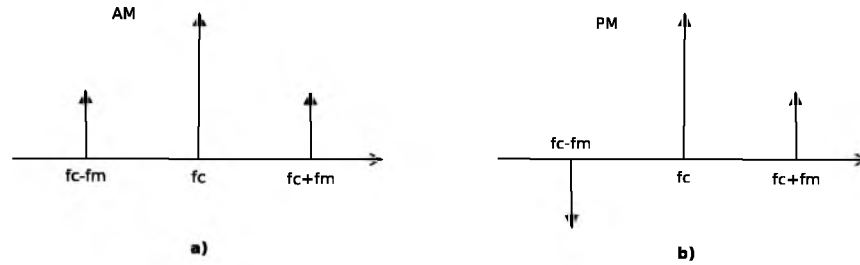


Figura 2.5: Bandas laterales a la frecuencia portadora por: a) AM y b) PM

Se puede decir que cuando estamos en una frecuencia aproximada a la portadora, el ruido de fase que predomina es aquel que se genera por PM, mientras que si la frecuencia de offset es lejana a f_o , tanto AM como PM contribuyen en igual medida.

2.4. Características de Ruido de los osciladores

La característica de ruido de fase los osciladores tienen un gran impacto sobre la característica de ruido de fase total de los PLL ya que éste incluye dos osciladores diferentes: el oscilador de referencia (comúnmente se utiliza un oscilador de cristal) y un oscilador controlado por tensión (VCO). En la *Figura 2.6* se puede ver el espectro del ruido de fase total del PLL y el espectro

de cada uno de los bloques que lo componen para la condición de lazo cerrado.

El oscilador de referencia tiene un impacto para valores bajos de offset de frecuencia que caen dentro del ancho de banda del PLL, mientras que el ruido del VCO moldea el ruido de fase del PLL al cerrar el lazo, atenuando el ruido de fase para grandes offsets de frecuencias como se muestra en la *Figura 2.6*. Estas curvas nos permiten observar cual es el aporte de cada bloque al ruido de fase del sistema en su conjunto, en estas gráficas no se muestra el ruido de fase que aporta el oscilador de referencia ya que no lo incluimos como parte del diseño y consideramos que nuestra referencia posee muy bajo ruido por ser un oscilador a cristal, si bien estas curvas se pueden generar a partir de simulaciones a nivel de sistema, las mismas también se puede obtener a partir de los resultados de simulaciones utilizando los modelos de comportamiento que provee la fábrica para cada tecnología, de esta manera conseguimos una representación mas certera del sistema que estamos diseñando.

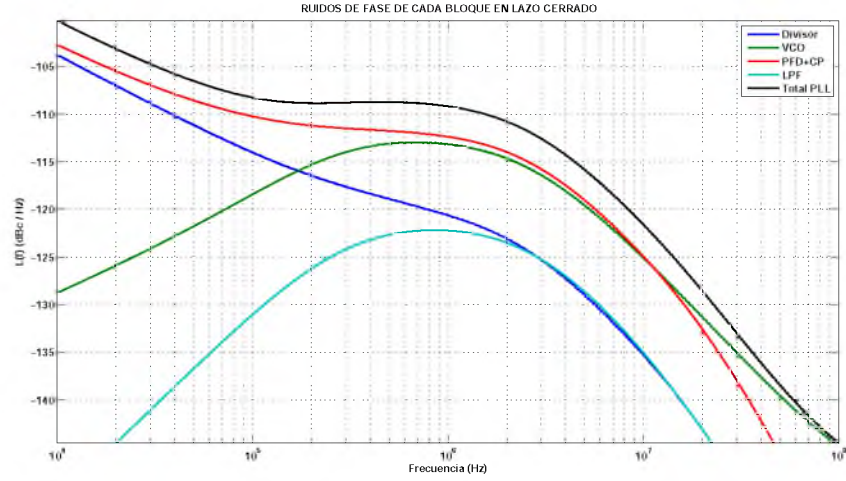


Figura 2.6: Contribución de cada bloque en el ruido de fase total del PLL, condición de lazo cerrado

Al analizar el ruido de fase en un oscilador controlado por tensión, lo que se analiza es el *ruido de fase del bloque a lazo abierto* en donde el ruido de fase que se obtiene es el aquel generado por el propio VCO, en nuestro caso este análisis se realiza mediante un software propietario que tiene en cuenta el modelado de la tecnología que provee la fábrica, a este análisis se lo conoce como PSS (del inglés *Periodic Steady-State*) (35). Como resultado de este análisis lo que se obtiene es un perfil de ruido de fase referido a la portadora (*frecuencia central de oscilación*), como ya se había mencionamos antes, cuando se grafican estos perfiles se los expresa en forma de banda lateral única (SSB) que es la representación mas usada en ingeniería. En la *Figura 2.7* podemos ver el perfil de ruido de fase a *lazo abierto* del VCO diseñado en este trabajo

Numerosas mediciones han demostrado consistentemente que el espectro continuo del ruido de fase en osciladores se puede aproximar por la forma

$$W_{\phi}(f) \approx \frac{h_4}{f^4} + \frac{h_3}{f^3} + \frac{h_2}{f^2} + \frac{h_1}{f} + h_0 \quad (2.12)$$

En la práctica los analizadores de espectro que están disponibles en los laboratorios miden $W_{\phi}(f)$, un sistema analizador de espectro se puede describir en forma general mediante un dia-

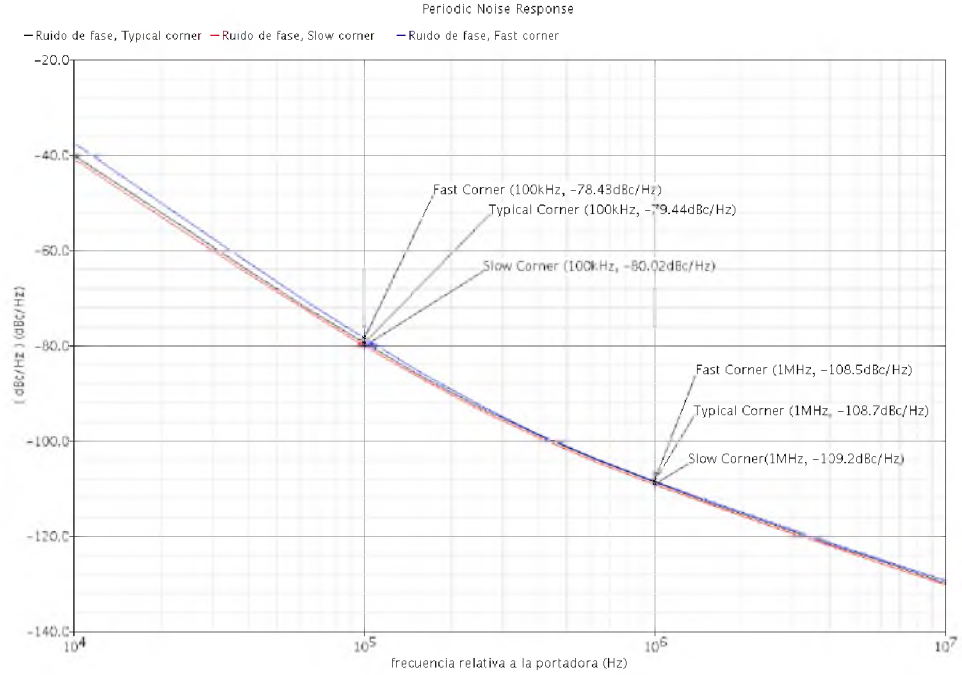


Figura 2.7: Ruido de fase del VCO a lazo abierto

grama en bloques como el que se muestra en la *Figura 2.8* donde $v_o(t)$ es la señal de entrada y $10\log W_\phi(t)$ es la salida

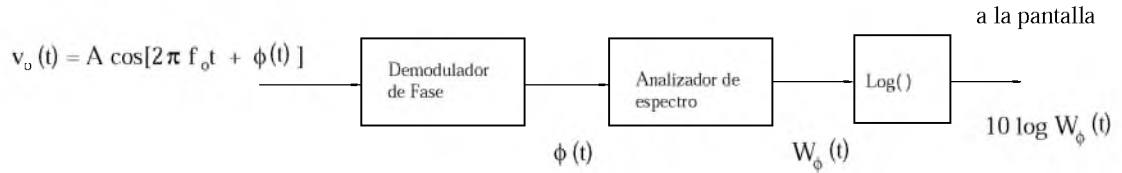


Figura 2.8: Diagrama en bloques de un analizador de espectro Genérico

Por lo general los analizadores de espectro tienden a rotular la ordenada de la escala como $L(\Delta f)$ llevando a una confusión. En rigor las dos expresiones son equivalentes y para pasar de la escala en $W_\phi(f)$ a la mas popular representación normalizada $L(\Delta f)$ hay que restar 3 dB (10). En las curvas de simulación de este trabajo siempre representaremos el ruido de fase como $L(\Delta f)$ y las unidades serán dBc/Hz. La *Ec 2.12* describe el perfil de ruido de fase de cualquier oscilador en donde los coeficientes h_ν son particulares para cada dispositivo. Teniendo el eje de las abscisas en escala logarítmica cada uno de estos términos se aproximan a segmentos de rectas los cuales se interconectan formando pendientes de -40dB/década, -30dB/década, -20dB/década y -10dB/década, a la pendiente de 0dB se la denomina piso de ruido térmico.

El término h_4/f^4 aparece principalmente en los espectros de osciladores de precisión como ser relojes de cesio donde los filtros son tan precisos que pueden discriminar frecuencias menores a 1 Hz, y para el caso de PLL no tiene sentido involucrar este término. El resto de los términos son todos de relevancia, cada uno de ellos proviene de diferentes fuentes de ruido de fase, los términos h_3/f^3 y h_2/f^2 provienen del ruido de *flicker* y del ruido *blanco* que dependen de la frecuencia, estas fluctuaciones en frecuencia se integran en el oscilador y se convierten en ruido de fase

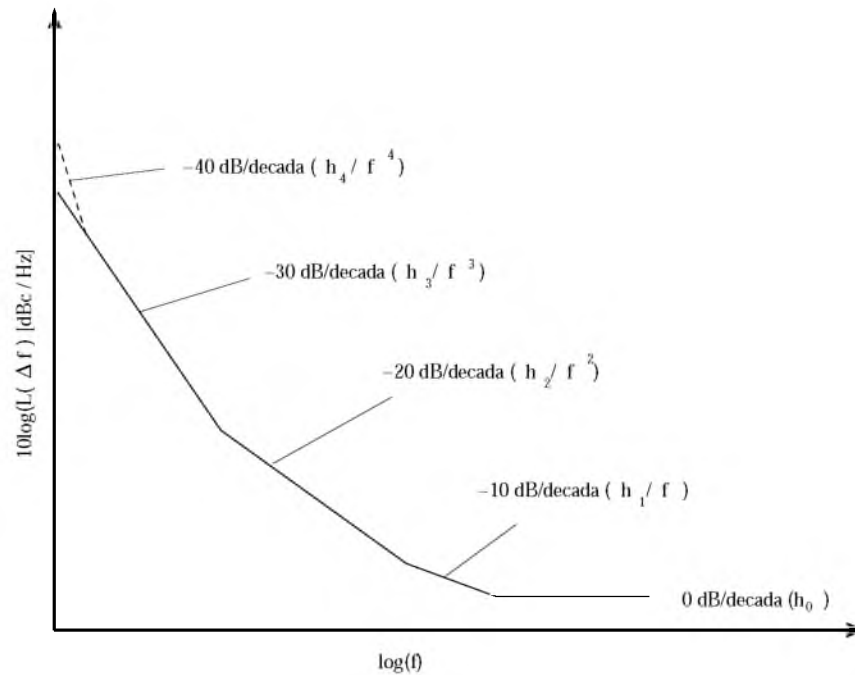


Figura 2.9: Curva característica del espectro del ruido de fase de un oscilador

para producir las componentes espectrales de $1/f^3$ y $1/f^2$, en circuitos que no son integradores no se encuentran este tipo de componentes. Las curvas características de ruido de *componentes activos* tiene la forma de la [Figura 2.10](#) en donde el ruido queda caracterizado en dos regiones, una región en donde predomina el ruido térmico y otra en donde predomina el ruido de flicker. El codo que forma la unión de ambas regiones se da a una frecuencia particular para cada dispositivo que la llamaremos frecuencia $f_{1/f}$.

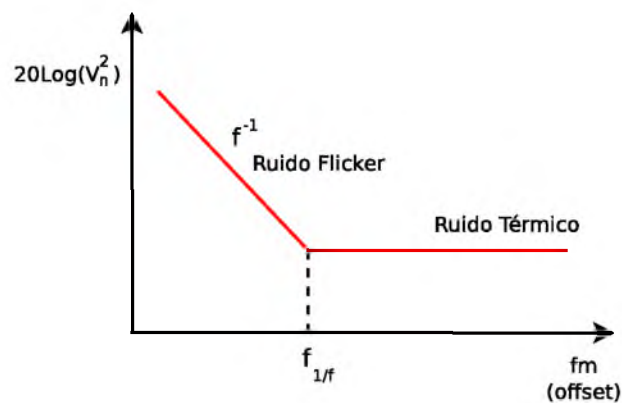


Figura 2.10: Perfil de ruido de un transistor MOS para una polarización fija

Por muchos años los osciladores se construían sin reconocer la importancia del ruido de fase, a tal punto que existen numerosos papers y libros que hablan de diseño de osciladores sin tocar el tema de ruido de fase. Lesson utilizó el criterio de oscilación de Barkhausen para explicar el espectro del ruido de fase, en este modelo podemos ver un amplificador con realimentación positiva con un elemento resonador intercalado entre la entrada y salida.

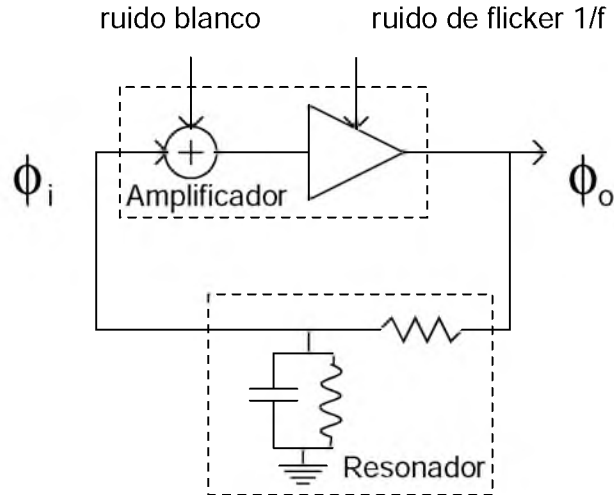


Figura 2.11: Modelo utilizado por Lesson para el análisis del ruido de fase en osciladores

Básicamente el criterio dice que el desplazamiento de fase a través de un lazo que permanece en oscilación estable debe mantenerse en un múltiplo entero de 2π . El ruido blanco se puede descomponer en amplitud y fase, la componente de fase del ruido blanco tiende a alterar la fase alrededor del lazo alejándola de su condición estable. Entonces el oscilador desplaza su frecuencia para intentar llevar el corrimiento de fase a un numero entero múltiplo de 2π . La corrección de fase se logra por la característica de fase vs. frecuencia del resonador donde el corrimiento de frecuencia es lo que permite el desplazamiento de fase necesario. Un análisis similar es aplicable a la modulación de fase producida por el ruido de flicker, en donde las fluctuaciones de frecuencia del oscilador siguen a las componentes de fase debidas a las fluctuaciones en el ruido del amplificador. Estos dichos son válidos únicamente para modulación de frecuencias dentro del ancho de banda $f_o/2Q$ del resonador, donde f_o es la frecuencia de oscilación. Las frecuencias que caen fuera de esta banda son atenuadas por el resonador y no logran propagarse a través del lazo de realimentación, entonces el espectro de ruido de fase para estas frecuencias es el mismo que el espectro de las fuentes de ruido, una combinación de ruido blanco y tal vez ruido $1/f$. La fase ϕ_o a la salida del amplificador tendrá una diferencia con la fase ϕ_i a la entrada del amplificador, el resonador actúa como un filtro sobre la salida del amplificador. Las ecuaciones de análisis resultantes que se desprenden de la *Figura 2.11* son:

$$W_{\phi o}(f) = \frac{W_o}{P_s} [1 + (\frac{f_o}{2Q})^2] (1 + \frac{f_{1/f}}{f}) \quad (2.13)$$

$$W_{\phi i}(f) = \frac{W_o}{P_s} (\frac{f_o}{2Q})^2 (1 + \frac{f_{1/f}}{f}) \quad (2.14)$$

W_o es la densidad espectral de ruido blanco, P_s es la potencia del oscilador, Q es el factor de calidad del elemento resonador, $f_{1/f}$ es la frecuencia de flicker. Estas ecuaciones nos definen los siguientes perfiles de espectros:

- $W_{\phi i}$ puede tener solamente regiones $1/f^3$ y $1/f^2$ debido a la idealización del resonador que se ve en la *Figura 2.11*, no puede tener ruido blanco ni ruido $1/f$ a su salida, la frecuencia del codo entre las regiones $1/f^3$ y $1/f^2$ es $f_{1/f}$.
- $W_{\phi o}(f)$ siempre tiene la región $1/f^3$.

- $W_{\phi_o}(f)$ tiene una región $1/f^2$ que se extiende desde $f_{1/f}$ hasta $f_o/2Q$, pero únicamente si $f_{1/f} < f_o/2Q$.
- $W_{\phi_o}(f)$ tiene una región $1/f$ que se extiende desde $f_o/2Q$ hasta $f_{1/f}$, pero únicamente si $f_{1/f} > f_o/2Q$.
- $W_{\phi_o}(f)$ tiene la región de ruido blanco que empieza desde $f = f_o/2Q$ ó $f = f_{1/f}$.

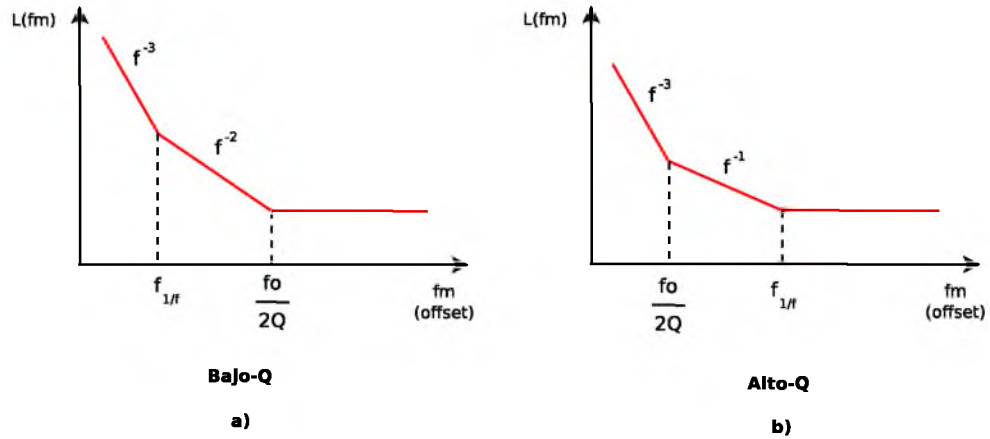


Figura 2.12: Perfil de ruido a la salida de un oscilador W_{ϕ_o} en escala $L(\Delta f)$

2.5. Modelado del ruido de los VCO

El modelado del ruido en VCO ha sido una larga tarea de investigación y experimentación. Finalmente Leeson (21) logro encontrar un modelo que cualitativamente explica el comportamiento del ruido de fase en varios tipos de osciladores, (18).

La ecuación que Leeson propone para el modelado del ruido de fase, se basa en el análisis de un oscilador como un sistema lineal invariante en el tiempo (LTI) y está dada por:

$$L(f_m) = 10 \log \left[\frac{2FkT}{P_s} \left(\frac{f_o}{2Q_L f_m} \right) \left(1 - \frac{f_{1/f}}{f_m} \right) \right] \quad (2.15)$$

Donde Q_L es el factor de calidad del resonador cargado; f_o es la frecuencia de oscilación; P_s es la potencia de la señal de salida del oscilador; f_m es el offset de frecuencia; F es el factor de ruido de los elementos activos que componen al oscilador; k es la constante de Boltzmann; T es la temperatura en grados Kelvin y $f_{1/f}$ es la frecuencia a la que se da el ruido flicker en la característica del ruido de fase. En la práctica $f_{1/f}$ no necesariamente coincide con el ruido flicker de los elementos activos del circuito.

En la Ec 2.15 se ve claramente como los factores Q , F y P_s afectan al ruido de fase de un oscilador. Si se desea diseñar un oscilador de bajo ruido es necesario *minimizar* F y *maximizar* Q y P_s . Minimizar F , implica directamente modificar los elementos activos del circuito. La potencia de la señal de salida P_s queda limitada por la especificación de consumo, mientras que el factor de calidad del tanque Q queda definido por el área máxima disponible para fabricar el inductor y el varactor integrados on-chip.

En el caso de este trabajo, en lugar de utilizar el modelo de Leeson, se decidió realizar una serie de simulaciones de ruido de fase llamadas *PSS-PNOISE* para poder extraer el perfil de ruido del VCO durante el diseño y para modelar el comportamiento de fase utilizando MatLab, explicado con mas detalle en el [Capítulo 12](#).

2.6. Modelado en el dominio de la fase

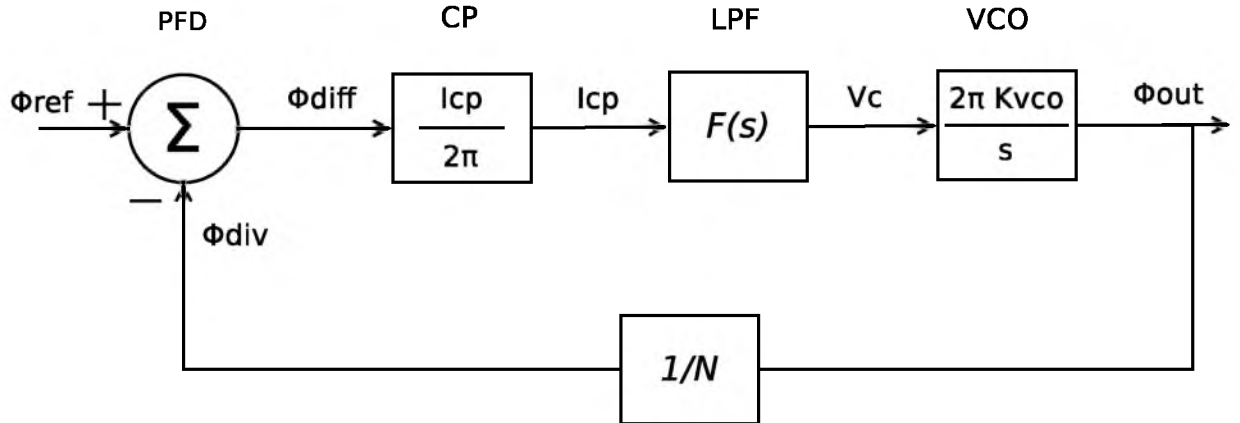


Figura 2.13: Modelado en el dominio de la fase

Un modelo en el dominio de la fase se muestra en la [Figura 2.13](#). Este tipo de esquema es adecuado para observar el comportamiento del PLL con pequeñas perturbaciones una vez enganchado, porque no interesa saber la forma de las onda, sino como afectan dichas perturbaciones a la fase de la salida. De esta manera se puede predecir exactamente como el ruido de fase de cada uno de los bloques afectará al sistema completo.

2.7. Análisis del ruido de los PLLs

Un VCO que está funcionando en su frecuencia libre posee una característica de ruido que se denomina simplemente *ruido de fase del VCO*. Cuando éste es colocado dentro del lazo de un PLL dicha característica cambia de forma y de moldea de acuerdo a la función de transferencia de ruido del PLL completo. Entonces, *el ruido de fase total de un PLL es la contribución del ruido de fase de cada uno de los bloques que lo componen (fuera del lazo) multiplicado por la función de transferencia de ruido en lazo cerrado del PLL*.

En la [Figura 2.14](#) se puede ver un modelo lineal en el dominio de la fase donde se adicionan las fuentes de ruido de cada uno de los bloques que componen a un PLL:

- Φ_{n_ref} representa el ruido de fase en rad/\sqrt{Hz} que introduce la señal de referencia. Esta puede incluir el ruido del cristal de referencia, el buffer de la referencia y los prescalers si existen.
- Φ_{n_pfd} es el ruido de fase en rad/\sqrt{Hz} que introduce el detector de frecuencia y fase.
- I_{n_cp} es el ruido sobre la corriente de charge-pump en A/\sqrt{Hz} .

- Vn_{cnt} es el ruido sobre la tensión de control del VCO expresado en V/\sqrt{Hz} introducido por el filtro pasa bajos.
- Φn_{vco} es el ruido de fase en rad/\sqrt{Hz} que introduce el VCO.
- Φn_{div} es el ruido de fase en rad/\sqrt{Hz} que introduce el divisor por N.

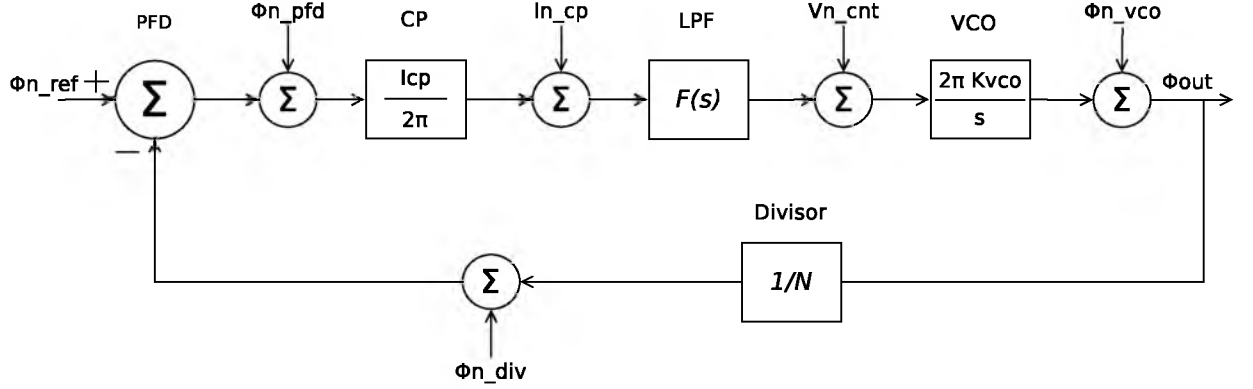


Figura 2.14: Modelado en el dominio de la fase

Las funciones de transferencia de cada una de estas fuentes de error pueden escribirse como:

$$T_{ref}(s) = \frac{\Phi n_{out}}{\Phi n_{ref}} = \frac{G(s)}{1 + G(s)H(s)} \quad (2.16)$$

$$T_{div}(s) = \frac{\Phi n_{out}}{\Phi n_{div}} = \frac{G(s)}{1 + G(s)H(s)} \quad (2.17)$$

$$T_{pfd}(s) = \frac{\Phi n_{out}}{\Phi n_{pfd}} = \frac{G(s)}{1 + G(s)H(s)} \quad (2.18)$$

$$T_{In_{cp}}(s) = \frac{\Phi n_{out}}{In_{cp}} = \frac{2\pi}{I_{cp}} \cdot \frac{G(s)}{1 + G(s)H(s)} \quad (2.19)$$

$$T_{vco}(s) = \frac{\Phi n_{out}}{\Phi n_{pfd}} = \frac{1}{1 + G(s)H(s)} \quad (2.20)$$

$$T_{Vn_{cnt}}(s) = \frac{\Phi n_{out}}{Vn_{cnt}} = \frac{2\pi Kvc0}{s} \cdot \frac{1}{1 + G(s)H(s)} \quad (2.21)$$

Donde I_{cp} es la corriente de charge-pump y K_{vco} es la ganancia del VCO expresada en Hz/V . Las funciones de transferencia $G(s)$ y $H(s)$ están definidas como en el [Capítulo 1](#):

$$G(s) = \frac{I_{cp}}{2\pi} \cdot F(s) \cdot \frac{2\pi K_{vco}}{s} \quad (2.22)$$

$$H(s) = \frac{1}{N} \quad (2.23)$$

El ruido total de fase puede calcularse sumando las contribuciones RMS de cada uno de los bloques:

$$\begin{aligned} \Phi_{tot}^2(s) = & \left(\frac{G(s)}{1 + G(s)H(s)} \right)^2 \cdot \left[\Phi_{ref}^2 + \Phi_{div}^2 + \Phi_{pfd}^2 \left(In_{cp} \cdot \frac{2\pi}{I_{cp}} \right)^2 \right] \\ & + \left(\frac{1}{1 + G(s)H(s)} \right)^2 \cdot \left[\Phi_{vco}^2 + \left(Vn_{cnt} \cdot \frac{2\pi K_{vco}}{s} \right)^2 \right] \end{aligned} \quad (2.24)$$

En la ecuación anterior el factor $\left(\frac{G(s)}{1 + G(s)H(s)} \right)^2$ es común a la referencia, al divisor, al detector de fase y a la corriente del charge-pump. En la [Figura 2.15 a\)](#) se grafica la respuesta en frecuencia de su magnitud y puede verse que posee una característica *pasa-bajos*.

Por otro lado el factor $\left(\frac{1}{1 + G(s)H(s)} \right)^2$ es común a la vco y a la tensión de control a la salida del filtro pasa-bajos. Este factor posee la característica *pasa-altos* que se muestra en la [Figura 2.15 b\)](#).

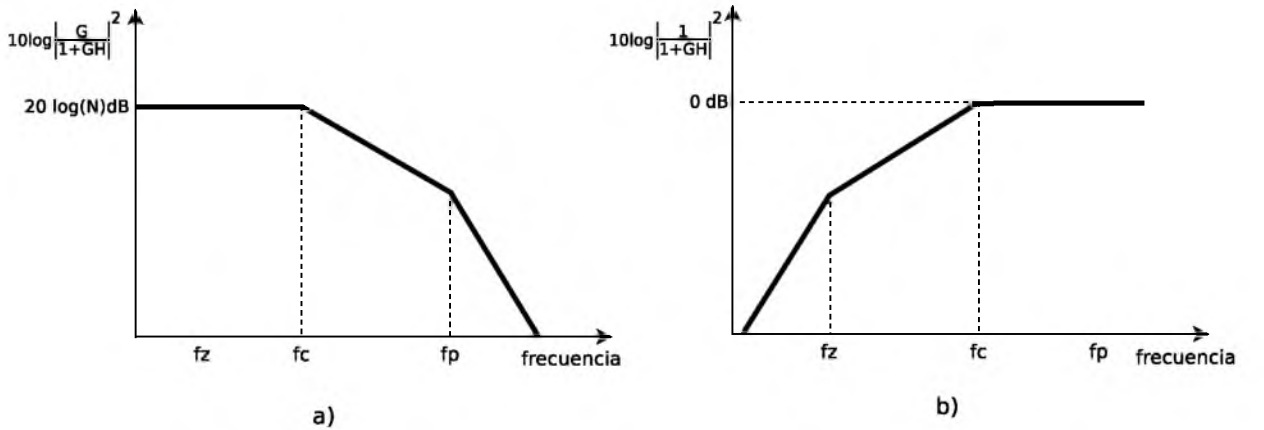


Figura 2.15: Características de ruido: a) Pasa-bajo, b) Pasa-alto

Por debajo del ancho de banda del lazo el ruido del VCO y de la tensión de control son suprimidos en gran parte, dominando el ruido del PFD, CP y del divisor. El ancho de banda del lazo debe elegirse de manera que el ruido de fase residual (integrado) sea lo menor posible. Esto

ocurre cuando la característica plana del ruido de fase del PLL corta a la del ruido de fase del VCO en lazo abierto (1) y (14).

Una característica típica (SSB) del ruido de fase de un PLL se muestra en la *Figura 2.16*. Sólo cuando el ancho de banda elegido es el óptimo el ruido de fase residual es mínimo.

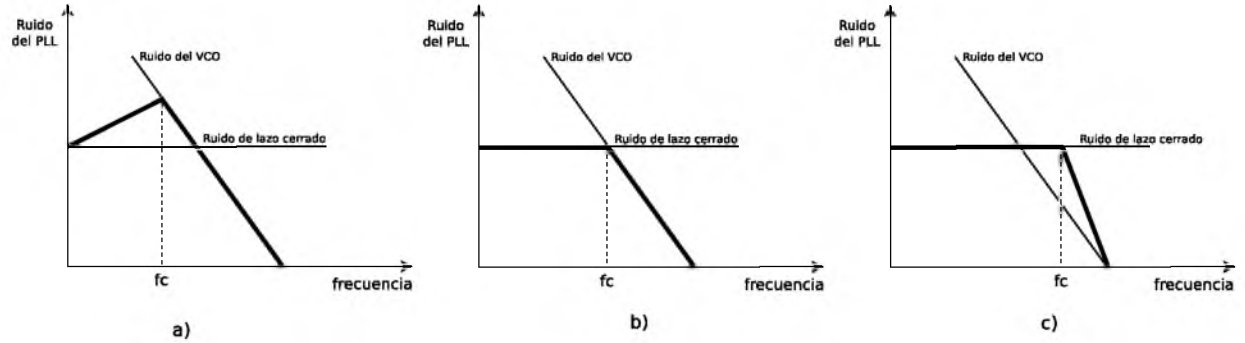


Figura 2.16: Ancho de banda: a) Bajo, b) óptimo, c) Alto

Cuando un PLL está bien diseñado, su curva de ruido de fase tiene la forma de la *Figura 2.17* y se pueden distinguir tres zonas diferentes:

- Zona 1:** En baja frecuencia el ruido de fase dominante se debe al oscilador de referencia.
- Zona 2:** La segunda parte de la curva es la suma de las contribuciones del PFD, CP y el divisor.
- Zona 3:** Por encima del ancho de banda del lazo el VCO es el bloque que aporta el mayor porcentaje de ruido.

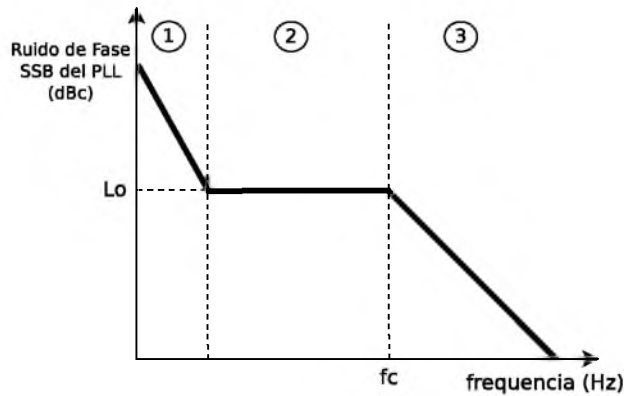


Figura 2.17: Curva típica del ruido de fase de un PLL

La zona 2 es un indicador de la performance de ruido que posee un PLL. Podemos definir el ruido de un PLL como:

$$L_o = L_{PLL,nf} + 20 \log(N) + 10 \log(f_{ref}) \quad (2.25)$$

El término L_o es el ruido de fase del lazo dentro del ancho de banda del PLL (llamado en Inglés *Close-In Noise*). $L_{PLL,nf}$ es el piso de ruido del PLL (*Noise Floor*) debido a los diferentes circuitos: PFD, CP y divisor. $20 \log(N)$ es el ruido de fase debido a la multiplicación de

la frecuencia por N y por último, $10 \log(f_{ref})$ es el ruido de fase que introduce el oscilador de referencia.

Para poder conocer la performance de ruido de los PLL es necesario analizar el piso de ruido (calculado, medido o provisto por el fabricante). El piso de ruido es la figura de mérito que caracteriza a un PLL y se define a partir de la *Ec 2.25* como:

$$L_{PLL,nf} = L_o - 20 \log(N) - 10 \log(f_{ref}) \quad (2.26)$$

Utilizando esta ecuación se puede fácilmente comparar el ruido de diferentes PLL. Para optimizar el ruido total de salida de un PLL es necesario tener en cuenta:

- Minimizar el ruido dentro del ancho de banda del PLL. (Reducir los ruidos del PFD, CP y divisor)
- Minimizar el factor de división N. (Esto no siempre es posible, e incluso a veces es variable)
- Si el ruido de fase dentro del ancho de banda esta dominado por el CP, aumentar la corriente I_{cp} manteniendo el ruido del CP en el mismo nivel, minimizará el ruido de salida del PLL dentro del ancho de banda.
- Minimizar el ruido de fase fuera del ancho de banda. (Minimizar el ruido del VCO, el ruido en la tensión de control o bajar la ganancia K_{vco}).

PARTE A: Bloques básicos del PLL

- 3 . OSCILADOR CONTROLADO POR TENSIÓN
- 4 . DETECTOR DE FRECUENCIA Y FASE
- 5 . CHARGE PUMP Y FILTRO PASA BAJOS
- 6 . DIVISOR

OSCILADOR CONTROLADO POR TENSION

3.1. Introducción (Tipos de osciladores)

Los Osciladores controlados por tensión (VCO) son una parte integral de muchos sistemas electrónicos. Sus aplicaciones van desde la generación de clock en microprocesadores hasta la síntesis de portadoras en teléfonos celulares, algunas de sus aplicaciones mas frecuentes en los sistemas de comunicaciones modernas se detallan a continuación:

- Recuperación de clock
- Sintetizadores de señales
- Modulación de frecuencia
- PLL's

Podemos clasificar los osciladores en dos tipos:

- Tipo I
 1. Osciladores de anillo
 2. Osciladores de relajación
- Tipo II
 1. Osciladores tanque LC
 2. Osciladores de cristal

Si nos preguntamos al momento de comenzar a diseñar un oscilador de tensión, que especificaciones deberíamos cumplir, con certeza quisiéramos aproximarnos lo suficiente a las siguientes características:

- Bajo ruido
- Bajo consumo
- Realizable en circuito integrado

- Rango de captura amplio
- Mínima área
- Alta frecuencia

Estas características a la vez son restricciones que nos llevan a optar por una u otra tecnología, topología, procesos, etc.

| LC VCO | Osc. de anillo |
|------------------------------------------------|------------------------------------------------|
| bajo jitter y ruido de fase en alta frecuencia | alto ruido de fase y jitter en alta frecuencia |
| Alto consumo | Bajo consumo |
| Mucha área | Poca área |
| Poco rango de captura | Gran rango de captura |
| Usa inductor | Sin inductor |
| Permite integración | Permite integración |

Claramente el oscilador de anillo tiene muchas ventajas, es ideal para bajo consumo, es altamente integrable en aplicaciones donde necesitamos un alto rango de captura y usar muy poca área en el die. Mientras que el oscilador tanque sobrepasa al de anillo en aquellas que se requiere bajo ruido de fase.

En aplicaciones de alta velocidad, por ejemplo en generación de clocks de alta velocidad se desea minimizar el consumo por lo cual el oscilador de anillo podría ser la elección, en este trabajo se decidió utilizar un oscilador de tanque LC porque para satisfacer las especificaciones es necesario mantener el ruido de fase y jitter lo mas bajo posible utilizando la menor cantidad de potencia.

3.2. Conceptos fundamentales

Un buen ejemplo de un oscilador es un mal diseño de un amplificador realimentado, consideremos el siguiente amplificador con ganancia unitaria realimentado negativamente que se muestra en la *Figura 3.1*.

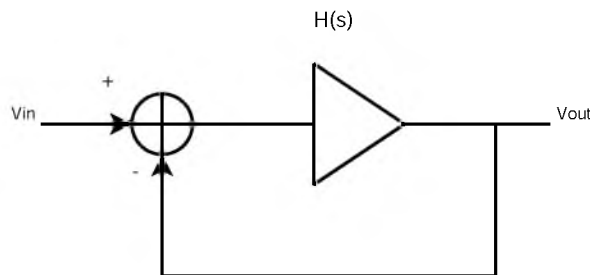


Figura 3.1: sistema realimentado

$$\frac{V_{out}}{V_{in}}(s) = \frac{H(s)}{1 + H(s)} \quad (3.1)$$

Si para altas frecuencias (ruido) el amplificador sufre suficiente desplazamiento en su fase, la realimentación resultante se convierte en positiva, entonces podría oscilar. Si para $s = j\omega_0$,

$H(j\omega_0) = -1$, entonces la ganancia de lazo cerrado es infinita en ω_0 . Bajo esta condición el circuito amplifica su componente de ruido en ω_0 indefinidamente, la figura [Figura 3.2](#) muestra la evolución en el tiempo de un sistema realimentado con un desplazamiento de fase de 180° y ganancia unitaria. La componente de ruido en ω_0 se resta con la entrada produciendo una señal de mayor amplitud creando un efecto regenerativo que permite que esta señal crezca de manera indefinida.

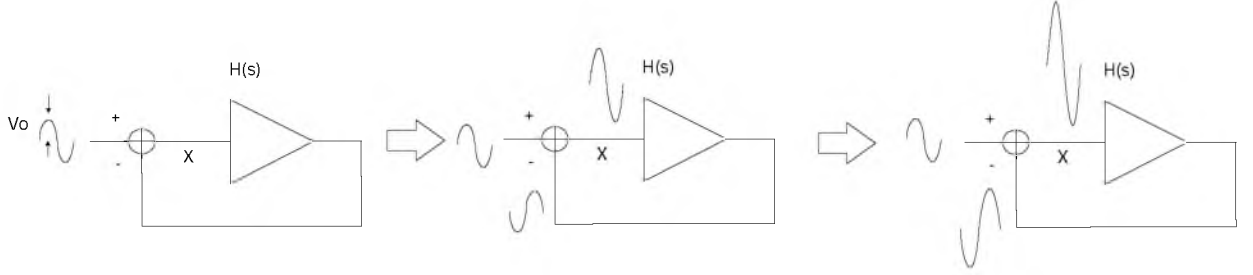


Figura 3.2: Evolución en el tiempo de un sistema en oscilación

Analizando el anterior ejemplo podemos encontrar las condiciones necesarias para que la oscilación comience. Si $\angle H(j\omega_0) = 180^\circ$ entonces:

$$V_X = V_0 + |H(j\omega_0)|V_0 + |H(j\omega_0)|^2V_0 + |H(j\omega_0)|^3V_0 + \dots \quad (3.2)$$

Si $|H(j\omega_0)| > 1$, entonces la sumatoria diverge mientras que $|H(j\omega_0)| < 1$, entonces:

$$V_X = \frac{V_0}{1 - |H(j\omega_0)|} < \infty \quad (3.3)$$

En conclusión, si en un sistema realimentado negativamente la ganancia de lazo satisface las siguientes dos condiciones:

$$|H(j\omega_0)| \geq 1 \quad (3.4)$$

$$\angle H(j\omega_0) = 180^\circ \quad (3.5)$$

Si estas condiciones se satisfacen el circuito debería oscilar en ω_0 . Este es el llamado criterio de *Barkhausen*. Estas son condiciones necesarias pero no suficientes. Para asegurar que la oscilación ocurra se adopta una ganancia de lazo de dos o tres veces la necesaria. Los osciladores que se implementan en tecnología CMOS por hoy son los *osciladores de anillo* y los *osciladores LC*.

En el caso de este trabajo se intercala un circuito LC en el lazo de realimentación para amplificar solo la frecuencia de interés que en nuestro caso son los 5Ghz. Con una pequeña modificación al circuito de la [Figura 3.2](#) podemos ver como pasa de ser un circuito de banda ancha a un circuito de banda estrecha representado por la [Figura 3.3](#).

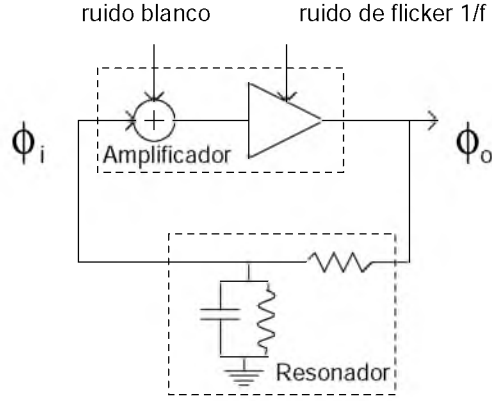


Figura 3.3: Modelo utilizado por Lesson para el análisis del ruido de fase en osciladores

Para entender como funcionan los osciladores LC recordemos los conceptos básicos de un circuito RLC.

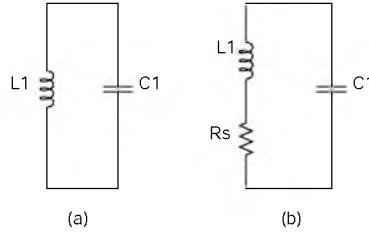


Figura 3.4: (a) modelo Ideal (b) modelo con pérdidas

en la *Figura 3.4* (a) la frecuencia de resonancia esta dada por $\omega_{res} = 1/\sqrt{L_1 C_1}$. A esta frecuencia las impedancias del inductor $jL_1\omega_{res}$ y el capacitor $1/(jC_1\omega_{res})$ son iguales y opuestas obteniendo una impedancia infinita. Esto significa que el circuito tendría un factor de calidad Q infinito. En la realidad los inductores (y capacitores) tienen componentes resistivos. La resistencia en serie del inductor esta modelada en la *Figura 3.4* (b). El factor de calidad Q del inductor se define como $L_1\omega/R_S$ y la impedancia equivalente para este circuito esta dada por:

$$Z_{eq}(s) = \frac{R_S + L_1 s}{1 + L_1 C_1 s^2 + R_S C_1 s} \quad (3.6)$$

entonces:

$$|Z_{eq}(S = j\omega)|^2 = \frac{R_S^2 + L_1^2 \omega^2}{(1 - L_1 C_1 \omega^2)^2 + R_S^2 C_1^2 \omega^2} \quad (3.7)$$

Se observa que para ningún valor de $s = j\omega$ la impedancia asume el valor de infinito. Diremos que el circuito tiene un Q finito. La magnitud de Z_{eq} en la ecuación 3.7 alcanza un máximo en la vecindad de $\omega = 1/\sqrt{L_1 C_1}$ aunque la frecuencia de resonancia tenga cierta dependencia de R_S . El circuito de la *Figura 3.4* (b) se puede transformar a su equivalente paralelo, entonces para una banda angosta de frecuencias es valida la siguiente conversión:
Para que las dos impedancias sean equivalentes:

$$L_1 s + R_S = \frac{R_P L_P s}{R_P + L_P s} \quad (3.8)$$

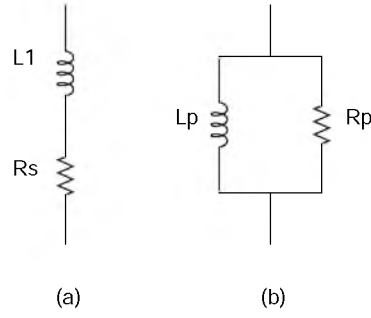


Figura 3.5: conversión de serie a paralelo

Considerando solo la respuesta en estado estacionario, asumiendo $s = j\omega$ y reescribiendo (3.8) como

$$(L_1 R_P + L_P R_S)j\omega + R_S R_P - L_1 L_P \omega^2 = R_P L_P j\omega \quad (3.9)$$

Esta relación se debe mantener para todos los valores de ω (en un ancho banda angosto) de tal manera que

$$L_1 R_P + L_P R_S = R_P L_P \quad (3.10)$$

$$R_S R_P - L_1 L_P \omega^2 = 0 \quad (3.11)$$

Despejando R_P de la última y remplazando en la anterior expresión, tenemos

$$L_P = L_1 \left(1 + \frac{R_S^2}{L_1^2 \omega^2}\right) \quad (3.12)$$

Recordando que $L_1 \omega / R_S = Q$ un valor típico para inductores monolíticos es mayor a 3, entonces

$$L_P \approx L_1 \quad (3.13)$$

y nos queda que,

$$\begin{aligned} R_P &\approx \frac{L_1^2 \omega^2}{R_S} \\ &\approx Q^2 R_S \end{aligned} \quad (3.14)$$

En otras palabras el equivalente paralelo tiene la misma reactancia pero una resistencia Q^2 veces la resistencia serie. Este concepto se mantiene valido para redes RC de primer orden como también si el Q del modelo en serie esta definido como $1/(C\omega)/(R_S)$.

En la *Figura 3.6* $C_P = C_1$, esta equivalencia pierde validez a medida que nos alejamos de la frecuencia de resonancia. Si graficamos la diferencia de fase entre la tensión la corriente y la magnitud de la impedancia con la variación de la frecuencia, se nota el efecto inductivo para valores de $\omega < \omega_1$ y el efecto capacitivo para $\omega > \omega_1$

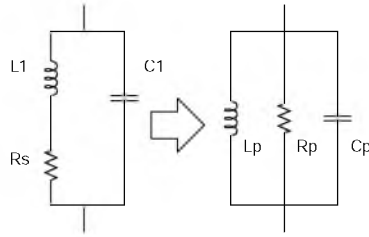


Figura 3.6: modelos serie-paralelo equivalentes

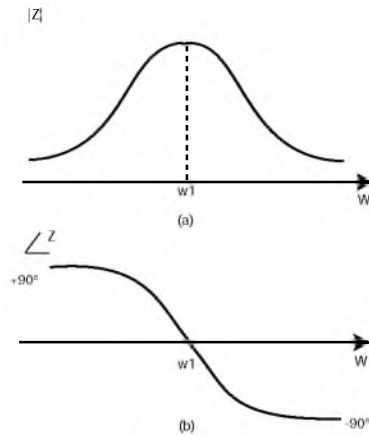


Figura 3.7: (a) magnitud (b) fase de la impedancia de un tanque LC

3.3. Oscilador controlado por tensión

Un oscilador controlado por tensión ideal es un circuito cuya frecuencia de salida es una función lineal de su tensión de control *Figura 3.8*

$$\omega_{out} = \omega_0 + K_{vco} V_{cont} \quad (3.15)$$

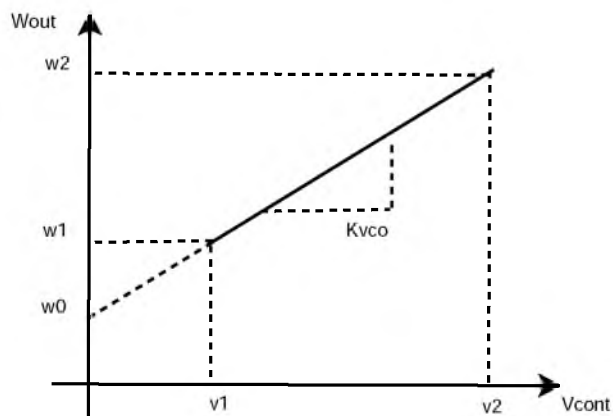


Figura 3.8: Definición de un VCO

ω_0 representa la frecuencia de salida para una $V_{cont} = 0$ y K_{vco} es la ganancia o también llamada sensibilidad del circuito expresada en $rad/s/V$. A la diferencia $\omega_2 - \omega_1$ se la llama

"*tuning range*" ó rango de ajuste.

Frecuencia Central queda determinada por el entorno de trabajo para el cual se diseñará el VCO, por ejemplo para la generación de clock en un microprocesador, se podría requerir que el VCO oscile a la frecuencia del clock e incluso al doble, hoy en día podemos encontrar VCO's construidos en CMOS con frecuencias centrales de 10GHz.

Tuning Range El tuning range o rango de ajuste depende de dos parámetros: (1) la variación de la frecuencia central con el proceso y la temperatura y (2) el rango de frecuencias requeridas para la aplicación. La frecuencia central de algunos osciladores CMOS pueden variar hasta un factor de 2 en los extremos de procesos y temperaturas, esto demanda un amplio rango de excursión para garantizar que la frecuencia de salida del VCO alcanzará a cubrir los valores necesarios. Una de las precauciones en el diseño de un VCO es la variación de la frecuencia y fase de salida como resultado del ruido aplicado a la tensión de control. Para una amplitud de ruido, el ruido en la frecuencia de salida es proporcional a K_{vco} ya que $\omega_{out} = \omega_0 + K_{vco}V_{cont}$. Entonces para minimizar el efecto del ruido en V_{cont} , la ganancia del VCO debería ser *mínima*, esta es una restricción que entra en conflicto con *maximizar* el rango de ajuste. Haciendo referencia a la *Figura 3.8*, el rango para V_{cont} varía desde V_1 a V_2 (por ejemplo de 0 a VDD) y la excursión en frecuencia debería estar comprendida al menos ente ω_1 a ω_2 , entonces el K_{vco} debería satisfacer:

$$K_{vco} \geq \frac{\omega_2 - \omega_1}{V_2 - V_1} \quad (3.16)$$

Para un determinado rango de frecuencias, K_{vco} incrementa a medida que la tensión de alimentación decrece, haciendo que el oscilador se vuelva mas sensible al ruido en la linea de control.

Linealidad A lo largo del rango de ajuste el VCO nos muestra una característica no-lineal, la ganancia K_{vco} no es constante en todo el rango por lo general es maxima en la frecuencia central y disminuye en los extremos del rango, este comportamiento se ve ilustrado en la *Figura 3.9*. Esa no-linealidad degrada el comportamiento de establecimiento de un pll, por esto hay que intentar mantener un K_{vco} constante a lo largo del rango.

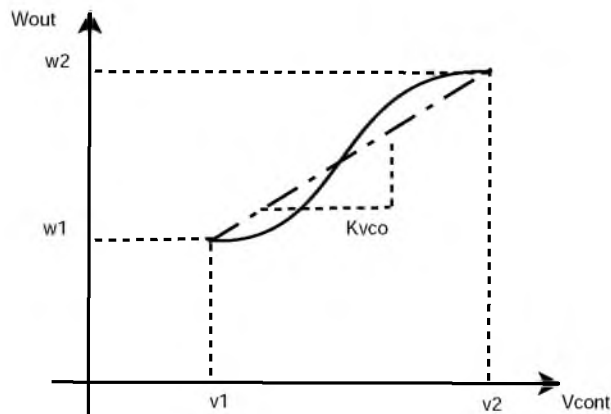


Figura 3.9: Característica no lineal de un VCO

Amplitud de salida Es deseable obtener la máxima amplitud posible en la salida del oscilador, esto ayuda a que la forma de onda sea menos sensible al ruido. Obviamente el tener mayor amplitud a la salida implica consumir mayor potencia, depende de la fuente de alimentación disponible e incluso del rango de ajuste, la amplitud puede variar a lo largo del rango de ajuste (este efecto es indeseable).

Consumo De igual manera que otros circuitos analógicos los osciladores deben adecuarse a un compromiso entre el consumo, velocidad y ruido. Valores típicos de consumo son entre 1 y 10 mW .

Alimentación y rechazo de modo común Los osciladores son sensibles al ruido en especial si se trata de osciladores single-ended. Incluso los osciladores diferenciales muestran cierta sensibilidad al ruido proveniente de la fuente de alimentación, este ruido podría introducirse en la línea de control contribuyendo al jitter. El diseño de osciladores con alta inmunidad al ruido es un desafío, por estos motivos es aconsejable usar configuraciones diferenciales tanto en la salida como en la línea de control.

Pureza de la señal de salida Incluso si fuera posible mantener la tensión de control constante, la forma de onda a la salida del VCO no es perfectamente periódica. EL ruido electrónico proveniente de los componentes del oscilador y el ruido proveniente de la alimentación generan ruido de fase y frecuencia en la salida. Estos efectos se cuantifican mediante el "*jitter*" y *ruido de fase*", estos son parte de los requerimientos según la aplicación.

3.4. Ajuste de frecuencia en osciladores LC

La frecuencia de oscilación en topologías de VCOs del tipo tanque LC es igual a $f_{osc} = 1/(2\pi\sqrt{LC})$ de esta ecuación es evidente que los valores de inductancia y capacidad son nuestras variables para ajustar la frecuencia de oscilación, también existen otros parámetros como la corriente de polarización y la transconductancia de los transistores, estos tienen un efecto despreciable en la f_{osc} . Por lo general fabricar inductores monolíticos variables es de suma complejidad y de muy alto costo, la práctica mas común es la de simplemente variar la capacidad del tanque para poder ajustar la frecuencia de oscilación de nuestro VCO. Para esto se utilizan unos dispositivos especiales conocidos como "varactores", un varactor se puede crear fácilmente con una juntura $p-n$ polarizada inversamente.

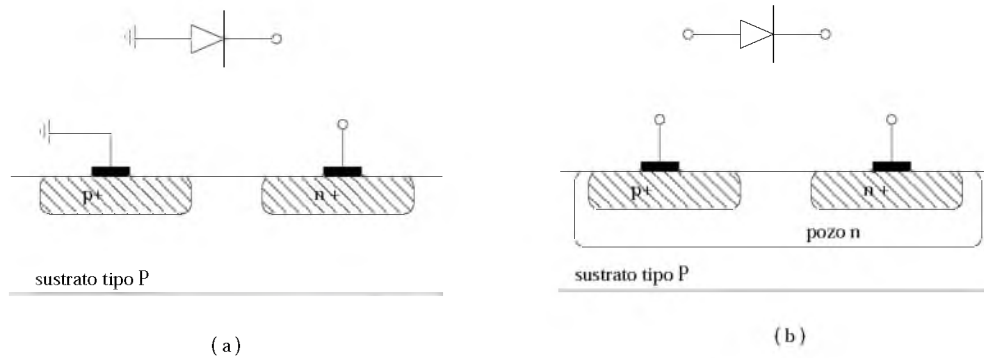


Figura 3.10: Diodos construidos en tecnología CMOS

Los varactores son dispositivos semiconductores de dos terminales que poseen la característica de variar la capacidad entre en sus bornes dependiendo de la tensión de polarización aplicada a sus terminales. En la *Figura 3.10* se puede observar dos tipos de varactores, en el caso (a) se trata de un varactor con el ánodo puesto a tierra y en el caso (b) ambos terminales están flotando, estas características constructivas determinaran cual de ellos será el mas apropiado a la hora de diseñar el oscilador. Si nos detenemos a examinar el caso (b) notaremos una algunos inconvenientes que posee este dispositivo, el pozo de material n posee una alta resistividad, la cual queda en serie con el diodo polarizado en inversa disminuyendo el factor de calidad de la capacidad de la juntura, también el pozo n muestra una importante capacidad hacia el sustrato que contribuye a una capacidad constante para el tanque y la cual limita el rango de ajuste, podemos representar al diodo como se muestra en la *Figura 3.11* donde C_n representa la capacitancia dependiente de la tensión entre el pozo n y el sustrato.

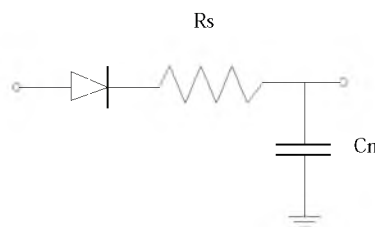


Figura 3.11: Circuito equivalente de un varactor de terminales flotantes

Para disminuir la resistencia, la region p+ puede ser rodeada por un anillo de material tipo

n+ entonces la corriente de desplazamiento que fluye hacia la capacitancia de la juntura ve un camino de baja impedancia en todas las direcciones como se ve en la *Figura 3.12* (a)

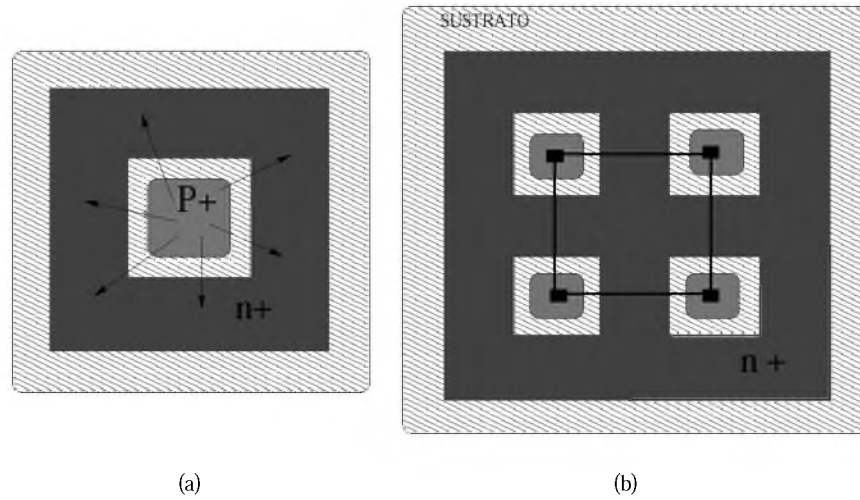


Figura 3.12: (a) Reducción de la resistencia en serie dividiendo la corriente en multiple direcciones, (b) varios diodos puestos en paralelo

Su dependencia con la tensión se puede expresar como:

$$C_{var} = \frac{C_0}{\left(1 + \frac{V_R}{\phi_B}\right)^m} \quad (3.17)$$

C_0 es el valor de capacidad característico al no presentar diferencia de potencial alguna entre sus bornes, V_R es la tensión inversa de polarización de la juntura, ϕ_B es el potencial de juntura, y m es un valor típico comprendido entre 0.3 y 0.4. De la ecuación (3.17) podemos notar una desventaja en los osciladores LC para valores de alimentación lo suficientemente bajos donde la tensión V_R disminuye tanto que se puede polarizar directamente la juntura "p-n", esto limita los valores entre los que puede excursionar la capacidad C_{var} a un corto rango y por esto el rango de frecuencias que podemos obtener también queda limitado por los valores máximos y mínimos de C_{var} . Para explicar esto podemos tomar la *Figura 3.13* en donde se ve un esquema simple de un oscilador del tipo tanque LC que usa diodos varactores en donde se aplica la tensión de control V_{con} sobre los ánodos de los diodos y sus cátodos quedan conectados a las respectivas salidas del oscilador en donde queda fijada una tensión de modo común que depende de la polarización de los transistores, entonces se nota que para que los diodos varactores no queden polarizados en directa, V_{cont} no debe exceder V_x o V_y por más de unos pocos cientos de milivolts. Si la amplitud en cada nodo es A, entonces $0 < V_{cont} < V_{DD} - A + 300mV$, donde asumimos que con $300mV$ de polarización directa aun tendríamos una corriente despreciable en el diodo. Se observa que el circuito guarda una relación entre la excursión de salida y su rango de ajuste, si la excursión en X e Y son grandes la capacitancia de D_1 y D_2 varia con el tiempo. Sin embargo el valor medio de la capacitancia permanece como una función de V_{cont} permitiéndonos variar la frecuencia.

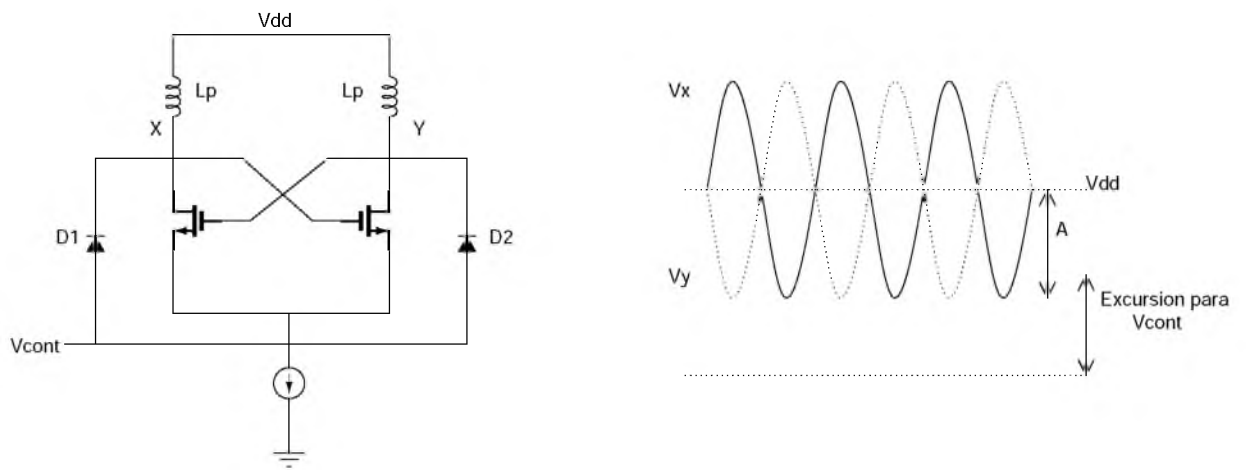


Figura 3.13: Oscilador LC con diodos varactores

3.5. VCO Modelado e interpretación matemática

La definición de oscilador controlado por tensión dado por la ecuación 3.15 denota la relación entre la tensión de control y la frecuencia de salida. Este es un sistema "sin memoria" ya que un cambio en V_{cont} inmediatamente resulta en un cambio en ω_{out} . Para saber como se expresa la salida del VCO en función del tiempo podemos considerar lo siguiente: si tenemos una forma de onda $V_0(t) = V_m \sin(\omega_0 t)$. El argumento de la senoide se llama "fase total" de la señal, supongamos que la fase varía linealmente con el tiempo mostrando una rampa igual a ω_0 , como vemos en la Figura 3.14 cada vez que $\omega_0 t$ cruza un múltiplo entero de π , $V_0(t)$ cruza por cero.

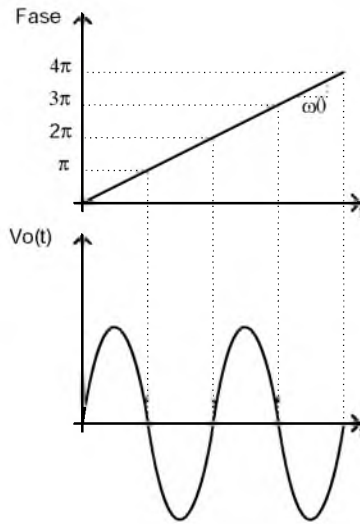


Figura 3.14: ilustración de la fase de la señal

Si dos formas de ondas $V_1(t) = V_m \sin[\phi_1(t)]$ y $V_2(t) = V_m \sin[\phi_2(t)]$, donde $\phi_1(t) = \omega_1 t$, $\phi_2(t) = \omega_2 t$, y $\omega_1 < \omega_2$. Se puede notar en la Figura 3.15, que $\phi_2(t)$ cruza números enteros de π con mayor rapidez que $\phi_1(t)$ lo hace, si para $V_2(t)$ se mantienen mayores variaciones podemos decir que $V_2(t)$ acumula fase. Las observaciones anteriores sugieren que mientras mas rápido varía la fase de una forma de onda, mas aumenta la frecuencia de esta forma de onda, por lo tanto

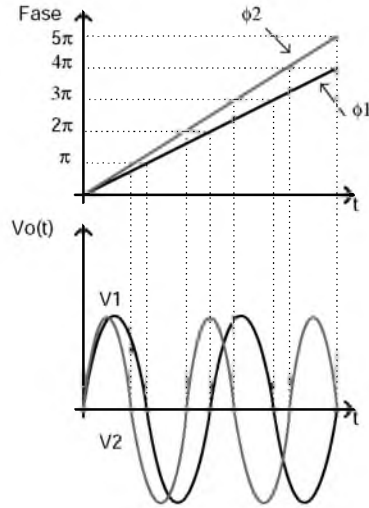


Figura 3.15: Desviación de la fase para dos señales

podemos definir a la frecuencia como la derivada de la fase con respecto al tiempo:

$$\omega = \frac{d\phi}{dt} \quad (3.18)$$

La *Figura 3.16* (a) muestra la fase de una forma de onda sinusoidal con amplitud constante en función del tiempo. Si derivamos $\phi(t)$ con respecto al tiempo y a graficamos, se obtiene el comportamiento que muestra la *Figura 3.16* (b). Si la frecuencia cambia de estado periódicamente entre ω_1 y ω_2 vamos a notar el comportamiento descrito en la *Figura 3.16* (c). En comunicaciones podemos comparar como una modulación binaria de frecuencia conocida como "*frequency shift keying*"

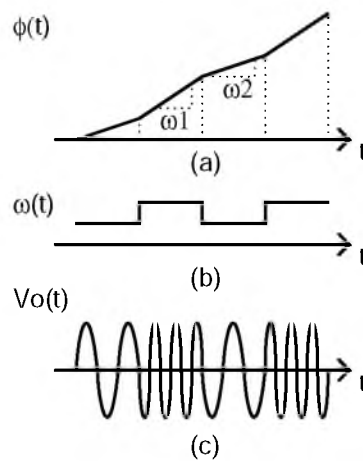


Figura 3.16: Fase de salida de un oscilador

La ecuación 3.18 nos dice que si la frecuencia de un forma de onda puede representarse en función del tiempo, entonces la fase se puede calcular como

$$\phi = \int \omega dt + \phi_0 \quad (3.19)$$

En el caso particular del VCO, nosotros representamos la frecuencia en función del tiempo como $\omega_{out} = \omega_0 + K_{vco}V_{cont}$ entonces reemplazando en la ecuación (3.19)

$$V_{out} = V_m \cos\left(\int \omega_{out} dt + \phi_0\right) \quad (3.20)$$

$$= V_m \cos(\omega_0 t + K_{vco} \int V_{cont} dt + \phi_0) \quad (3.21)$$

Note que si el K_{vco} es no lineal debe ser incluido dentro de la integral, La fase inicial ϕ_0 usualmente es irrelevante y la consideraremos cero de aquí en adelante. Ahora supongamos que una tensión rectangular que varía entre V_1 y V_2 con un periodo T_m es aplicada sobre la línea de control del VCO, vamos a graficar la frecuencia, fase y forma de onda de salida en función del tiempo. Recordando que $\omega_{out} = \omega_0 + K_{vco}V_{cont}$, la frecuencia de salida varía entre $\omega_1 = \omega_0 + K_{vco}V_1$ y $\omega_2 = \omega_0 + K_{vco}V_2$ (Figura 3.17). La fase es igual a la integral en el tiempo de los escalones de frecuencia, el resultado de esta integral es la fase y esta crece linealmente al integrar ω_1 en el primer semi-ciclo e integrar ω_2 en el segundo semi-ciclo. La forma de onda de salida del VCO es similar a la vista en la (Figura 3.16 (c)), entonces un VCO puede operar como modulador de frecuencia.

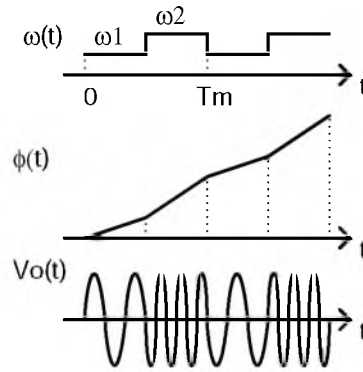


Figura 3.17: Fase de salida de un oscilador

Si colocamos un VCO dentro de un PLL, entonces únicamente el segundo término de la fase total en la ecuación 3.21 es de nuestro interés. Este término, $K_{vco} \int V_{cont} dt$ se llama "exceso de fase" ϕ_{ex} . De hecho en el análisis de PLLs, se toma al VCO como un sistema cuya entrada es controlada por tensión y su salida es el exceso de fase:

$$\phi_{ex} = K_{vco} \int V_{cont} dt \quad (3.22)$$

Esto quiere decir que el VCO trabaja como un integrador *ideal* y su función de transferencia está dada por:

$$\frac{\Phi_{ex}}{V_{cont}}(s) = \frac{K_{vco}}{s} \quad (3.23)$$

Supongamos que la tensión de control aplicada al VCO tiene característica sinusoidal $V_{cont} = V_m \cos(\omega_m t)$, podemos determinar entonces la forma de onda de salida y su espectro. La forma

de onda de salida queda expresada por

$$V_{out}(t) = V_0 \cos(\omega_0 t + K_{vco} \int V_{cont} dt) \quad (3.24)$$

$$= V_0 \cos(\omega_0 t + K_{vco} \frac{V_m}{\omega_m} \sin(\omega_m t)) \quad (3.25)$$

$$= V_0 \cos(\omega_0 t) \cos(K_{vco} \frac{V_m}{\omega_m} \sin(\omega_m t)) \quad (3.26)$$

$$- V_0 \sin(\omega_0 t) \sin(K_{vco} \frac{V_m}{\omega_m} \sin(\omega_m t))$$

Si la amplitud V_m es suficientemente pequeña tal que $K_{vco} V_m / \omega_m \ll 1 \text{ rad}$ entonces

$$V_{out} \approx V_0 \cos(\omega_0 t) - V_0 (\sin(\omega_0 t) (K_{vco} \frac{V_m}{\omega_m} \sin(\omega_m t))) \quad (3.27)$$

$$= V_0 \cos(\omega_0 t) - \frac{K_{vco} V_m V_0}{2\omega_m} [\cos(\omega_0 - \omega_m)t - \cos(\omega_0 + \omega_m)t] \quad (3.28)$$

Como se puede notar en la ecuación (3.28) la salida consiste de tres sinusoides con frecuencias ω_0 , $\omega_0 - \omega_m$, y $\omega_0 + \omega_m$ las componentes $(\omega_0 \pm \omega_m)$ se muestran en la [Figura 3.18](#) y se llaman "bandas laterales"

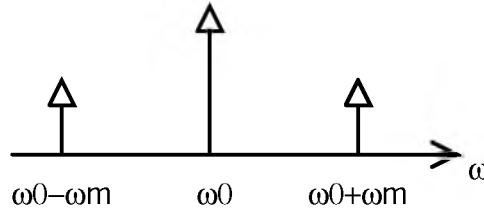


Figura 3.18: Bandas laterales a la salida de un VCO

El ejemplo anterior muestra que una variación de la tensión de control podría crear componentes indeseadas a la salida del VCO, de hecho cuando un VCO alcanza su estado estacionario, la tensión de control experimenta pequeños cambios en su valor.

Un error que se comenta a menudo es el creer que la fase es el producto de la frecuencia con el tiempo, esto se debe a que estamos tan familiarizados la ecuación $V_m \cos(\omega_0 t)$, esto no es cierto del todo, consideremos la frecuencia de salida de un VCO es $\omega_0 + K_{vco} V_{cont}$ y su salida es entonces $V_m \cos[(\omega_0 + K_{vco} V_{cont})t]$. Simplemente calculamos la frecuencia como la derivada de la fase:

$$\omega = \frac{d}{dt} [(\omega_0 + K_{vco} V_{cont})t] \quad (3.29)$$

$$= K_{vco} \frac{dV_{cont}}{dt} t + \omega_0 + K_{vco} V_{cont} \quad (3.30)$$

Por esto en general la fase no puede ser escrita como el producto del tiempo y la frecuencia. Hasta el momento he asumido que la salida del VCO es una señal sinusoidal, en la realidad la salida no es pura y esta puede contener un alto contenido de armónicas como en el caso de una salida

cuadrada. En este caso la representación mas cercana a la realidad es expresar la salida como una serie de Fourier

$$V_{out}(t) = V_1 \cos(\omega_0 t + \phi_1) + V_2 \cos(2\omega_0 t + \phi_2) + \dots \quad (3.31)$$

Obviamente si la componente fundamental sufre una variación de δf , su segunda armónica cambia a $2\delta f$, etc. Si la V_{cont} varia un δV entonces la frecuencia de la primera armónica varia un $K_{vco}\delta V$, la segunda armónica varia $2K_{vco}\delta V$ y así sucesivamente

$$V_{out}(t) = V_1 \cos(\omega_0 t + K_{vco} \int V_{cont} dt + \theta_1) + V_2 \cos(2\omega_0 t + 2K_{vco} \int V_{cont} dt + \theta_2) + \dots \quad (3.32)$$

donde $\theta_1, \theta_2, \dots$ son fases constantes necesarias para representar cada armónica en la serie de Fourier. La ecuación anterior sugiere que se pueden tener en cuenta las armónicas a la salida del oscilador, por lo general en los cálculos se toma solamente la primer armónica incluso si la señal de salida es una onda cuadrada.

3.6. Topologías para el VCO

En esta sección vamos a presentar algunas topologías de osciladores controlados por tensión, analizaremos las ventajas y desventajas para cada una de ellas y decidiremos cual es la mas conveniente para implementarla en nuestro diseño. Existen topologías típicas para los osciladores del tipo tanque, las presentadas a continuación son de las mas usadas en la industria. En la *Figura 3.19* se puede ver un VCO del tipo LC construido con transistores NMOS, la fuente de corriente en la parte inferior del circuito es para polarizar los transistores que generan la conductancia negativa ($-G_m$) necesaria para hacer que la oscilación ocurra.

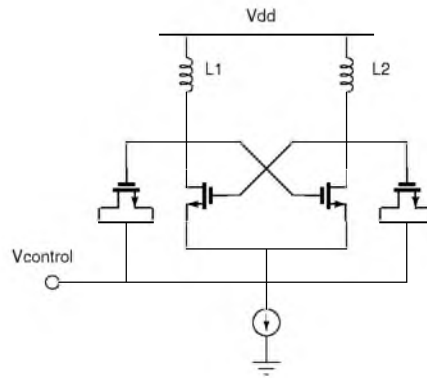


Figura 3.19: Oscilador LC simple

Esta topología tiene la desventaja de poseer una caída de tensión muy baja sobre las inductancias L_1 y L_2 , esto lleva el valor de la tensión de modo común muy cercana a V_{dd} y es muy fácil ver que la tensión entre los terminales del varactor permanece positiva para $V_{control} < V_{dd}$ limitando el rango dinámico de los varactores y por consecuencia el rango de ajuste de la frecuencia.

Una alternativa a esta topología es la presentada en la *Figura 3.20*, donde la tensión de modo común queda definida por el acople capacitivo C_{c1} , C_{c2} , por ejemplo si suponemos $V_b = V_{dd}/2$ y $V_{control}$ puede excursionar entre 0 y V_{dd} , entonces los valores promedios de tensión sobre los varactores, varían desde $-V_{dd}/2$ hasta $+V_{dd}/2$. En este circuito tendremos que asegurar que los capacitores de acople son lo suficientemente grandes para que la capacitancia que se observa desde el tanque sea enteramente la de los varactores.

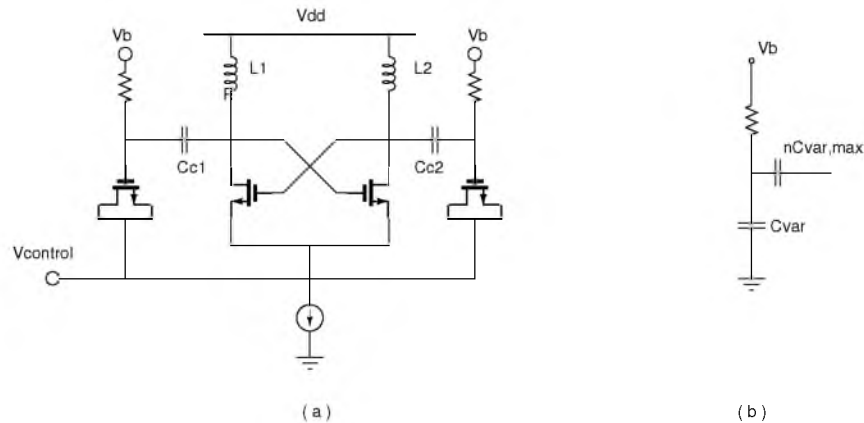


Figura 3.20: (a) Oscilador LC con modo común configurable, (b) Capacidad serie

En base a la *Figura 3.20* (b) podemos calcular la capacidad equivalente vista desde el tanque como:

$$C_{eq} = \frac{nC_{var,max} \cdot C_{var}}{nC_{var,max} + C_{var}} \quad (3.33)$$

$$= \frac{nC_{var,max}}{(1 + \frac{nC_{var,max}}{C_{var}})} \quad (3.34)$$

De la ecuación (3.34) podemos inferir que cuando el valor del varactor alcanza su valor máximo, solo un porcentaje de su valor es visto por el tanque, si $C_{c1} = C_{c2} = nC_{var,max}$ es decir que las capacidades de acoplamiento son iguales entre sí y n veces el valor de capacitancia máxima del varactor, entonces la ecuación (3.34) se reduce a:

$$C_{eq,max} = (\frac{n}{n+1}) \cdot C_{var,max} \quad (3.35)$$

La capacitancia máxima equivalente que ve el tanque queda escalada por el factor $n/(n+1)$, es decir que un valor de capacidad alto es deseado, la desventaja que trae aparejada esta solución es que los capacitores que se usan para acoplamiento, también muestran un acoplamiento parásito hacia sustrato que termina cargando al tanque, en conclusión aumentamos el tamaño de los capacitores para poder ganar rango dinámico con los varactores pero a su vez cargamos el tanque con una capacidad extra bajando la frecuencia de oscilación y limitando el rango de ajuste.

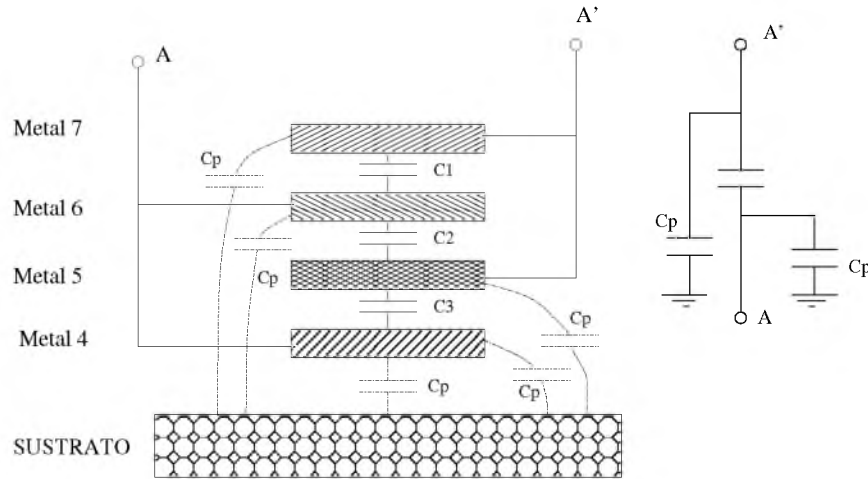


Figura 3.21: Capacitor tipo sandwich utilizando metales adyacentes, parásitos en líneas de puntos

Este tipo de capacitores pueden llegar a generar capacidades parásitas hasta del 15 % del valor del capacitor, otra alternativa es la de usar *fringe-capacitors* (capacitores planos), estos aportan hasta un 5 % en tecnologías submicrón.

La topología de la *Figura 3.22* no necesita capacitores de desacople para fijar la tensión de modo común, esto lo consigue utilizando una fuente de corriente con un dispositivo PMOS en la parte superior del circuito, entonces la tensión de modo común queda determinada por el equilibrio entre el voltaje de compuerta-surtidor de M_1 y M_2 cuando estos transistores conducen la misma corriente. Este modo común puede fijarse a un valor cercano a $V_{dd}/2$ permitiendo a los varactores excursionar entre $-V_{dd}/2$ y $V_{dd}/2$ cuando la tensión de control $V_{control}$ varía de 0 a V_{dd} .

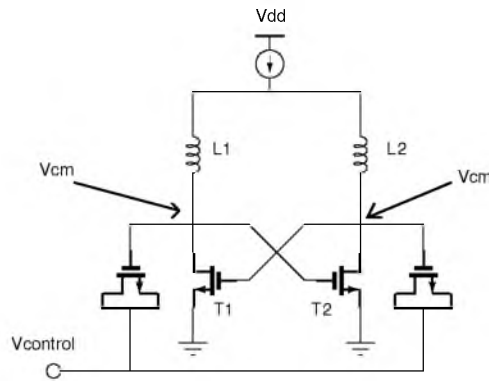


Figura 3.22: VCO con NMOS balanceados y fuente de corriente PMOS

Una desventaja de este circuito es que el ruido de la corriente que circula por la fuente también lo hace por los transistores T_1 y T_2 modulando la tensión en los capacitores aumentando el ruido de fase. Si bien este fenómeno es perjudicial también es minimizable y es por ello que se decidió utilizar una variante de esta topología en el diseño del oscilador.

Otra topología comúnmente usada es la de la *Figura 3.23*, esta intercala un par de transistores PMOS que funcionan como carga activa que permiten ecualizar los tiempos de subida y bajada de las formas de onda en los nodos A y B mejorando la simetría de la forma de onda de la tensión, esto ayuda a reducir el efecto del ruido de flicker convertido a frecuencias superiores alrededor de la frecuencia de trabajo.

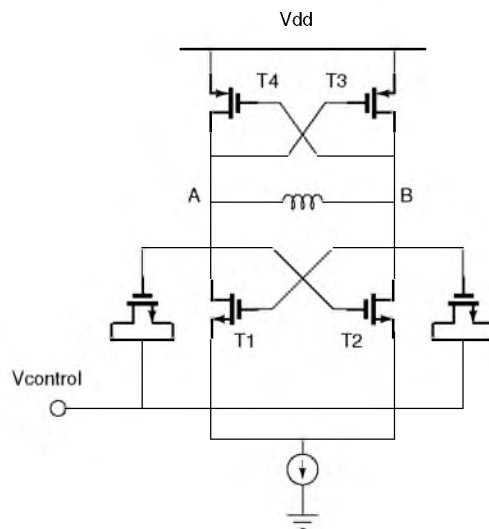


Figura 3.23: VCO con carga activa

La desventaja de este circuito tiene que ver con la baja movilidad de los dispositivos PMOS por lo tanto para ecualizar los tiempos de crecimiento es necesario hacer que el ancho del canal w del PMOS sea considerablemente mayor que el del NMOS, mas aún para bajos valores de tensión de alimentación, lo cual aumenta las capacidades parásitas en los nodos A y B y limita el rango de ajuste. También hay que asegurar la tensión necesaria para la conducción en la fuente de corriente, esto nos limita al momento de trabajar con tensiones de alimentación del orden de 1.2V y 1.8V.

Por lo general para los diseños de VCOs para comunicaciones ópticas se quiere maximizar el rango de ajuste y minimizar el ruido de fase, para esto es necesario tener establecidos los siguientes parámetros:

- Capacidad de carga que debe manejar el VCO
- Máxima excursión de tensión a la salida del VCO
- Frecuencia central
- Potencia máxima

En este trabajo se supone que el VCO va a estar cargado con una capacidad equivalente a la de estar conectado a dos divisores de frecuencia, el primer divisor pertenece al lazo del PLL y el segundo divisor simula un circuito que carga al PLL con una determinada capacidad, para estimar la carga no basta solamente con conocer el circuito al que va a estar conectado el VCO, también se debe tener en cuenta el ruteo de la señal, es decir el conexionado entre bloques, esto se debe a que en tecnologías submicrón los efectos parásitos del conexionado son importantes.

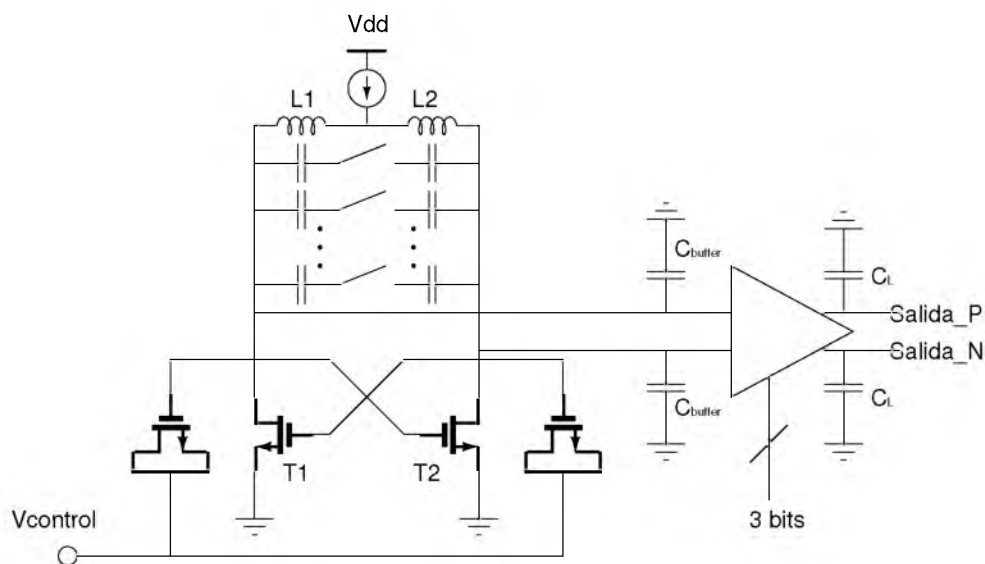


Figura 3.24: VCO con control digital mas buffer sintonizado con control digital

Se busca que la excursión de tensión a la salida del VCO sea la mayor posible para minimizar el ruido, por otro lado existe una especificación en la máxima excursión de la tensión que se debe aplicar a la entrada del divisor por N y queda determinada por el diseñador del divisor, la tensión que entrega el VCO debe ser lo suficientemente grande como para permitir la excursión completa

de los pares diferenciales que su salida alimenta. Esto se logra dando la máxima tensión a la salida del oscilador y ajustando la excursión a la salida del VCO mediante la implementación de un buffer sintonizado el cual amplifica solamente la banda de interés, este amplificador sintonizado agregara una carga extra a nuestro oscilador que se ha de tener en cuenta a la hora del calculo de la frecuencia de oscilación.

La frecuencia central queda determinada por la relación entre los elementos reactivos como lo indica la ecuación $\omega = 1/\sqrt{LC}$, este circuito incorpora un control digital, para la calibración de la frecuencia de oscilación, dado que la frecuencia de oscilación depende exclusivamente de los elementos reactivos y estos están sujetos a los procesos de fabricación, hay que tener en cuenta las desviaciones que estos puedan presentar debido a temperatura y a las variaciones implícitas del proceso, por lo tanto es necesario cubrir un cierto rango para asegurar el correcto funcionamiento del circuito integrado.

La potencia es un factor importante a la hora de diseñar todo tipo de circuitos, la velocidad y el bajo consumo van por caminos opuestos es decir que si queremos lograr altas velocidades inevitablemente tenemos que consumir mas potencia, existen ciertas técnicas de diseño de bajo consumo que son difíciles de aplicar a las tecnologías submicrón y al mismo tiempo mantener un cierto grado de conservativismo en el ámbito de la industria por lo cual se prefiere confiar en los modelos de transistores otorgados por la fábrica. En este trabajo la potencia no es un factor crítico pero se busca minimizarla tanto como sea posible.

3.7. Diseño del VCO

Un oscilador LC puede ser visto como dos redes de un solo puerto conectadas entre sí. Una de las redes representa la parte pasiva selectiva en frecuencia (circuito tanque) y la otra red es la parte activa que es la encargada de cancelar las pérdidas en el tanque.

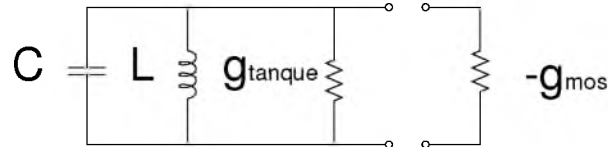


Figura 3.25: Modelo simplificado del Oscilador tanque LC

entonces para que la oscilación ocurra se busca que la conductancia negativa del elemento activo cancele la conductancia positiva del elemento resonador (pérdidas en el tanque LC) y que el corrimiento de fase sea cero al cerrar el lazo entre ambas redes. Es decir, se requiere que la ganancia de lazo cerrado de la *Figura 3.25* sea mayor o igual que la unitaria y la impedancia total tenga parte imaginaria nula. Los osciladores del tipo LC se fabrican por lo general con espiras integradas que forman el inductor, este tipo de inductores poseen bajo factor de mérito Q_L , por lo tanto se puede asumir que las pérdidas que predominan son debidas a las pérdidas óhmicas en el inductor, y las indicamos en la *Figura 3.26* como R_s . En la práctica también tendremos pérdidas en los elementos varactores y en los dispositivos MOSFETs pero podemos empezar nuestro diseño concentrándonos solamente en las pérdidas del inductor. El factor de mérito de un inductor Q_L esta determinado por la siguiente ecuación.

$$Q_L = \frac{\omega_0 L}{R_s} \quad (3.36)$$

donde ω_0 es la frecuencia de oscilación en [rad/sec], L es la inductancia en [Hy] y R_s es la resistencia en serie equivalente dada en [Ω] El factor de mérito de inductores integrados varia entre 4 y 11 y la inductancia varia entre $0,1nHy$ y $10mHy$ para la mayoría de los casos prácticos de inductores integrados.

La topología elegida posee una salida diferencial cuyo valor es $V_{out} = v_1 - v_2$, donde v_1 que es la entrada del transistor M_2 es la salida del transistor M_1 , cada transistor del par es un amplificador en configuración surtidor común, estos transistores proveen una realimentación positiva y la transconductancia negativa necesaria para cancelar las pérdidas en el tanque, podemos pensar a la carga de estos amplificadores como dos tanques sintonizados en paralelo compuestos por un arreglo de capacitores fijos, estos son los que proveen el ajuste grueso que mediante un control digital va conectando capacidades en paralelo, el ajuste fino o continuo esta compuesto por un par de varactores NMOS en serie con capacitores para linealizar la excursion y ajustar el valor de la ganancia tensión-frecuencia (K_{vco}), y el integrante quizás mas importante del tanque es el inductor diferencial alimentado por una fuente que corriente constante, es necesario que esta fuente de corriente presente una alta impedancia, si esto no fuese así, el tanque vería un camino de baja impedancia hacia V_{dd} disipando rápidamente toda la energía almacenada en los elementos reactivos y la oscilación no ocurriría.

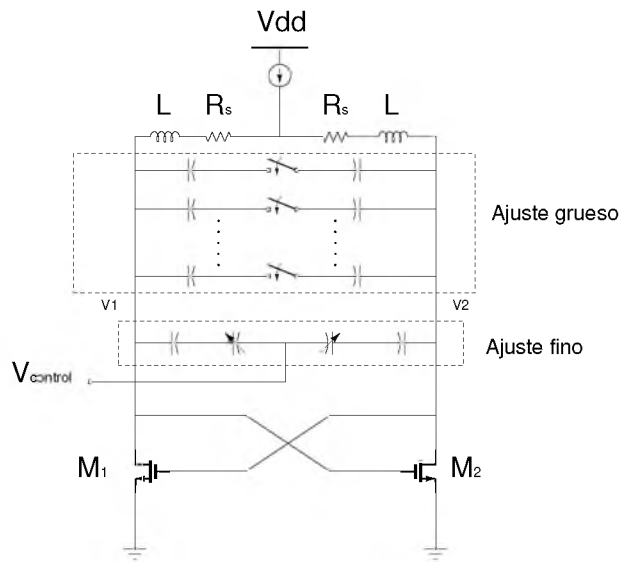


Figura 3.26: Oscilador tipo LC, esquema para implementar

En la bibliografía podemos encontrar diferentes recomendaciones y maneras de comenzar con el diseño del VCO, siempre y cuando se usen los criterios adecuados podemos encarar el diseño de una u otra manera. En un oscilador del tipo LC la calidad del mismo se ve afectada en un 70 % por la construcción del inductor, por lo tanto es de suma importancia el obtener un buen modelo PI del inductor a construir, hablaremos de esto mas adelante. Se puede realizar una rápida aproximación de los valores de inductancia y capacidad a utilizar en el tanque partiendo de la ecuación 3.37. Si nuestra frecuencia de trabajo es de 5Ghz, podemos fijar el valor de L y obtener el valor de C para nuestro tanque.

$$f_0 = \frac{1}{2\pi\sqrt{LC_{equiv}}} \quad (3.37)$$

Basándonos en la bibliografía y teniendo en cuenta los valores de inductancias que puedan ser sintetizables en un circuito integrado fijamos arbitrariamente el valor de $L = 1nH$ y encontramos que el valor de C_{equiv} debe ser de $1,013pF$.

$$C_{equiv} = \frac{1}{(2\pi f_0)^2 L} \quad (3.38)$$

La capacidad equivalente se debe a la suma de las capacidades que aportan los diferentes componentes del circuito y son las siguientes:

$$C_{equiv} = C_{grueso} + C_{fino} + C_{gs} + 4C_{gd} + C_{buffer} + C_{ind} \quad (3.39)$$

C_{grueso} : es la capacidad máxima que presenta el ajuste grueso (control digital)

C_{fino} : es la capacidad aportada por el elemento varactor

C_{gs} : es la capacidad compuerta-surtidor que presenta el dispositivo semiconductor

C_{gd} : es la capacidad compuerta-drenador amplificada por el efecto Miller

C_{buffer} : es la capacidad que aporta tanto el buffer de salida como las interconexiones

C_{ind} : es la capacidad parásita del inductor

en la *Figura 3.27* se hacen externos los efectos parásitos que acompañan a los transistores, tanto las capacidades parásitas C_{gd} y C_{gs} como la resistencia de compuerta r_g son efectos intrínsecos del transistor debido a su construcción y principio de funcionamiento. Existen más capacidades parásitas que las detalladas en la figura, de momento solo las señaladas afectan considerablemente a nuestro diseño.

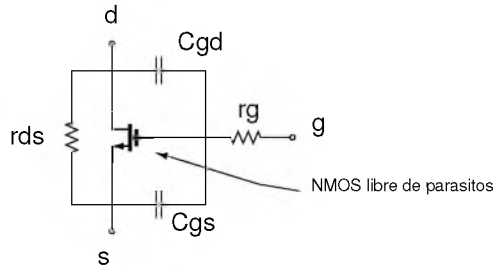


Figura 3.27: Transistor NMOS no ideal

Las resistencias parásitas pueden incrementar las pérdidas en el tanque haciendo que se requiera un gm mayor que si el transistor fuese ideal, las capacidades parásitas se combinan con las del tanque como se muestra en la ecuación 3.39, cualquier capacidad que se presente en los nodos de salida del VCO producen una disminución en la frecuencia de oscilación, por lo tanto hay que ecualizar todas las capacidades para tener un control sobre el rango de ajuste que se desea obtener. Se observa que las resistencias puede contribuir a ruido térmico aumentando el ruido de fase, rds no es una resistencia que contribuya a aumentar el ruido pero es un parámetro que depende de λ (coeficiente de modulación de longitud del canal).

Sin pérdida de generalidad podemos tomar la *Figura 3.28* (b) para deducir las ecuaciones necesarias para encontrar los valores de gm y frecuencia de resonancia, entonces podemos notar que la impedancia Z_s esta compuesta por la inductancia con su resistencia de pérdida en serie en

paralelo con la capacidad equivalente de nuestro circuito. Vamos a caracterizar la impedancia Z_s deduciendo su parte real e imaginaria:

$$Z_s = \frac{sL + R}{s^2LC + sCR + 1} \quad (3.40)$$

Teniendo en cuenta que la impedancia total de los dos tanques seña:

$$Z_T = 2Z_s = R_T + jX_T = 2(R_s + jX_s) \quad (3.41)$$

Valuamos la ecuación 3.40 en $s = j\omega$, luego multiplicamos y dividimos por su conjugado

$$Z_T = 2 \left[\frac{(j\omega L + R)}{(1 - \omega^2 LC + j\omega CR)} \cdot \frac{(1 - \omega^2 LC - j\omega CR)}{(1 - \omega^2 LC - j\omega CR)} \right] \quad (3.42)$$

$$Z_T = 2 \left[\frac{R(1 - \omega^2 LC) + \omega^2 LCR + j[\omega L(1 - \omega^2 LC) - \omega CR^2]}{(1 - \omega^2 LC)^2 + (\omega CR)^2} \right] \quad (3.43)$$

Separando en parte real e imaginaria obtenemos

$$Z_T = \frac{2R}{(1 - \omega^2 LC)^2 + (\omega CR)^2} + 2j \left[\frac{\omega L(1 - \omega^2 LC) - \omega CR^2}{(1 - \omega^2 LC)^2 + (\omega CR)^2} \right] \quad (3.44)$$

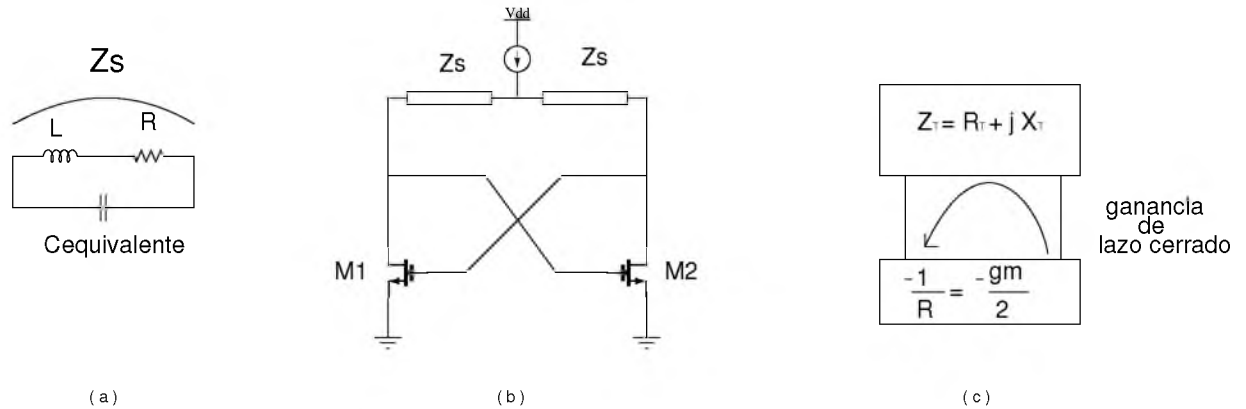


Figura 3.28: Modelo simplificado del VCO a implementar con parámetros concentrados

La condición de oscilación en el lazo cerrado de la *Figura 3.28* (c) requiere que la ganancia sea mayor o igual a la unidad y que la fase en el lazo tenga ángulo cero, el decir que el ángulo de fase será cero implica que para la frecuencia de trabajo ω_0 , $X_T(\omega_0) = 0$. Para conocer la frecuencia a la que el ángulo de fase es igual a 0 valuamos la ecuación 3.44 en ω_0 e igualamos la parte reactiva a cero.

$$\omega_0 L(1 - \omega_0^2 LC) - \omega_0 CR^2 = 0 \quad (3.45)$$

$$\omega_0 = \frac{1}{\sqrt{LC}} \cdot \sqrt{1 - \frac{R^2 C}{L}} \quad (3.46)$$

Oficialmente la frecuencia de trabajo o frecuencia central se puede calcular con la ecuación 3.46, donde R representa la resistencia serie del inductor y C la capacidad equivalente del tanque,

pero en la práctica se utiliza la ecuación 3.37 con bastante precisión. Si prestamos atención al gráfico de la Figura 3.29 notamos que al hacer cero la fase solo nos queda por encontrar el valor de la transconductancia gm que anula la parte real. Según la Figura 3.28 (c) para encontrar el mínimo valor de gm que produce la oscilación igualamos

$$\left| \frac{-1}{R} \right| = \left| \frac{-gm}{2} \right| = \frac{1}{R_T(\omega_0)} \quad (3.47)$$

$$\frac{gm}{2} \geq \frac{[1 - (1 - \frac{R^2 C}{L})]^2 + [(1 - \frac{R^2 C}{L}) \frac{R^2 C}{L}]}{2R} \quad (3.48)$$

Si el valor $(1 - \frac{R^2 C}{L})$ es aproximadamente igual a 1, entonces podemos despreciar este término en la anterior ecuación y reescribirla de manera práctica como:

$$gm \geq \frac{RC}{L} \quad (3.49)$$

Las ecuaciones 3.49 y 3.37 son ecuaciones de diseño.

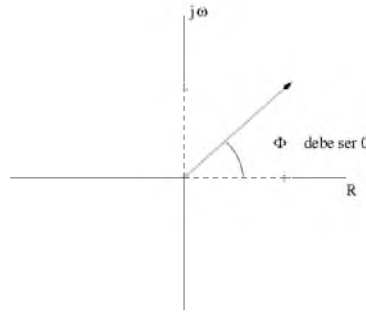


Figura 3.29: Componentes real e imaginaria de la impedancia Z_s

3.8. Selector de capacidades

Hay dos motivos principales por lo cual nos interesa implementar un selector de capacidades en nuestro VCO, el primero esta relacionado con la posibilidad de ampliar el rango de frecuencias a sintetizar, y el segundo y principal es el grado de confiabilidad que nos brinda para asegurar que nuestro PLL funcionará a pesar de las variaciones sufridas durante el proceso de fabricación y ante cambios de temperatura.

Cuando se fabrica el circuito integrado se observan variaciones inherentes al mismo proceso de fabricación, es decir, los valores que nosotros introducimos en el simulador pueden no ser los mismos que se obtenga una vez ya fabricado, estas variaciones son documentadas por el fabricante de circuitos integrados, estos datos son embebidos en los modelos de transistores, resistencias, capacitores, etc. que son distribuidos en los llamados paquetes de diseño, con estos datos el diseñador es el encargado de analizarlos y elegir que tipo de pruebas hará sobre su circuito, este conjunto de variaciones más las posibles variaciones de temperatura, tensión y corriente se configuran para generar lo que se denomina "*corners*", que hace referencia nada mas y nada menos que a las condiciones bajo las cuales se evalúa un determinado circuito en simulador, algunos valores típicos de variación en los elementos pueden alcanzar los siguientes porcentajes:

valor de capacidad para un capacitor del tipo MIM (metal insulator metal) +/- 15 %
 valor de capacidad para un capacitores del tipo fringe +/- 5 %
 valor de capacidad para un capacitor varactor +/- 10 %
 valores de los elementos parásitos en los MOS +/- 13 %
 desviación en el valor final de la inductancia en un inductor +/- 5 %
 se puede agregar un 5 % por variaciones en temperatura

Teniendo en cuenta lo antes mencionado, notamos que nuestro rango de ajuste debe contemplar dichas variaciones, valores conservativos a adoptar para el rango de ajuste se encuentran entre un 15 % y un 25 % de frecuencia central ω_0 . Se puede estimar el rango de ajuste haciendo

$$\omega_{max} = \frac{1}{\sqrt{LC_{equiv,min}}} \quad (3.50)$$

$$\omega_{min} = \frac{1}{\sqrt{LC_{equiv,max}}} \quad (3.51)$$

En nuestro caso se opto por cubrir un rango de +/- 15 % de la frecuencia central, es decir que se intento obtener los siguientes valores para las frecuencias máximas y mínimas:

$$\omega_{min} \approx \omega_0 - \omega_0 \cdot 0,15 = 4,25Ghz \quad (3.52)$$

$$\omega_{max} \approx \omega_0 + \omega_0 \cdot 0,15 = 5,75Ghz \quad (3.53)$$

Un mecanismo atractivo para introducir o quitar capacidad es el de utilizar llaves CMOS, este tipo de técnica es el mas usado en los circuitos tanques LC por su simple uso y además por que permite ser comandado digitalmente.

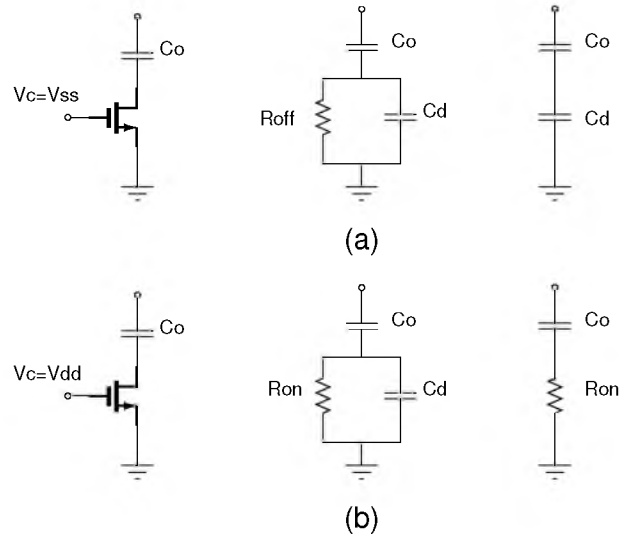


Figura 3.30: Llaves RF construidas con transistores n-mos, (a) $V_c = 0$, llave apagada, (b) $V_c = V_{dd}$, llave prendida

Es muy común construir llaves de RF con transistores NMOS, en la *Figura 3.30* podemos observar el principio de funcionamiento de estas llaves para los estados de encendido (b) y apagado (a), donde C_o es el valor de capacidad que queremos conectar o desconectar y C_d es la capacidad parásita total de borde en el drenador, esta es igual a $C_{dd}W$. W es el ancho del canal

del transistor y C_{dd} es la capacidad de borde en $fF/\mu m$. Cuando la llave se encuentra apagada, el circuito equivalente resultante es el de la *Figura 3.30* (a), asumiendo que $R_{off} \gg (\omega C_d)^{-1}$ y $C_{off} = C_0 // C_d$ la impedancia se escribe como:

$$Z(s) = \frac{1}{sC_{off}} \quad (3.54)$$

Cuando la llave se encuentra encendida, el circuito equivalente resultante es el de la *Figura 3.30* (b), donde la resistencia del canal $1/gds = R_{on}$ queda en serie con la capacidad C_0 , asumiendo que $R_{on} \ll (\omega C_d)^{-1}$ se escribe como:

$$Z(s) = R_{on} + \frac{1}{sC_0} \quad (3.55)$$

La resistencia del canal de un MOS queda determinada por la ecuación:

$$R_{on} = \left[(\mu_n C_{ox}) \left(\frac{W}{L} \right) (V_{GS} - V_t) \right]^{-1} \quad (3.56)$$

de esta ecuación podemos deducir que mientras mas corto sea el canal menos resistencia vamos a añadir a nuestro selector cuando las llaves estén encendidas, en este trabajo se usaron transistores nmos regulares de $L_{min} = 70nm$ para minimizar las pérdidas con el propósito de aumentar el factor de mérito del selector. Hay dos parámetros que son de nuestro interés en cuanto a la performance del diseño:

1. el factor de mérito del circuito de ajuste para la frecuencia de trabajo.
2. la relación entre la máxima y la mínima capacidad.

El factor de mérito del selector es menor cuando las llaves están encendidas y el factor de mérito se puede escribir como:

$$Q = \frac{1}{\omega_0 C_0 R_{on}} \quad (3.57)$$

donde R_{on} esta dada por la ecuación 3.56 y ω_0 es la frecuencia de trabajo, de las ecuaciones 3.57 y 3.56 podemos notar una dependencia del factor de mérito con el ancho del canal W de la llave CMOS y podemos escribir que:

$$Q \propto \frac{W}{\omega_0 C_0} \quad (3.58)$$

entonces para maximizar el factor de mérito Q del selector según la ecuación 3.56 se elije $L = L_{min}$ y $V_{GS} - V_t = V_{dd} - V_t$, los parámetros W y C_0 son variables de diseño. El rango de ajuste es dependiente de la relación entre el valor máximo y el valor mínimo de las capacidades y como la frecuencia de trabajo es proporcional a la ecuación 3.37, entonces dicha relación se puede escribir como:

$$\frac{C_{max}}{C_{min}} = \frac{C_0}{WC_{dd}} + 1 \quad (3.59)$$

Las ecuaciones 3.58 y 3.59 sugieren que si intentamos maximizar el factor de mérito del selector reduciendo el valor de C_0 estaríamos minimizando el rango de ajuste de frecuencias.

Entonces nuestro parámetro de ajuste para maximizar el factor de mérito del selector es el ancho W del canal de la llave CMOS cuando la capacidad C_0 queda determinada para una ω_0 dada. El hecho de implementar la llave entre ambos capacitores como se muestra en la *Figura 3.31* (b) a diferencia de hacerlo como en la *Figura 3.31* (a), radica en que la resistencia R_{on} es compartida por ambos capacitores al encender la llave, es decir que la mitad del valor total de la R_{on} es aplicada a cada capacitor mejorando al doble el factor de mérito de nuestro selector.

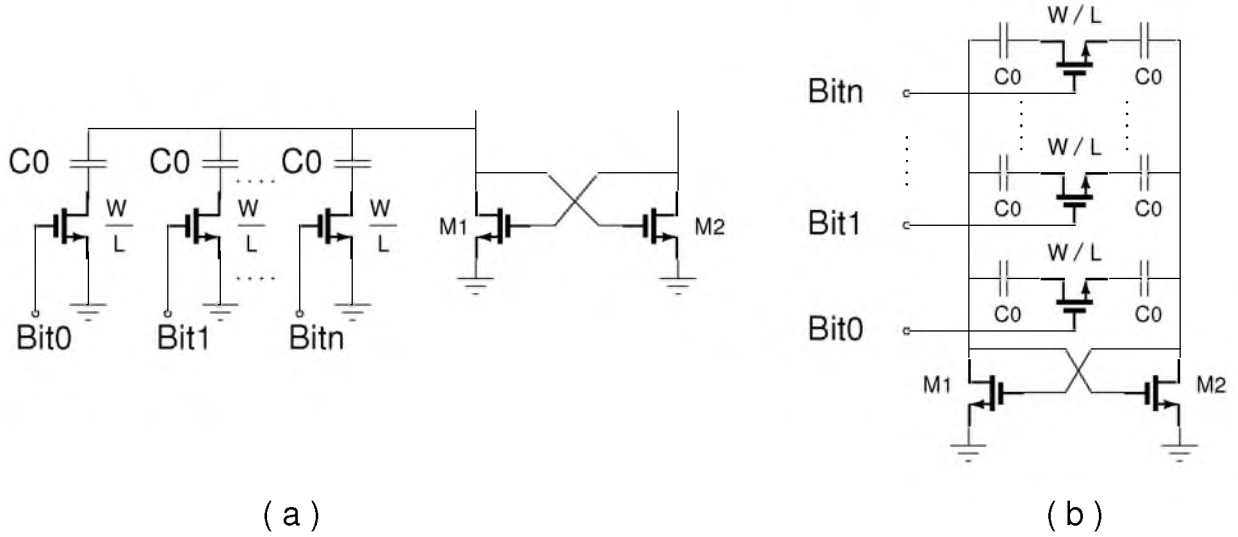


Figura 3.31: Dos maneras de conectar y desconectar cargas utilizando llaves NMOS, (a) simple, (b) diferencial

Como se mencionó antes, para maximizar el Q del selector recurrimos a usar L_{min} y maximizar el término $V_{GS} - V_t$, para este segundo criterio vamos a requerir que entre la compuerta y el surtidor de los transistores se aplique la máxima diferencia de tensión durante el encendido y el apagado, para esto vamos a mostrar un circuito de polarización recomendado en la bibliografía.

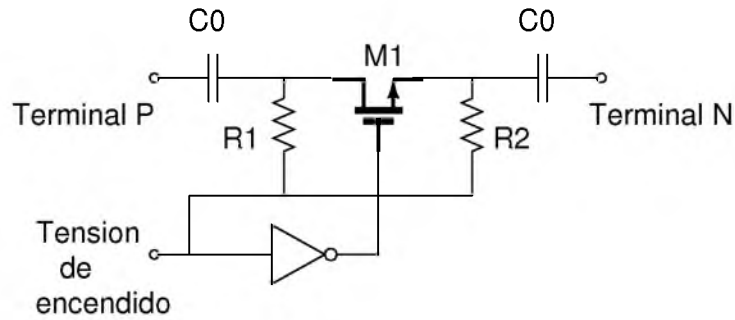


Figura 3.32: Polarización propuesta para maximizar el factor de mérito del selector

en el circuito de la *Figura 3.32* se usan resistencias R_1 y R_2 para fijar las tensiones en drenador y surtidor del transistor M_1 , el valor de estos resistores se elige de manera tal que para la frecuencia de trabajo los mismos presenten un camino de alta impedancia a las componentes de RF. Cuando se aplica una tensión de cero voltios a la entrada del inversor entonces se maximiza la diferencia $V_{GS} - V_t$ haciendo $V_{D/S} = 0$ y fijando $V_G = V_{dd}$, entonces la capacidad vista desde los puertos diferenciales adopta su máximo valor decrementando la frecuencia de oscilación, cuando se aplica la máxima tensión a la entrada del inversor entonces se aumenta la frecuencia de

oscilación ya que la capacidad vista desde los puertos diferenciales disminuye al valor C_0/WC_{dd} al fijar las tensiones $V_{D/S} = V_{dd}$ y $V_G = 0$. Es bueno aclarar que en ningún momento los puertos diferenciales ven una capacidad de valor nulo conectada a ellos.

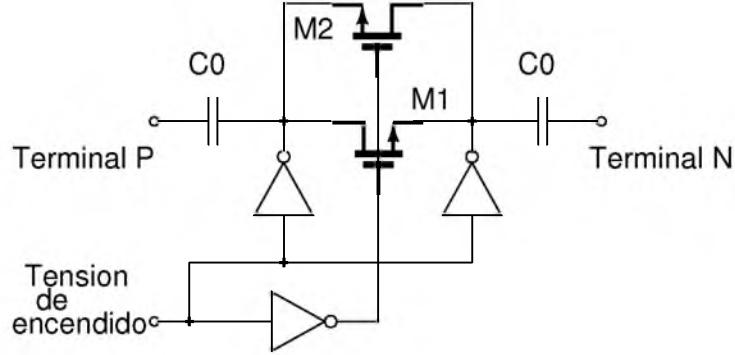


Figura 3.33: Rama considerada como unidad, para construir el selector con peso binario

La implementación final para las llaves del selector de capacidades es la que se muestra en la *Figura 3.33* en donde se reemplazan los resistores por inversores con el fin de asegurar la tensión aprovechando su naturaleza regenerativa, y se agrega otro transistor NMOS en paralelo al anterior con sus terminales transpuestos, esto tiene un doble efecto, por un lado disminuye la R_{on} al quedar ambas en paralelo en el momento de encendido y por otro lado si bien las capacidades durante el apagado se duplican también se consigue balancear las capacidades parásitas ya que las capacidades de drenador no son las mismas que las de surtidor. De esta manera balanceamos las capacidades parásitas en donde nuestros valores pasarán a ser:

Durante el encendido:

$$C_{max} = C_0 \quad (3.60)$$

y durante el apagado:

$$C_{min} = \frac{C_0 W (C_{dd} + C_{ss})}{C_0 + W (C_{dd} + C_{ss})} \quad (3.61)$$

donde C_{dd} y C_{ss} representan las capacidades de borde en drenador y en surtidor respectivamente, en adelante llamaremos:

$$C_{dso} = W (C_{dd} + C_{ss}) \quad (3.62)$$

3.9. Diseño del circuito del selector de capacidades

Como se señaló anteriormente la capacidad equivalente del tanque esta compuesta por capacidades parásitas fijas (C_{par} provenientes de los dispositivos activos, inductor e interconexiones), capacidades del varactor para el ajuste continuo (varía desde $C_{var,min}$ hasta $C_{var,max}$), y las capacidades del arreglo de capacitores de borde (varían desde $C_{f,min}$ hasta $C_{f,max}$). En este trabajo se diseñó un arreglo de capacitores con un selector de 4 bits, es decir que tendremos 16 valores de capacidades diferentes que nos permitirán ampliar nuestro rango de ajuste, los saltos de frecuencia al cambiar de capacidad se mantengan equidistantes en forma progresiva es importante asignarle un peso binario a cada rama de nuestro selector, es decir que nuestro selector

tendrá 4 ramas en donde los valores de las llaves serán de $W, 2W, \dots, 2^{(N-1)}W$, y los valores de capacidades serán $C_0, 2C_0, \dots, 2^{(N-1)}C_0$ respectivamente, donde $N = 4$. Entonces la mínima capacidad $C_{f,min}$ aportada por el selector se calcula como:

$$C_{f,min} = \left(\frac{1}{C_0} + \frac{1}{C_{dso}} \right)^{-1} + \left(\frac{1}{2C_0} + \frac{1}{C_{dso}} \right)^{-1} + \dots + \left(\frac{1}{2^{(N-1)}C_0} + \frac{1}{C_{dso}} \right)^{-1} \quad (3.63)$$

reescribiendo la ecuación anterior,

$$C_{f,min} = (2^N - 1) \left(\frac{1}{C_0} + \frac{1}{C_{dso}} \right)^{-1} \quad (3.64)$$

y la máxima capacidad que aporta el selector se calcula como:

$$C_{f,max} = (2^N - 1)C_0 \quad (3.65)$$

donde C_{min} es la calculada en la ecuación 3.61, estas ecuaciones nos permiten encontrar las variaciones de capacidad máximas y mínimas contribuyentes por el selector y con estos valores podemos calcular las capacidades completas del circuito resonador, como:

$$C_{equiv,max} = C_{var,max} + (2^N - 1)C_0 + C_{par} \quad (3.66)$$

$$C_{equiv,min} = C_{var,min} + (2^N - 1) \left(\frac{1}{C_0} + \frac{1}{C_{dso}} \right)^{-1} + C_{par} \quad (3.67)$$

El circuito implementado es el de la *Figura 3.35*, con este selector se logra extender el rango de frecuencias como se muestra en la *Figura 3.34* donde se consigue un K_{vco} de aproximadamente 360MHz/V para todo el rango, vemos que si se hubiera optado por variar la frecuencia solamente con los varactores el rango de frecuencia hubiera sido mucho menor que el obtenido con el arreglo de capacitores, quedando la posibilidad que a causa de variaciones en el proceso o por temperatura nuestro VCO no alcance a oscilar a la frecuencia para la cual fue diseñado. Con este resultado tenemos un margen de $\pm 12\%$ para poder ajustar la frecuencia de oscilación en caso en que fuese necesario.

Los valores que se obtuvieron para las capacidades a partir de las simulaciones son:

- $C_{var,max} = 200\text{fF}$
- $C_{var,min} = 100\text{fF}$
- $C_0 = 28\text{fF}$
- $C_{dso} = 40\text{fF}$
- $C_{par} = C_{ind} + C_{gs} + 4C_{gd} + C_{buffer} \approx 56\text{fF} + 206\text{fF} + 4(34,5)\text{fF} + 110\text{fF} = 510\text{fF}$

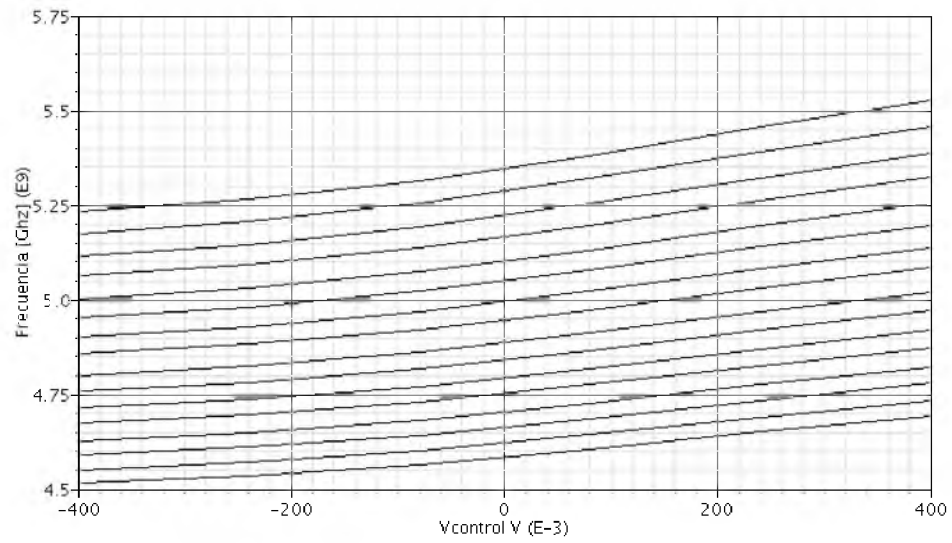


Figura 3.34: Simulación paramétrica, excursión total del VCO

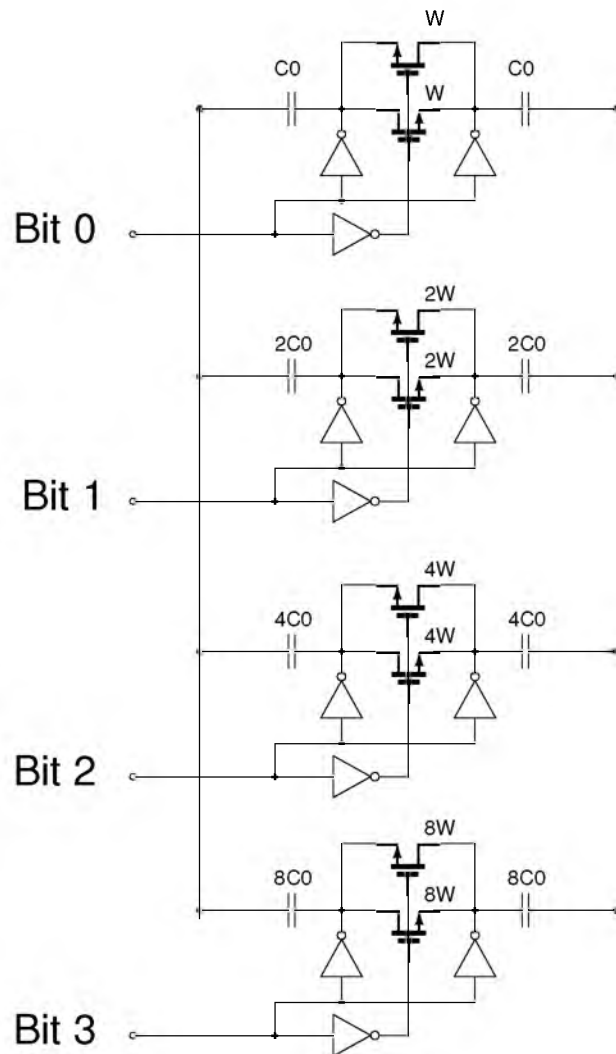


Figura 3.35: Selector implementado para ampliar el rango de frecuencias

3.10. Varactores CMOS

Si bien en la tecnología usada en este trabajo (*TSMC de 65nm*) tenemos los modelos de varactores nmos disponibles para usar, siempre es útil conocer su funcionamiento para el correcto diseño del circuito asociado. Los varactores integrados en tecnología CMOS son componentes importantes para lograr la fácil integración de tanques LC utilizados en los VCOs y filtros de RF. EL factor de calidad Q y las características C-V son dos de los parámetros importantes de un varactor que se utilizará en el diseño de un VCO, se puede decir que el parámetro crítico para el diseño del VCO es la característica C-V de sus varactores debido a que esta tiene un impacto directo sobre el rango de ajuste y la linealidad que del mismo. A continuación se nombran algunos dispositivos CMOS utilizados como varactores:

1. Diodo de juntura p+ y el pozo n
2. MOS en modo de acumulación
3. Modo normal NMOS
4. Modo normal PMOS

Cada uno de los dispositivos aquí enumerados pueden observarse en la *Figura 3.36*, y se detallan en las siguientes secciones.

3.10.1. Varactor de Juntura P-N

El varactor de juntura p-n utiliza la capacitancia de juntura C_j asociada con la región de agotamiento entre la difusión p+ y el pozo n, como se muestra en la *Figura 3.36* (a). El valor de la capacidad de juntura C_j se controla mediante la tensión de polarización inversa, aplicada ente cátodo y ánodo, entonces la capacidad del varactor C_V se puede escribir como:

$$C_V = \frac{C_{jo}}{(1 + \frac{V_R}{V_J})^M} \quad (3.68)$$

Donde C_{jo} es la capacitancia que existe cuando la diferencia de tensión entre cátodo y ánodo es nula, V_R es la tensión de polarización inversa en DC, V_J es el potencial de juntura, y M es un coeficiente que usualmente varia entre 0.3 y 0.4.

3.10.2. MOS en modo de acumulación

El llamado varactor MOS de acumulación es un dispositivo MOS de canal N dentro de un pozo n como se muestra en la *Figura 3.36* (b). La función del varactor se consigue cambiando el modo de operación desde la de agotamiento hacia la acumulación, con lo cual el valor de capacidad varía de un mínimo hasta un máximo. Con una tensión negativa aplicada entre compuerta y los terminales cortocircuitados de drenador y surtidor, los electrones directamente debajo de la compuerta son repelidos y una zona de agotamiento es creada, en donde la capacidad total entre compuerta y drenador/surtidor ($C_{G,D/S}$), es formada por la conexión en serie entre la capacitancia del óxido C_{ox} , y la capacitancia de agotamiento C_d . Si se le aplica una tensión en sentido

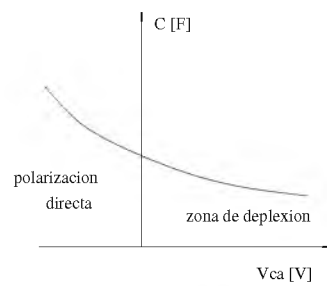
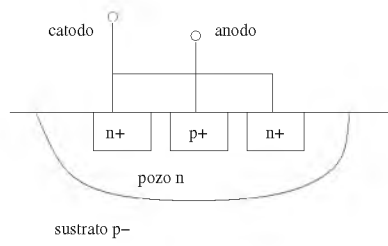
contrario, es decir que la tensión en la compuerta es mas positiva que la aplicada al drenador/surtidor, se acumulan electrones que provienen de las áreas de difusión n+ en la superficie del silicio, entonces la capacidad $C_{G,D/S}$ alcanza su valor máximo, la cual es igual a la capacitancia C_{ox} .

3.10.3. Varactor NMOS de modo normal

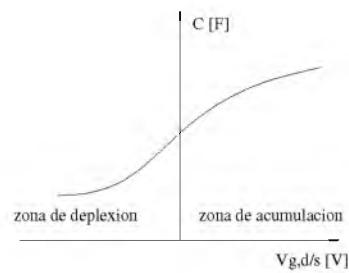
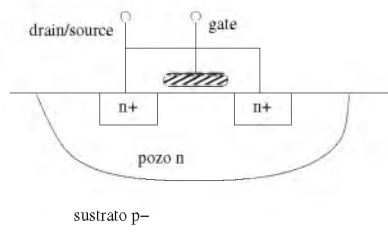
El varactor de modo normal NMOS es el mismo que el MOS de canal N en términos de layout y operación básica, con la excepción de que el drenador y el surtidor son cortocircuitados como se muestra en la figura *Figura 3.36* (c). La función del varactor se consigue cambiando el modo de operación desde del agotamiento a inversión, con lo que se consigue variar la capacidad desde un valor mínimo hasta su valor máximo. Con una tensión apenas positiva aplicada entre compuerta y drenador/surtidor, se forma una región de agotamiento debajo de la compuerta, en esta condición la capacidad total entre compuerta y drenador/surtidor $C_{G,D/S}$ es igual a la conexión en serie de la capacitancia C_{ox} y la capacitancia de agotamiento C_d . Si se continua incrementando la tensión, la región de agotamiento debajo la compuerta se extiende en profundidad a través del sustrato, lo cual causa que C_d aumente y por consiguiente también lo hace $C_{G,D/S}$. Cuando la tensión compuerta-drenador/surtidor es incrementada mas aún, una capa de inversión (llamada canal) es creada en la superficie del silicio. Al entrar en la zona de inversión fuerte, la $C_{G,D/S}$ alcanza su máximo valor, este es igual a la capacitancia C_{ox} .

3.10.4. Varactor PMOS de modo normal

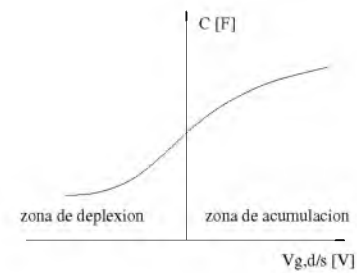
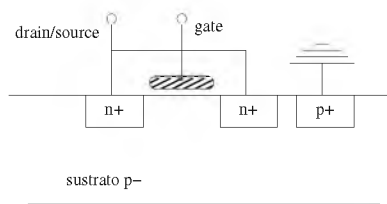
El varactor de modo normal PMOS es igual que el MOS de canal p en términos de layout y operación básica, con la excepción de que drenador y surtidor se encuentran cortocircuitados como se muestra en la figura *Figura 3.36* (d). Este posee un tercer terminal debido a las conexiones del pozo n (*Bulk*). Este puede exhibir diferentes características que son las que se muestran en la *Figura 3.36* (d) cuando el terminal de "bulk" se cortocircuita con el terminal drenador/surtidor, o si se cortocircuita con la alimentación V_{dd} . La función del varactor se consigue cambiando el modo de operación desde inversión a agotamiento cuando el terminal "bulk" se conecta a V_{dd} en cuanto la capacitancia varía desde un máximo a un valor mínimo. Cuando el terminal "bulk" es conectado al terminal drenador/surtidor, el modo de operación atraviesa por las zonas de inversión, agotamiento y acumulación. Durante inversión fuerte y acumulación, la capacidad $C_{G,D/S}$ alcanza su máximo valor que es igual a la capacitancia C_{ox} . La tensión aplicada entre los terminales del dispositivo varactor esta compuesto por una tensión en continua y una tensión en alterna, la característica C-V calculada para la tensión continua difiere de la característica calculada para la señal de alterna. La característica C-V depende de la señal que queda aplicada a los terminales del varactor montada sobre la tensión de continua. Entonces la capacidad efectiva se calcula promediando el valor de la capacidad instantánea sobre un período de oscilación para la operación de un VCO.



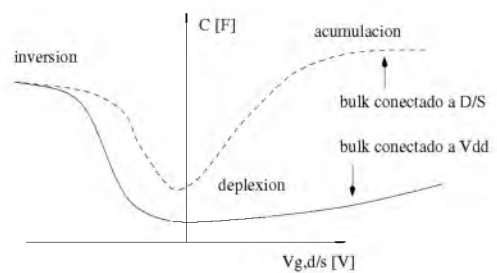
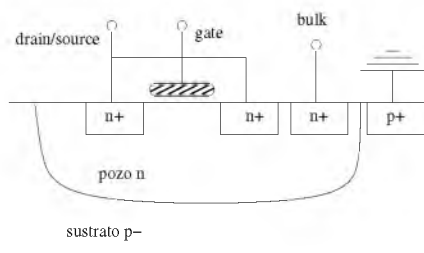
(a)



(b)



(c)



(d)

Figura 3.36: Diferentes estructuras de varactores en CMOS, (a) simple varactor de juntura p+ a pozo n, (b) varactor NMOS, (c) varactor MOS en modo acumulación, (d) varactor PMOS

En la *Figura 3.37* podemos ver el circuito que permite hacer el ajuste continuo, es una configuración diferencial compuesta por un varactor en serie con un capacitor en serie, esto permite por lado linealizar la respuesta del varactor y por el otro lado nos permite fijar una tensión de continua en unos de los extremos del varactor para centrar su excursión independizándolo del valor en el cual se encuentre polarizado el circuito del VCO.

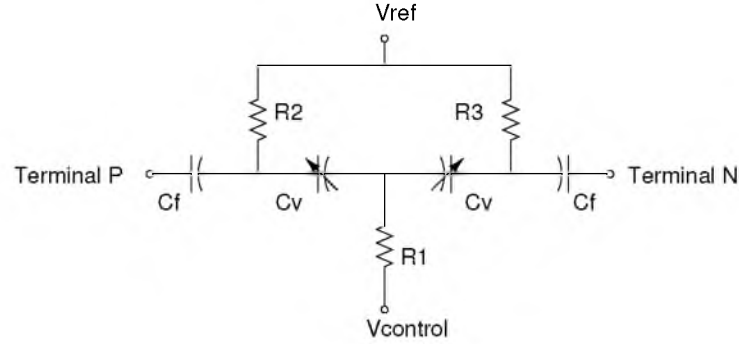


Figura 3.37: Circuito diferencial construido con varactores y capacidades de efecto borde para el ajuste continuo

Para encontrar los valores mínimos y máximos de capacidad se simuló el circuito de la *Figura 3.37*, ajustando la tensión $V_{ref} = V_{dd}/2$ y haciendo un barrido de tensión entre $-400mV$ y $400mV$ aplicados al terminal $V_{control}$, luego se calculo el valor de su equivalente paralelo para cada punto resultando la variación de capacidad que se ve en la *Figura 3.38*

$$C_{var} = \frac{C_v C_f}{C_v + C_f} \quad (3.69)$$

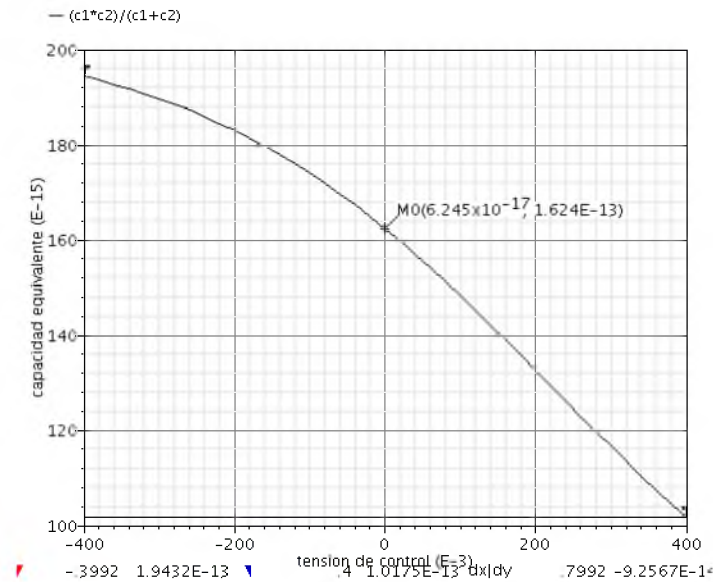


Figura 3.38: Capacidad equivalente del ajuste fino

3.11. Diseño del Inductor

3.11.1. Introducción

En las secciones anteriores se hizo hincapié en la importancia que el inductor tiene sobre el buen desempeño de nuestro VCO, en esta sección vamos a describir los efectos físicos asociados con el inductor y tratar de desarrollar lo aprendido sobre este tema en cuanto a características, precauciones en la construcción y guías prácticas para obtener un inductor integrado de elevada calidad. A los inductores integrados por lo general se lo llaman inductores monolíticos, estos inductores se realizan en estructuras de espirales metálicas. Al trabajar en RF se nota que una línea de metal recta de unos cuantos micrones puede alcanzar valores inductivos de $0,5nH$, si tomamos esta línea metálica y generamos una espira de la misma longitud, se observa que el valor de la inductancia puede duplicarse con facilidad. Dependiendo de la aplicación en la que se utilizará el inductor nos tendremos que enfocar en maximizar ciertos parámetros y minimizar otros. Por lo general, los parámetros que nos van a interesar en el diseño del inductor son:

- Factor de mérito Q
- Resistencia serie/paralela y capacidades parásitas
- Inductancia L
- Area

En este trabajo el area que tenga finalmente el inductor no es un factor restrictivo, por lo tanto este puede ser tan grande como se quiera. Por lo general en circuitos integrados de alta complejidad con alta escala de integración es preferible el no utilizar inductores debido al gran espacio que ocupan haciendo inviable el proyecto.

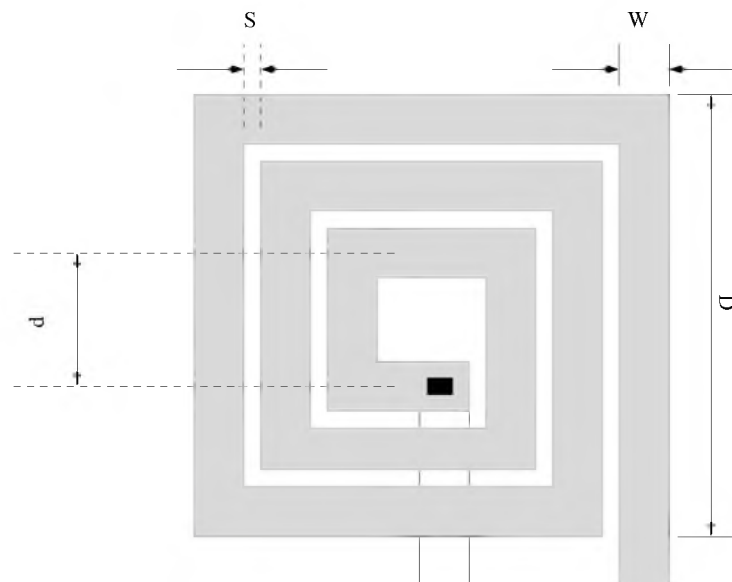


Figura 3.39: Estructura de un inductor cuadrado en espiral

En la *Figura 3.39* se observa un inductor del tipo cuadrado, en la figura se destacan los parámetros que tienen que ver con las dimensiones físicas del inductor, por lo general estas se

especifican en unidades de longitud μm , básicamente al igual que en los inductores no integrados, el valor de la inductancia L depende de sus dimensiones físicas. El valor de L va a depender primordialmente de dos parámetros: el numero de vueltas N y el diámetro de cada vuelta, el ancho W y el espaciamiento S también afectan los resultados de la inductancia L de manera indirecta debido a que estos determinan cuantas vueltas y cual será el diámetro de cada espira que se puede acomodar en un determinado area.

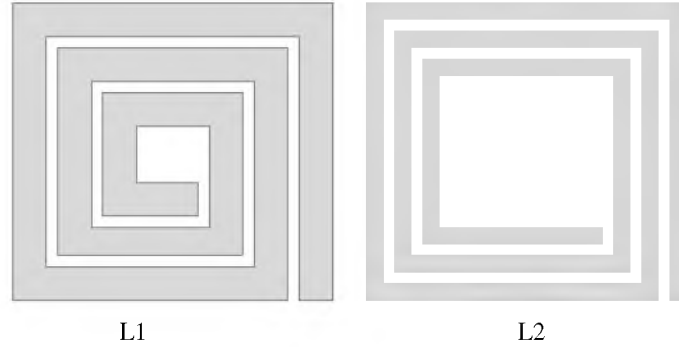


Figura 3.40: Ambos inductores poseen mismo número de vueltas e idéntica separación S para la misma area.

En la *Figura 3.40* podemos apreciar que reduciendo el ancho W y manteniendo la misma separación entre espiras S , L_2 consigue concatenar mas flujo magnético que L_1 , por lo tanto el valor de la inductancia L_2 será mayor que el de la inductancia L_1 a igual area y para igual número de vueltas, podemos agregar que la longitud de la espira también incrementa.

3.11.2. Mecanismos de pérdidas

El primero de los mecanismos por el cual se producen las pérdidas en el inductor esta directamente ligado con la resistencia en serie, esta resistencia en serie es nada mas y nada menos que la resistencia del mismo metal con el que se fabrica la espiral del inductor. La resistencia que presenta el metal es dependiente de la frecuencia por lo cual podemos deducir que vamos a tener dos componentes de pérdidas asociada a la resistencia en serie de nuestro inductor: una para bajas frecuencias, mayormente debido a las corriente continua, y otra para altas frecuencias, asociado con la corriente de señal, conocido como efecto pelicular. En el ejemplo de la *Figura 3.40* vimos como se incrementaba el valor de la inductancia L al reducir el valor de W , si bien es cierto que con esto se consigue concatenar mas flujo magnético también se incrementa drásticamente la resistencia de la espira de metal, lo cual repercute en el factor de mérito Q del inductor. En microelectrónica es común usar la unidad $[m\Omega/\square]$ (*mili-ohm por cuadrado*), esta unidad es muy útil cuando se necesita calcular la resistencia de metales donde el espesor es mucho menor comparado con el ancho y el largo. Por ejemplo en la tecnología TSMC de 65nm podemos encontrar que el metal de la capa 7 tiene una resistividad de $22m\Omega/\square$ y para calcular la resistencia de una lámina de metal se utiliza la fórmula:

$$R = R_s \frac{L}{W} \quad (3.70)$$

donde R_s es la resistencia en $[m\Omega/\square]$, en la *Figura 3.41* se puede observar que si dividimos la longitud L en varios trozos de largo W , entonces se puede calcular fácilmente la resistividad de la lámina conociendo su resistividad dada en $[m\Omega/\square]$ y utilizando la ecuación 3.70. Entonces

es recomendable no trabajar con $W_{\text{mínimo}}$ y tener presente que la resistencia ante la presencia de corriente continua aumenta conforme disminuimos el ancho W de nuestra espira. Es importante notar que si queremos mantener el valor de la inductancia y disminuir la resistencia para aumentar el Q , podemos incrementar W , al incrementar W y mantener la separación entre espiras S constante, necesitamos concatenar el mismo flujo magnético que antes, por lo tanto necesitamos aumentar el área del inductor.

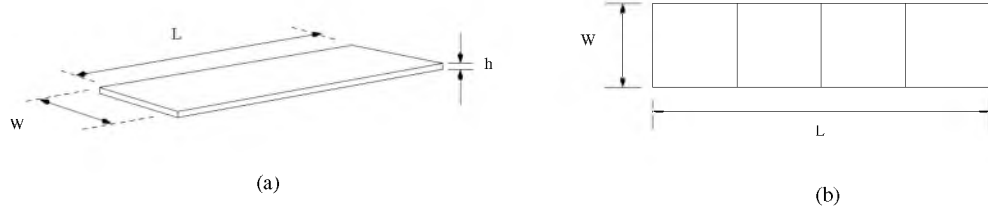


Figura 3.41: (a) Lámina de metal, (b) La misma lámina de metal dividida en varias pequeñas de área W^2

Al aumentar el área del inductor también se aumenta la longitud de la espira y con esto la resistencia, por lo cual llega un momento en que aumentando W y manteniendo la inductancia constante, no notamos un cambio significativo en la resistencia serie del inductor. Otro efecto negativo de incrementar el área es que con ella incrementan las capacidades parásitas. El área de un inductor como el que se muestra en la [Figura 3.39](#) sin tener en cuenta el hueco del centro y las separaciones se puede escribir como:

$$A = 4NW[D - W - (N - 1)(S + W)] \quad (3.71)$$

La resistencia serie debida al efecto pelicular es percibido en altas frecuencias, por lo general se usa aluminio como metales de conexión, el espesor de la película de aluminio a una frecuencia de 10GHz es aproximadamente $1.4\mu\text{m}$. Para una lámina recta de metal su resistencia por efecto pelicular se puede calcular como:

$$R_{\text{pelicula}} = \frac{\rho}{\delta} \quad (3.72)$$

donde ρ es la resistividad y δ es el espesor de la película:

$$\delta = \sqrt{\frac{\rho}{\pi f \mu}} \quad (3.73)$$

entonces,

$$R_{\text{pelicula}} = \sqrt{\pi f \rho \mu} \quad (3.74)$$

Lo anterior es considerando una línea de metal recta, ahora bien en una espiral de metal, la proximidad entre espiras adyacentes, nos conduce a una distribución de corriente compleja, esta distribución de corriente afecta al valor de la inductancia, ya que el área efectiva del inductor y por ende las líneas de flujo magnético que puedan llegar a concatenarse varían según esta distribución de corriente. Podemos entender este fenómeno si imaginamos los electrones circulando a través de las espiras utilizando un ancho W_{efectivo} que es menor que el ancho W del metal, por lo tanto varía la separación entre las corrientes y varía el área de flujo magnético, cambiando la inductancia, este efecto aumenta la resistencia en serie que ve la corriente.

El segundo mecanismo por el cual se incrementan las pérdidas en el inductor proviene del acople capacitivo entre el inductor y el sustrato como se indica en la [Figura 3.43](#), derivando

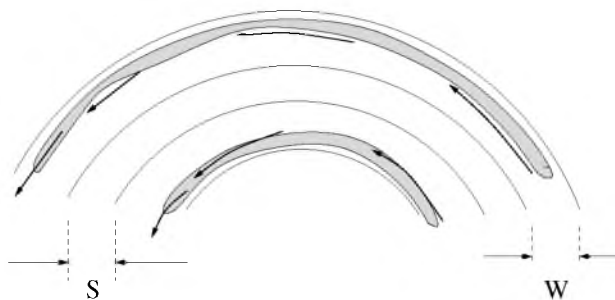


Figura 3.42: Distribución de corriente por efecto pelicular sobre una espira de metal

corriente a través de la resistencia del sustrato, este fenómeno disminuye el Q del inductor por que como el potencial en cada punto del inductor varía en el tiempo, las corrientes de desplazamiento que se generan en la capacidad parásita fluye a través del sustrato, si la resistencia de sustrato fuese cero o infinita no tendríamos este tipo de pérdidas, por lo general la resistencia de sustrato esta alrededor de 100Ω .

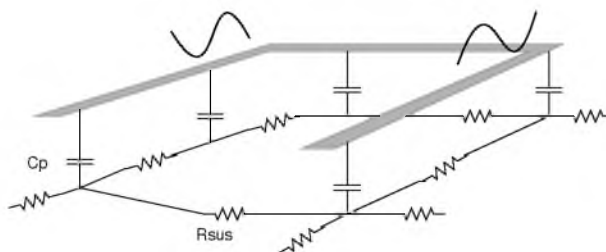


Figura 3.43: Pérdidas en el sustrato debido a acople capacitivo

El tercer mecanismo por el cual se incrementan las pérdidas esta relacionado con el acople magnético entre inductor y sustrato, es el principio de Lenz que dice que la corriente inducida por un campo magnético genera otros campo magnético que se opone al primero, entonces como la corriente que circula por el inductor varía en el tiempo induce una corriente en el sustrato como se muestra en la *Figura 3.44* . Como la resistencia propia del sustrato no es nula ni infinita, entonces algo de la energía almacenada en el inductor se disipa en forma de calor sobre el sustrato.

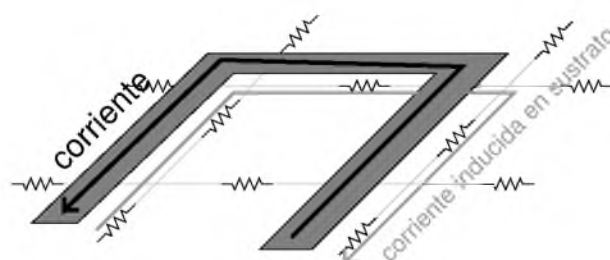


Figura 3.44: Pérdidas en el sustrato debido a acople inductivo

Se puede razonar el mecanismo de pérdida por acople inductivo, representándolo como un acople por transformador, entonces tomando la *Figura 3.44* , podemos imaginar que el primario es la espira del inductor y el secundario es el sustrato con su resistencia asociada como se muestra en la *Figura 3.45* (a)

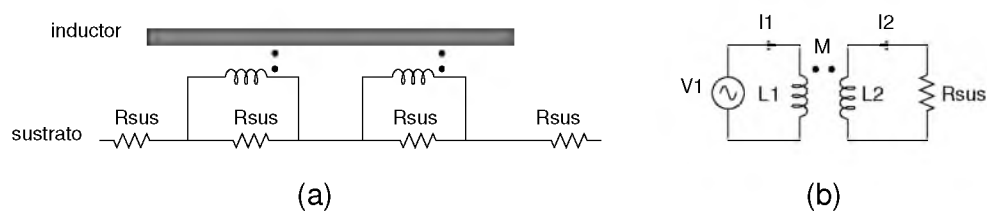


Figura 3.45: (a) Acoplamiento magnético visto como acople por transformador hacia el sustrato, (b) Circuito equivalente

Entonces analizando el circuito equivalente de la *Figura 3.45* (b) obtenemos las ecuaciones para ambas mallas:

$$V_1 = L_1 s I_1 + M s I_2 \quad (3.75)$$

$$-R_{sus} I_2 = I_2 L_2 s + M s I_1 \quad (3.76)$$

Entonces la impedancia vista por la fuente V_1 se puede escribir como:

$$\frac{V_1}{I_1} = L_1 s - \frac{M^2 s^2}{R_{sus} + L_2 s} \quad (3.77)$$

el caso de que tengamos un acople total por ejemplo haciendo $L_1 = L_2 = M$ entonces se obtiene

$$\frac{V_1}{I_1} = \frac{s L_1 R_{sus}}{s L_1 + R_{sus}} \quad (3.78)$$

La ecuación 3.78 nos indica que la resistencia de sustrato queda en paralelo con el inductor, como se puede ver este efecto reduce el Q del inductor.

Hemos visto tres mecanismos por los cuales disminuye el Q de nuestro inductor debido al incremento de las pérdidas que son de origen totalmente constructivas del mismo. Se puede notar que todos estos mecanismos son dependientes de la frecuencia de trabajo, y que las pérdidas se incrementan al aumentar la frecuencia:

1. el efecto pelicular es proporcional a \sqrt{f}
2. la impedancia en el acople capacitivo disminuye cuando la frecuencia aumenta
3. en la ecuación 3.78 cuando $s \rightarrow \infty$, la impedancia en paralelo con el inductor es R_{sus}

En consecuencia hay que notar que el diseño de un inductor se hace para una determinada frecuencia de trabajo, manteniendo sus valores en una banda muy estrecha de frecuencia. Es decir que si se diseña un inductor para una frecuencia de trabajo de 5GHz no podemos esperar que este inductor mantenga el valor de su Q para frecuencias diferentes a 5GHz .

De lo anterior se puede intuir que no hay una forma directa para el cálculo de inductores integrados, si bien existen varias ecuaciones para aproximar o estimar el valor del mismo a partir de sus dimensiones físicas, por lo general no se las usan como método de diseño ya que hay muchos fenómenos a tener en cuenta al momento de su implementación, en lugar de esto lo que se usa son programas para el diseño de inductores integrados que tienen como entrada, la información

de la tecnología (distancia entre capas, resistividad de sustrato, resistividad de metales, número de capas, etc) más los datos de las dimensiones físicas ingresadas por el usuario. Dependiendo de la complejidad del programa, este devuelve el valor de la inductancia, el Q para la frecuencia de trabajo, y un modelo PI de parámetros concentrados del inductor para ser usado en simulador, entre otras salidas. En este trabajo se utilizó la herramienta ASITIC, para el cálculo del inductor, la configuración de la herramienta y el procedimiento para usarla se explicará en detalle mas adelante. A continuación veremos como se modelan los inductores para poder comprender los resultados que nos entregan las herramientas de software.

3.11.3. Modelado del inductor

Entendiendo los mecanismos de pérdida por los cuales decrece el Q de nuestro inductor, ahora podemos generar un modelo para usar en simulador que nos permita aproximar el comportamiento del inductor con cierto grado de precisión. Hay que tener en cuenta que vamos a tener las siguientes restricciones : (1) debido a que tanto el inductor como el sustrato son estructuras en tres dimensiones con parámetros distribuidos, haremos nuestras aproximaciones utilizando un modelo de parámetros concentrados, (2) ciertos parámetros como la inductancia y la profundidad de la película, en el efecto pelicular, varían con la frecuencia haciendo muy difícil de generar un modelo que funcione para banda ancha, los modelos que se generen serán estrictamente de banda angosta, por este motivo al diseñar el inductor es necesario tener en cuenta banda de frecuencias donde operará el inductor, para la mayoría de los osciladores el modelo de banda angosta es suficiente.

Podemos empezar nuestro modelo incluyendo las pérdidas en el metal, agregando una resistencia en serie R_s que representa tanto la resistencia de baja frecuencia como la de efecto pelicular, si la R_s es independiente de la frecuencia entonces el modelo es válido para un rango determinado. Esta pérdida también se la puede modelar como una resistencia en paralelo ya que ambas redes son equivalentes.

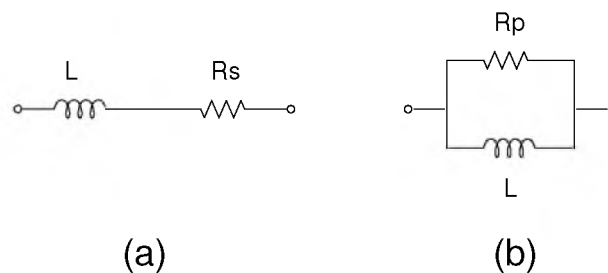


Figura 3.46: Modelo de un inductor con pérdidas óhmicas, (a) modelo serie, (b) modelo paralelo

Algunos circuitos de banda ancha pueden requerir que se incluya en el modelo el efecto pelicular de la resistencia debido al aumento de la frecuencia. Podemos considerar el caso extremo en donde nuestro circuito requiere que se trabaje en corriente continua y en altas frecuencias. Como se muestra en la *Figura 3.47* (a) se elige una resistencia R_{s1} igual a la del efecto pelicular en serie con una inductancia L_1 , se coloca en paralelo una inductancia mayor L_2 , y luego se agrega en serie la resistencia del cable a baja frecuencia R_{s2} . Analizando este circuito notamos que para altas frecuencias L_2 se abre y $R_{s2} + R_{s1}$ representan todas las pérdidas incluyendo ambos efectos, trabajando a bajas frecuencias L_2 es prácticamente un cortocircuito y las pérdidas en la

red se reducen a R_{s2} . Siguiendo este razonamiento e imaginando a un conductor como un conjunto de cilindros concéntricos en donde cada uno de estos cilindros tiene su propia resistencia de baja frecuencia y su propia inductancia asociada, se puede continuar hasta describir el modelo de banda ancha que incluya el efecto pelicular como se muestra en la *Figura 3.47* (c) para una sección del modelo distribuido, donde la rama que consiste en R_j y L_j representa la impedancia del cilindro j .

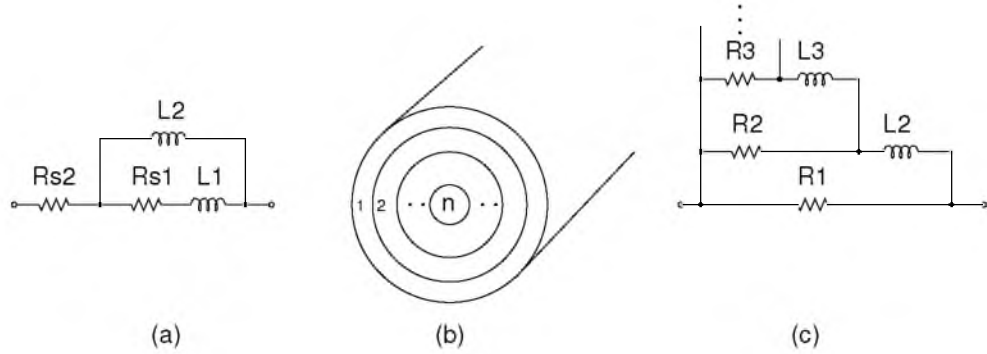


Figura 3.47: (a) modelo simple que incluye la dependencia de R_s con la frecuencia, (b) conductor en alta frecuencia, (c) modelo resultante que incluye el efecto pelicular

En corriente continua la corriente se distribuye uniformemente en el metal y el modelo se reduce al paralelo de los resistores que lo componen. A medida que aumentamos la frecuencia la corriente se mueve desde el centro hacia los bordes y este efecto se modela en la *Figura 3.47* en donde al aumentar la frecuencia los inductores dejan de ser un cortocircuito y aportan a la impedancia resultante del modelo. La clave de este tipo de modelo es que reduce el problema del efecto pelicular a l cálculo de resistencias e inductancias.

Para agregar el efecto del acople capacitivo se divide la longitud del inductor en n secciones para formar un modelo uniformemente distribuido, este modelo es unidimensional, es decir que ciertas interacciones no se tendrán en cuenta. Tanto la inductancia total como la resistencia serie se descompone en segmentos iguales L_1, L_2, \dots, L_n donde $L_1 + L_2 + \dots + L_n = L_{total}$ y $R_{s1}, R_{s2}, \dots, R_{sn}$ donde $R_{s1} + R_{s2} + \dots + R_{sn} = R_{s,total}$. Los nodos en el sustrato se conectan entre sí por medio de $R_{sus,1}, \dots, R_{sus,n}$ y hacia tierra mediante R_{G1}, \dots, R_{Gn} como se indica en la *Figura 3.48*

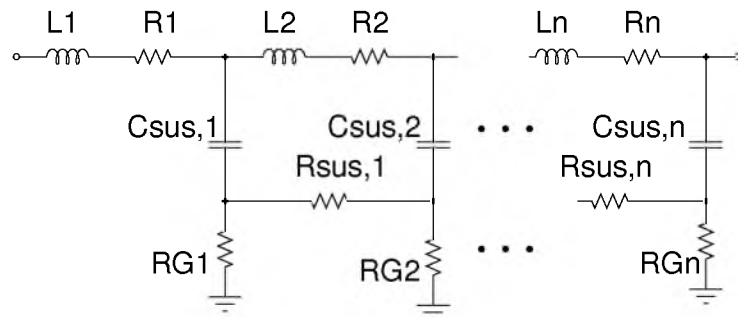


Figura 3.48: Modelo que incluye el efecto capacitivo en el inductor

Podemos incluir el efecto de las pérdidas por acoplamiento magnético, en este caso cada segmento se acopla al sustrato a través de un transformador, eligiendo apropiadamente el factor de

acoplamiento M y encontrando la resistencia R_{susc} que ve el inductor al reflejar la resistencia de sustrato hacia el primario del transformador. Para refinar el modelo se debería añadir una capacidad entre los nodos que se forman dentro del sustrato. Entonces podemos obtener un modelo bastante bueno del inductor como el que se muestra en la *Figura 3.49*. Este modelo es de una complejidad importante, y por ello resulta poco práctico para encontrar el valor de ciertos parámetros y luego mas complicado aún compararlos con los datos que puedan ser medidos sobre el inductor fabricado.

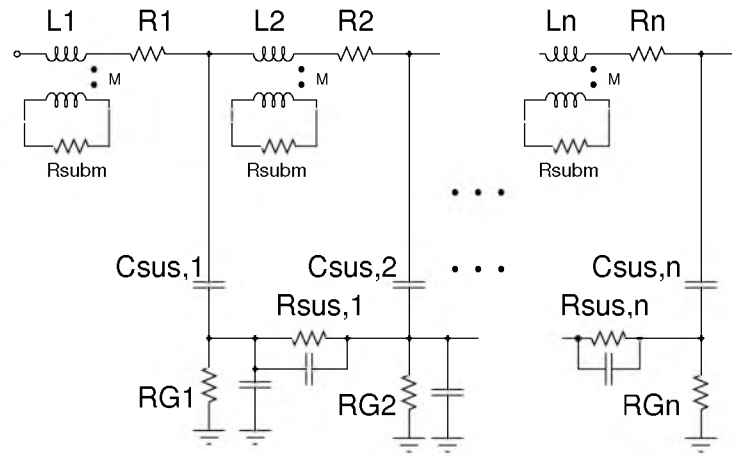


Figura 3.49: Modelo aproximado de parámetros distribuidos para el inductor, incluye pérdidas óhmicas, capacitivas y magnéticas

En general se trata de encontrar modelos mas sencillos que se puedan implementar fácilmente a partir de unos pocos parámetros y que sean lo bastante aproximados, siempre considerando que el modelo será aproximado dentro de una banda de frecuencia estrecha. Por lo que se adopta el modelo PI de parámetros concentrados para la aproximación de inductancias como el que se muestra en la *Figura 3.50* (a).

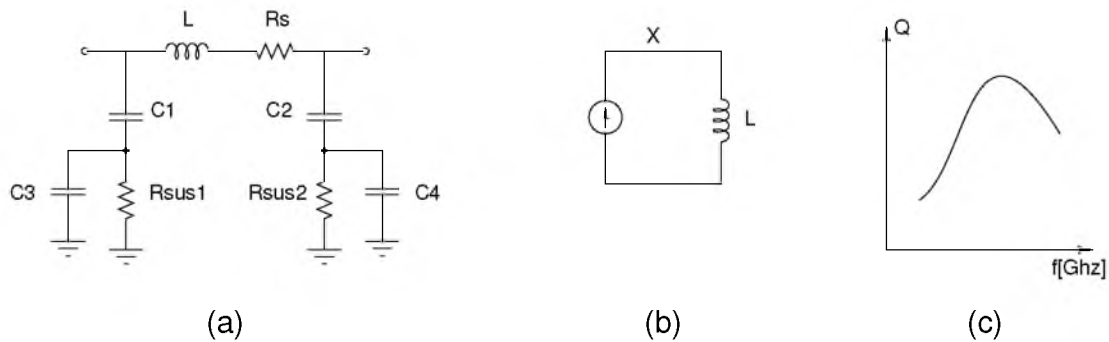


Figura 3.50: (a) Modelo PI del inductor, (b) banco de prueba para medir el Q del inductor, (c) curva del valor de Q

En el modelo PI se omite el acoplamiento magnético, este tipo de aproximación es aceptada en general por los diseñadores debido a que las características medidas sobre el inductor fabricado se condicen con razonable exactitud con las estimadas usando este tipo de modelos. En la figura *Figura 3.50* (b) se puede ver una manera muy sencilla de calcular el factor de mérito de nuestro inductor, inyectando corriente como indica la figura y haciendo un barrido en frecuencias

podemos medir sobre el nodo X y graficar la siguiente ecuación:

$$Q = \tan(\text{fase}(X)) \quad (3.79)$$

este simple cálculo nos permite obtener la curva del factor de mérito Q que se muestra en la *Figura 3.50* (c). El modelo presentado en la *Figura 3.50* (a) puede ser inexacto si uno de sus terminales es puesto a tierra, en el modelo original se predice que las capacidades C_1 y C_3 serán iguales a C_2 y C_4 respectivamente, suponiendo que el nodo que se fija a tierra es el nodo de la derecha, debido a la naturaleza de las capacidades distribuidas, las capacidades en el extremo izquierdo C_1 y C_2 tendrán un tercio del valor total.

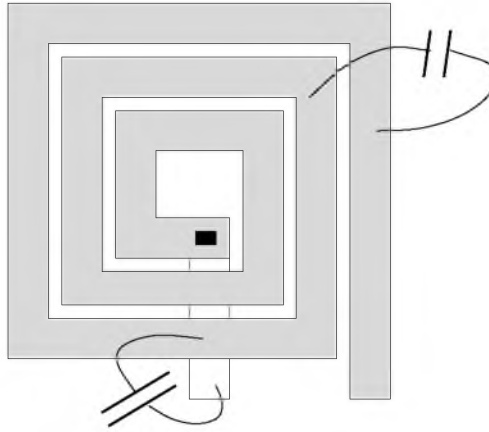


Figura 3.51: Capacidades parásitas de solapamiento, debida al cruce del puente con las espiras y la corta distancia de separación entre espiras

Existen otras dos capacidades parásitas en los inductores de espirales, la primera de ellas es la relacionada con la capacidad que se forma entre las espiras y el conector de metal que pasa por debajo de ellas, y la segunda es la capacidad entre las espiras debido a la separación S esta es una capacidad formada entre los bordes de las espiras, entonces podemos modificar el modelo PI para tenerlas en cuenta como se muestra en la figura

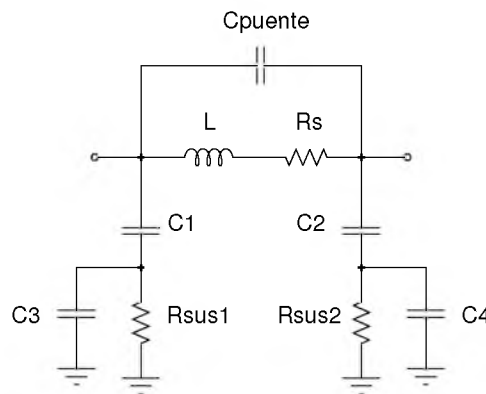


Figura 3.52: Modelo PI que incluye la capacidad parásita entre el puente y las espiras y entre espiras adyacentes

Por lo general este efecto se puede despreciar debido a que las diferencias de potencial entre espiras adyacentes es pequeña y se considera que la energía que puede almacenarse en la capacidad de borde a lo largo de la espira es despreciable.

3.11.4. Buenas prácticas durante el diseño de inductores

En esta sección vamos a ocuparnos de dar ciertos criterios de diseño que son necesarios tenerlos presentes al usar los programas de diseño de inductores. Cuando se requiera obtener un valor determinado para la inductancia, puede que diferentes combinaciones de ancho de línea, número de vueltas y las dimensiones de la espira exterior nos den como resultado un amplio grupo de inductores que cumplen con el requisito del valor de la inductancia, dicho de otra manera, podemos obtener el mismo valor de inductancia a partir de diferentes conjuntos de parámetros elegidos.

Por lo general la resistencia serie es la que nos va a determinar cuales son los parámetros que debemos elegir. En particular el ancho de la línea debe ser lo suficientemente ancha para que la R_{dc} no nos limite de manera significativa el factor de mérito Q , se deben utilizar los metales de las capas superiores debido a que estos son los que presentan menor resistividad, en nuestro caso se utilizó metales de la capa 7 y de la capa 6. Se puede estimar el valor máximo de resistencia que debería tener nuestro inductor sobre estimando el valor de Q , por ejemplo si se busca un valor de $Q = 5$ podríamos elegir un $L\omega/R_{dc} = 10$, asumiendo que las otras pérdidas van a contribuir en la disminución del valor de Q que fijamos como objetivo. Esta primera aproximación suele reducir bastante nuestro espacio de diseño.

Las espiras centrales contribuyen muy poco con la inductancia mientras que al mismo tiempo sufren de los mismos mecanismos de pérdidas que las espiras exteriores, por lo cual se opta por remover las 4 ó 5 primeras espiras interiores.

Las espiras adyacentes por lo general se separan por la distancia mínima permitida por la tecnología, Incrementando el espaciado degrada la calidad de nuestro inductor, esto no sucede en inductores diferenciales como veremos mas adelante.

Para reducir las pérdidas resultantes del acoplamiento capacitivo, lo que se hace es crear una placa conductora debajo del inductor y se la fija a un potencial constante, de tal manera que las corrientes de desplazamiento que se generan circulan por una resistencia pequeña, por lo tanto las pérdidas en el sustrato debido al acople capacitivo son anuladas.

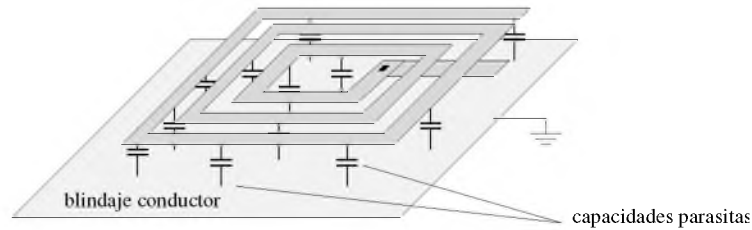


Figura 3.53: blindaje conductor para eliminar las pérdidas por acoplamiento capacitivo

La solución anterior al mismo tiempo nos crea un problema, el blindaje conductor tiene baja resistividad, esta baja resistividad favorece a las corrientes inducidas de Foucault, ya que actúan como si el secundario del transformador equivalente estuviera en cortocircuito, ver la [Figura 3.54](#), si hacemos que $R_{sum} = 0$ en la ecuación 3.77 nos queda:

$$\frac{V_1}{I_1} = \left(L_1 - \frac{M^2}{L_2} \right) s \quad (3.80)$$

Analizando la ecuación 3.80 un cortocircuito en el secundario reduce la inductancia total en un factor de M^2/L_2 incluso se podría reducir hasta anularla en el caso en que $M = L_1 = L_2$.

Las corrientes de Foucault son inducidas en el blindaje conductor por la corriente que circula en las espiras del inductor.

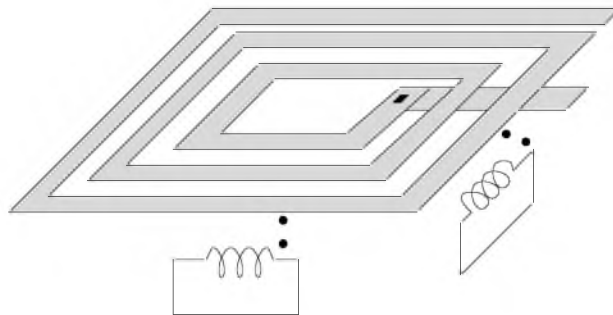


Figura 3.54: La baja resistividad del blindaje conductor genera un corto para las corrientes de Foucault que circulan por el blindaje conductor

Para reducir las corrientes inducidas se utiliza una técnica conocida, que consiste en cortar el flujo de las corrientes de Foucault mediante el ranuramiento del blindaje conductor, el ranuramiento debe hacerse en sentido perpendicular al flujo de la corriente, hay diferentes esquemas de ranuramiento dependiendo de la formas que adopten las espiras del inductor, en nuestro trabajo se ha empleado un blindaje conductor ranurado como el de la *Figura 3.55* con ranuras de ancho S como se muestra en la figura.

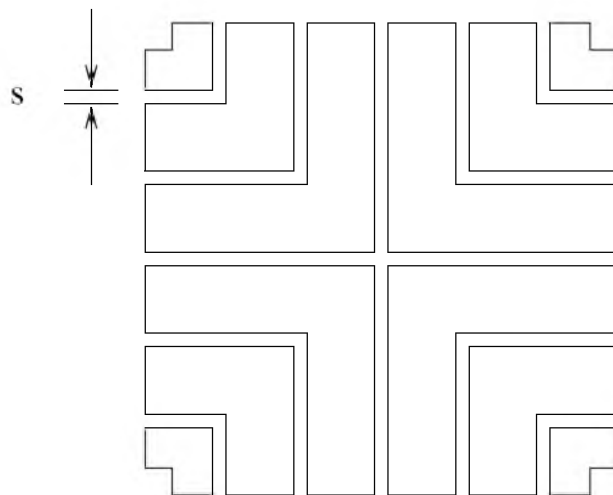


Figura 3.55: Ejemplo de como se ranura el blindaje para disminuir las corrientes de Foucault

El blindaje conductor se construye con polysilicio este puede ser con implantación p+ ó n+ y se conecta a tierra a través de metal 1. Al ranurar el blindaje dejamos el paso libre para que se formen algunas capacidades entre el inductor y el sustrato, por este motivo se trata de utilizar el espaciado mínimo entre las ranuras para minimizar este efecto, los bordes enfrentados de las ranuras forman capacidades que quedan en serie con las corrientes de Foucault. Dependiendo de la frecuencia de operación y del valor de la inductancia, la técnica de ranuramiento puede llegar a incrementar el Q entre un 5 y un 10 %, Hay que notar que el acoplamiento magnético entre las espiras del inductor con el sustrato persiste y las corrientes de Foucault circulan a través del sustrato debido a este efecto.

3.11.5. Inductores diferenciales

En la anterior sección se vieron los distintos efectos basándonos en ejemplos sobre el inductor del tipo cuadrado, existen diversas formas constructivas para los inductores integrados, inductores circulares y con estructuras de polígonos son sintetizables, dependiendo si son soportados o no por la tecnología elegida para el diseño. En TSMC de 65nm podemos conseguir inductores octagonales ya que esta estructura es soportada, ángulos de hasta 45° son sintetizables en esta tecnología, en algunas mas antiguas solo se pueden conseguir ángulos rectos de 90° como en las que solo soportan reglas Manhattan.

Rápidamente podemos notar que se pueden conseguir los mismos valores de inductancias utilizando inductores circulares con menos longitud de metal, y con esto menores valores para la resistencia serie. Por lo general las estructuras circulares se aproximan con estructuras octogonales como la de la figura

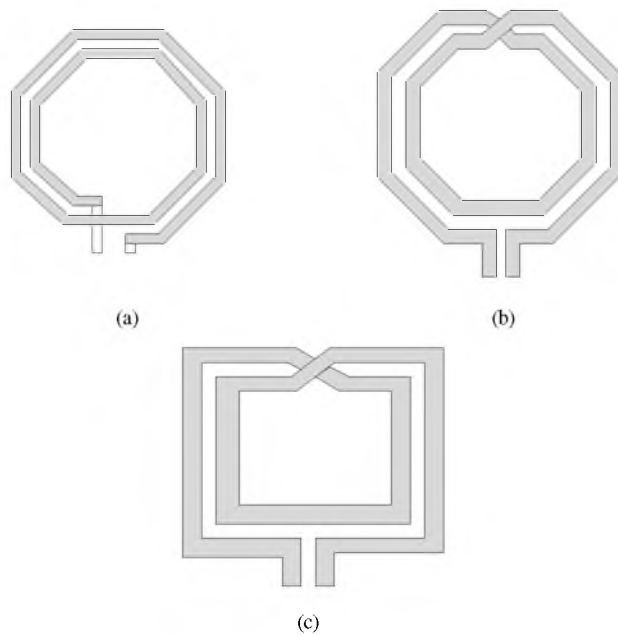


Figura 3.56: Estructuras de inductores integrados, (a) Inductor octogonal, (b) Inductor diferencial octogonal , (c) Inductor diferencial cuadrado

En la topología que hemos elegido para nuestro VCO se podría haber elegido implementar un par de inductores asimétricos de valor $L/2$, pero se optó por implementar un inductor simétrico diferencial de valor L , este tipo de estructura tiene ciertas ventajas sobre la estructura asimétrica que se detalla a continuación. Los inductores diferenciales o simétricos ocupan menos área que los asimétricos para obtener el mismo valor de inductancia, otro detalle es que los inductores diferenciales tienen mejor Q que los simples. Esto resulta sencillo de comprender analizando los siguientes circuitos.

En la [Figura 3.57](#) (a) donde se excita al inductor con una corriente de modo común se puede notar que la resistencia de alta frecuencia en paralelo con el tanque tendrá el valor de R_{sus} , mientras que en el inductor que es excitado de manera diferencial, la resistencia de alta frecuencia que queda en paralelo con el tanque es igual a $2R_{sus}$, entonces el efecto de las pérdidas en sustrato modelado por la resistencia R_{sus} disminuye considerablemente para el estímulo diferencial. Para frecuencias del orden de las decenas de Giga-hertz se pudo conseguir un Q de aproximadamente

10 con los inductores diferenciales, mientras que con los inductores asimétricos se consiguen valores de Q de hasta 6.

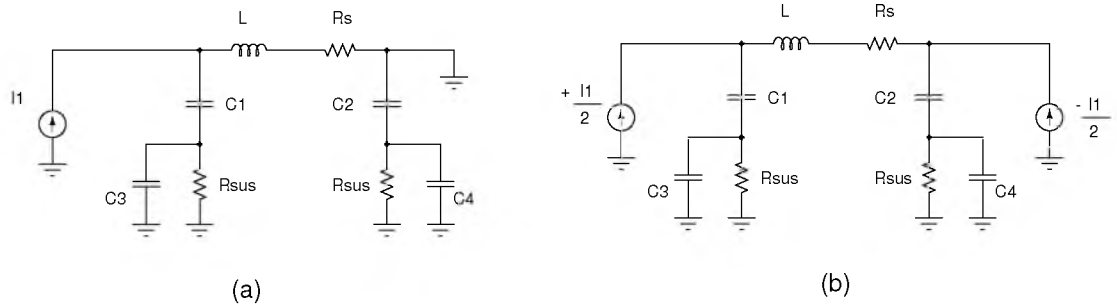


Figura 3.57: (a) Inductor excitado con una corriente en modo común ,(b) Inductor excitado con una corriente en modo diferencial

En los inductores diferenciales la capacidad parásita entre espiras se vuelve importante, por lo general a los inductores diferenciales se les aplica una señal como la de la *Figura 3.58* . En donde el punto 3 se crea una tierra virtual, la capacidades C_1 y C_2 son las capacidades entre espiras adyacentes, en los inductores asimétricos por lo general esta capacidad no se tiene en cuenta debido a que la tensión alrededor de toda la superficie del inductor es mas o menos la misma.

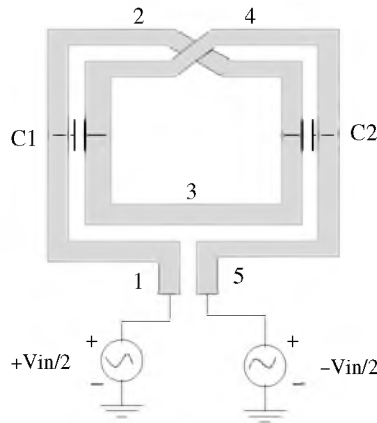


Figura 3.58: Inductor diferencial cuadrado excitado con una tensión diferencial, C_1 y C_2 son las capacidades entre espiras adyacentes

Si graficamos el circuito equivalente del inductor diferencial como se muestra en la *Figura 3.59* (a), se puede encontrar que la diferencia de potencial aplicada sobre las capacidades, es una diferencia de potencial importante, incluso hasta puede llegar a valer $V_{in}/2$ asumiendo que la tensión entre los nodos 1 y 5 se distribuye de una manera lineal como se supone en la *Figura 3.59* (b). En consecuencia resulta que la frecuencia de resonancia natural en inductores diferenciales por lo general queda limitada por las capacidades entre espiras adyacentes en lugar de quedar limitada por las capacidades a sustrato.

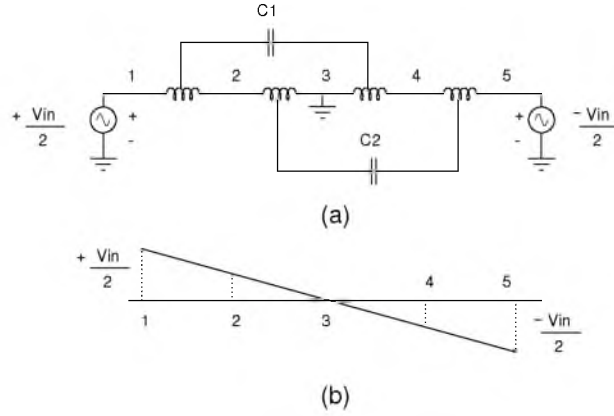


Figura 3.59: (a) Inductor diferencial con las capacidades entre espiras C_1 y C_2 , (b) Forma de la tensión a través del inductor

Otro tipo de inductores son los inductores apilados, este tipo de inductores reciben este nombre debido a que son inductancias construidas en diferentes capas de metales conectados entre si por vias como se muestra en la figura *Figura 3.60*

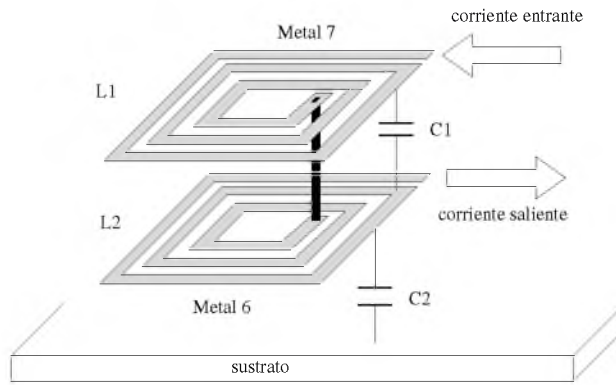


Figura 3.60: Inductor apilado, ambos inductores se conectan en el centro mediante una via de metal

Este tipo de inductores no son los favoritos para utilizar en RF ya que sufren de varios problemas, pero si se los usa cuando se requiere lograr valores altos de inductancia, la inductancia de este tipo de inductores queda determinada por:

$$L_{total} = L_1 + L_2 + 2M \quad (3.81)$$

Como las dimensiones laterales de los inductores es mucho mayor que la separación entre ellos se consigue un acople magnético casi perfecto esto quiere decir que $M \approx L_1 = L_2$ entonces $L_{total} \approx 4L_1$. Esto se generaliza para n inductores apilados y conectados en serie donde la inductancia total se multiplica aproximadamente por un factor de n^2 . En la práctica el factor de multiplicación es un poco menor a n^2 esto se debe a que los bordes de un inductor que son perpendiculares a los bordes del otro inductor no presentan inducción mutua. Otra desventaja son las capacidades entre la espira L_1 y L_2 y entre estas y sustrato como muestra en la *Figura 3.60*. Es importante saber que la capacidad C_1 puede llegar a ser cuatro veces mas grande que C_2 , por lo que una solución para disminuir la capacidad C_1 podría ser la de mover L_2 una capa de metal mas abajo, con esto se reduce la capacidad ente ambas espiras pero a costo de incrementar la resistencia serie debido a que los metales de las capas inferiores presentan mayor resistividad,

a esto se suma la resistividad de la interconexión mediante vías disminuyendo el valor del Q del inductor.

3.11.6. ASITIC

ASITIC es una herramienta de CAD para el cálculo de inductores desarrollado en la universidad de Berkeley, California por el Dr. Ali Niknejad, esta herramienta permite tener en cuenta las pérdidas eléctricas, de acoplamiento capacitivo y también las pérdidas inducidas magnéticamente como corrientes de Foucault, efecto pelicular y efectos de proximidad, una de las características que lo hicieron atractivo para ser usado en este trabajo, aparte de ser una herramienta libre y con las prestaciones antes mencionadas, es su sencilla configuración y que la precisión que se puede conseguir es comparable con la de cualquier programa comercial como VeloceRF ó PCD que es una herramienta en el entorno de desarrollo CAD de Cadence.

ASITIC se configura mediante un archivo de tecnología reducido, este archivo describe las capas de metal y sustrato del proceso.

El archivo de tecnología se divide en sub-secciones, la primera empieza con la sentencia <chip>, en donde las primeras dos líneas definen las dimensiones x y y del chip, los mejores resultados se obtienen fijando el área unas cuatro veces mas grande que el área del layout. Si se simula un inductor de dimensiones $200\mu\text{m} \times 200\mu\text{m}$ entonces se usa un área de chip de $400\mu\text{m} \times 400\mu\text{m}$.

Los siguientes dos parámetros son los relacionados con las FFT 2D (*transformada rápida de Fourier de dos dimensiones*). Existe una relación entre el tamaño del chip y el tamaño de la FFT que determina la exactitud de la simulación. El panel queda determinado por un rectángulo de dimension $\text{chip}_x / \text{fft}_x \times \text{chip}_y / \text{fft}_y$, y es la unidad que nos permite optimizar el cálculo de la FFT. Se puede tomar como sugerencia que el tamaño de la FFT sea aquel que permita colocar un panel entre todas las estructuras de metales dentro del layout. Por ejemplo para un inductor cuadrado con un espaciamiento S de $2\mu\text{m}$ se buscará que chip/FFT sea menor o igual a $2\mu\text{m}$. Mientras mayor sea el tamaño de la FFT mayor será el consumo de memoria requerido, por lo tanto la FFT mas pequeña que brinde un resultado lo suficientemente preciso es el tamaño óptimo. El tamaño mínimo recomendado para la FFT es de 128×128 .

;TSMC 65nm CMOS technology file
; Edited by Alejandro Aguirre June 2010

```
<chip>
chipx = 256           ; dimensiones del chip en la dirección de x
chipy = 256           ; dimensiones del chip en la dirección de y
fftx = 256            ; tamaño de la x-fft (debe ser potencia de 2)
ffty = 256            ; tamaño de la y-fft (debe ser potencia de 2)
TechFile = tsmcn65_7m.tek
TechPath = ./
freq = 5              ; frecuencia de trabajo en Ghz
eddy = 0              ; La capa 0 es conductora
eddy = 1              ; La capa 1 es conductora
                    ; La capa 2 no es conductora (óxido)
```

En la siguiente sección <layer>, se definen las características del sustrato, las dimensiones se especifican en μm , la resistividad en Ω/\square , las capas del sustrato se definen desde abajo hacia

arriba, es decir que el orden tiene importancia. Por ejemplo se define primero el bulk, después el pi y después las capas de óxido. Las capas de aire y de tierra no son necesarias de explicitar (quedan implícitas en las condiciones de contorno). Las dimensiones en la *Figura 3.61* son solo a modo ilustrativo, la figura contiene los datos del proceso que nosotros necesitamos encontrar en las hojas de datos del proceso para configurar el archivo de tecnología de ASITIC.

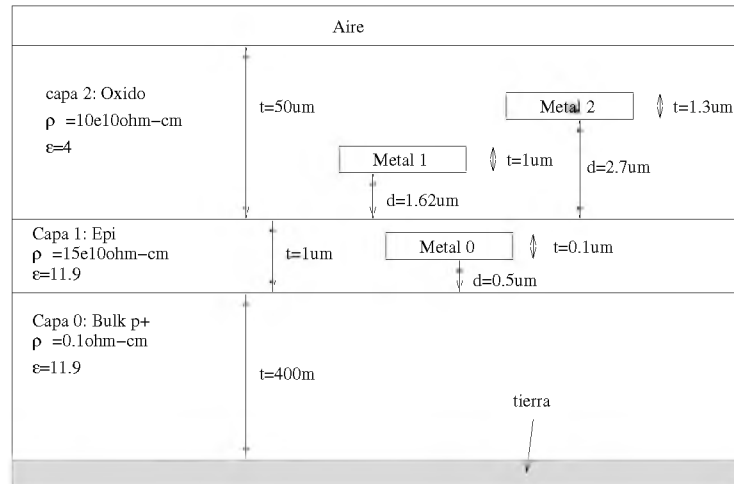


Figura 3.61: Representación de los parámetros necesarios para configurar el archivo de tecnología para ASITIC

| | |
|------------|-----------------------------------------------------------------|
| <layer>0 | ; capa de aislante del sustrato debajo de la capa bulk p(-) |
| rho = 1e10 | ; ohm-cm [valor por defecto] |
| t = 500 | ; micrones [valor por defecto] |
| eps = 3.9 | ; permitividad relativa [valor por defecto] |
| <layer>1 | ; p(-) capa bulk |
| rho = 10 | ; ohm-cm [valor por defecto] |
| t = 270 | ; micrones [valor por defecto] |
| eps = 11.9 | ; permitividad relativa [valor por defecto] |
| <layer>2 | ; pozo p, capa debajo del FOX |
| rho = 10 | ; ohm-cm [valor por defecto] |
| t = 0.3 | ; micrones [valor por defecto] |
| eps = 11.9 | ; permitividad relativa [valor por defecto] |
| <layer>3 | ; capa de óxido (aislante) |
| rho = 1e10 | ; [valor por defecto] |
| t = 100 | ; ???d(m9)+0.85+PASS1-6+filling material above the die |
| eps = 3.89 | ; average epsilon under M7 (note, av.eps between M7 turns 4.42) |

Luego se definen la capas de metales en al sección <metal>, donde cada capa de metal pertenece a una capa definida previamente en la sección <layer>, la gran mayoría de las capas d metales se definen dentro de la capa de óxido, salvo la primera capa de metal, llamada M0, esta

se ubica en la capa epi, este metal se usa para fijar el sustrato a tierra. Este es un efecto importante para modelar en la simulación ya que afecta a las corrientes de sustrato, al aislante y a las pérdidas. La resistencia laminar del metal se especifica en $m\Omega/\square$, las distancias se miden desde la base del metal hasta donde empieza la capa donde se encuentra inmerso el metal, como se indica en la *Figura 3.61*.

```
<metal>0                ; contacto a sustrato
layer = 2
rsh = 100                ; resistencia laminar [mohm/sqr] [valor por defecto]
t = 0.15                 ; espesor [um] [valor por defecto]
d = 0.15                 ; distancia desde el fondo de la capa [um] [valor por defecto]
name = m0                ; nombre de referencia
color = yellow           ; color
```

```
<metal>6                ; metal 6
layer = 3
rsh = 22
t = 0.9
d = 2.945
name = m6
color = blue
```

```
<metal>7                ; metal 7
layer = 3
rsh = 22
t = 0.9
d = 4.440
name = m7
color = green
```

Por último se configura la información para las vías de metal que son los metales encargados de interconectar los metales de las distintas capas.

```
<via>0                  ; metal 1 a sustrato
top = 1
bottom = 0
r = 26                  ; resistencia por contacto [ohm]
width = .1
space = 0.13
overplot1 = .05
overplot2 = .05
name = via0
color = brown
```

| | |
|-----------------|------------------------------------------|
| <via>6 | ; metal 6 a metal 7 |
| top = 7 | ; metal superior |
| bottom = 6 | ; metal inferior |
| r = 0.22 | ; resistencia por contacto [ohm] |
| width = 0.36 | ; ancho de la via |
| space = 0.34 | ; espaciamiento mínimo entre vias |
| overplot1 = .08 | ; distancia mínima al metal del sustrato |
| overplot2 = .08 | ; distancia mínima hasta metal 1 |
| name = via6 | ; nombre de referencia |
| color = purple | ; color |

El archivo de configuración usado para este proyecto se encuentra al final del anexo C. El entorno de ASITIC es interactivo y por líneas de comando, si desea tener mas información sobre la herramienta se puede consultar en el sitio <http://rfic.eecs.berkeley.edu/niknejad/asitic.html>, donde se pueden bajar tanto el programa como los manuales y ejemplos. Para comenzar con el diseño de nuestro inductor se eligió usar un inductor diferencial cuadrado, A partir de la potencia que se espera consumir en el VCO se calcula el ancho mínimo W que se debe usar para el metal de la espira para que este no sufra de electromigración.

$$I_{max@110^{\circ}C} = 4,416(W_{min} - 0,02) \quad (3.82)$$

$$W_{min} = \frac{I_{max@110^{\circ}C}}{4,416} + 0,02 = \frac{3}{4,416} + 0,02 \quad (3.83)$$

$$W_{min} = 0,678\mu m \quad (3.84)$$

La ecuación 3.82 proviene de una tabla dada en el manual de DRC (*design rules check*) del manual de TSMC de 65nm provisto por el fabricante donde I_{max} esta dada en mA , y el ancho W esta dado en μm . Esa ecuación sirve para calcular la corriente máxima que soportan los conductores de cualquier longitud que se dibujan en el layout en función de su ancho y de una temperatura dada, la ecuación 3.82 esta dada para $110^{\circ}C$ y si para temperaturas diferentes a esta se usa la siguiente tabla.

| Temperatura | 85°C | 90°C | 95°C | 100°C | 105°C | 110°C | 115°C | 120°C | 125°C |
|-----------------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| factor para I_{max} | 3.164 | 2.861 | 2.512 | 2.077 | 1.434 | 1.000 | 0.704 | 0.500 | 0.358 |

Se puede notar que el peor caso será para $85^{\circ}C$ por que para la misma corriente de $3mA$ nuestro W_{min} será de $2,16\mu m$, es decir que se queremos diseñar un inductor para una corriente máxima de $3mA$ no podremos emplear anchos menores a $2,16\mu m$. Se propuso una restricción sobre el área tal que la espira exterior no sea mayor a $200\mu m$ de lado, con estos valores se intento alcanzar el valor de Q mas alto con la menor resistencia posible, para ello se utilizaron metal 7 y metal 6 que son los metales superiores de la capa x del proceso de TSMC de 65 nm de 7 metales. Después de varias iteraciones se consiguieron los valores para generar el modelo PI de parámetros concentrados que se muestra en la *Figura 3.62*

El modelo PI que muestra en la *Figura 3.62* se lo utiliza para realizar las simulaciones del VCO, este modelo simplifica muchísimo la tarea de simulación con una precisión aceptable, también se logran reducir considerablemente los tiempos de simulación con este modelo.

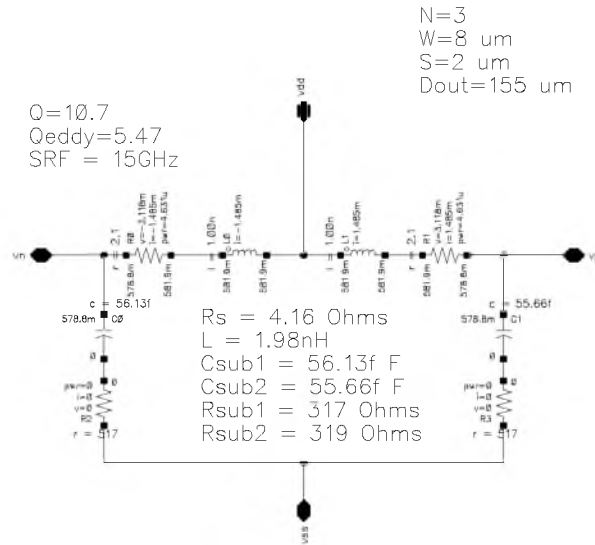


Figura 3.62: ASITIC herramienta para el cálculo de inductores monolíticos

Como se muestra en la [Figura 3.63](#) ASITIC aparte de un modelo PI, también nos entrega el layout del inductor, este layout se puede exportar en un formato CIF, este formato es equivalente a GSDII aceptados por todas las herramientas CAD comerciales. Una vez exportado el inductor, lo podemos importar con el editor de layout de Cadence, y hacer lo que se llama extracción de parásitos utilizando una herramienta conocida como ASSURA, esto es nada mas y nada menos que tomar la espira diseñada con ASITIC y generar un netlist que contenga la información de los parásitos en tres dimensiones. Este netlist es mucho mas complejo que el del modelo PI, puede contener cientos de nodos y decenas o cientos de componentes como resistores, inductores y capacidades. Es por este motivo que por lo general no se usan estos modelos durante la etapa temprana de diseño, las simulaciones que se hacen a partir de las extracciones de parásitos del layout son parte de la validación en el flujo de diseño. Las simulaciones de la parte B fueron realizadas con los modelos de inductor generados a partir de las extracciones.

ASITIC nos entrega solamente el layout de la espira que forma el inductor, por esta razón una vez importando en Cadence, se completa el layout dibujando el blindaje que se coloca debajo de los inductores para reducir las pérdidas por acople capacitivo teniendo en cuenta las recomendaciones para reducir las corrientes de Foucault ranurando el blindaje. La tarea de realizar el layout por lo general es una tarea artesanal, ya que si bien se tiene algún grado de automatización gracias a las herramientas de CAD, siempre termina siendo un trabajo manual, en donde literalmente se deben dibujar los conductores y los componentes a mano. Esta tarea requiere de mucha experiencia y de seguir ciertas reglas de diseño provistas por el fabricante, esta etapa del diseño es una de las mas críticas, debido a que el diseñador del circuito necesita estimar de antemano los posibles efectos parásitos que se generan durante el proceso de layout. Es aquí donde el flujo de diseño se vuelve iterativo y donde pueden surgir problemas que produzcan un replanteamiento del diseño. En la [Figura 3.64](#) se puede observar el inductor sin su blindaje conductor, una característica importante para notar es que la herramienta de extracción de parásitos ve a la espira como una línea de metal, por lo cual para la herramienta de extracción es un solo nodo, por lo cual para obtener una extracción de un inductor lo que se hace generalmente es agregar una resistencia de muy bajo valor en sus extremos con el fin de crear un par de nodos virtuales, que van a permitir a la herramienta de extracción modelar todos los efectos parásitos entre estos dos nodos. Se puede

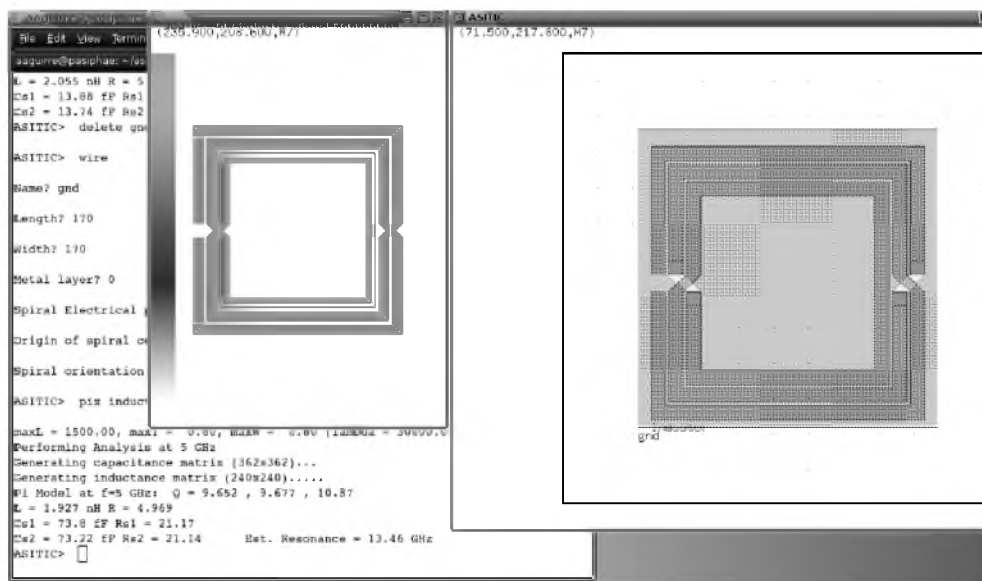


Figura 3.63: ASITIC herramienta para el cálculo de inductores monolíticos

apreciar también un anillo que rodea al inductor, este anillo está formado por todos los metales disponibles en el proceso unidos entre sí, en nuestro caso van desde metal 1 a metal 7 unidos por las vías intermedias. Este anillo es una recomendación del fabricante exclusivamente para el diseño de inductores, otra recomendación es la de aplicar una máscara a toda esta área para que no se introduzca metal dentro del área destinada al inductor, este llenado de metal es parte del flujo ya que es un requerimiento que cierto porcentaje del área de un chip no puede quedar vacío, este proceso es conocido como "*metal-filling*". En la [Figura 3.65](#) podemos ver el inductor después de agregarle el blindaje conductor, también se le ha agregado el conector central que irá conectado a la fuente de corriente PMOS, este conductor debe ser colocado exactamente en el centro de la espira de manera tal que la inductancia sea la misma para cada espira, para realizar este conector se utilizaron metal 5, metal 4 y metal 3 unidos mediante vías, esto se hace para garantizar que se agrega la mínima resistencia posible a la espira del inductor, como estos metales quedan en paralelo su resistencia es igual al paralelo de las resistencias que aportan cada uno de estas líneas de metal. Todos los esquemáticos finales para el VCO se agregan en el anexo A, en la parte B también se pueden encontrar los bancos de pruebas (*test benches*) que se realizaron con los resultados de cada uno.

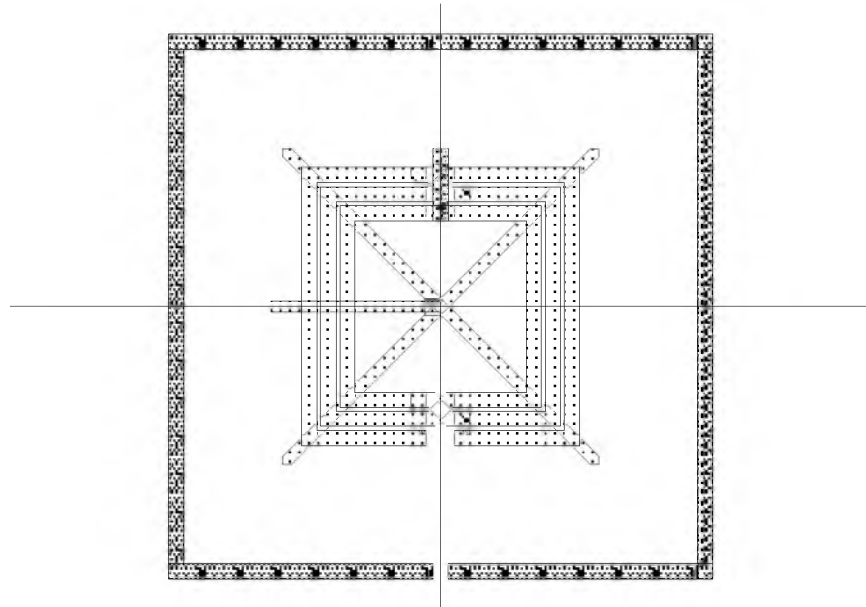


Figura 3.64: Layout de las espiras generadas con ASITIC

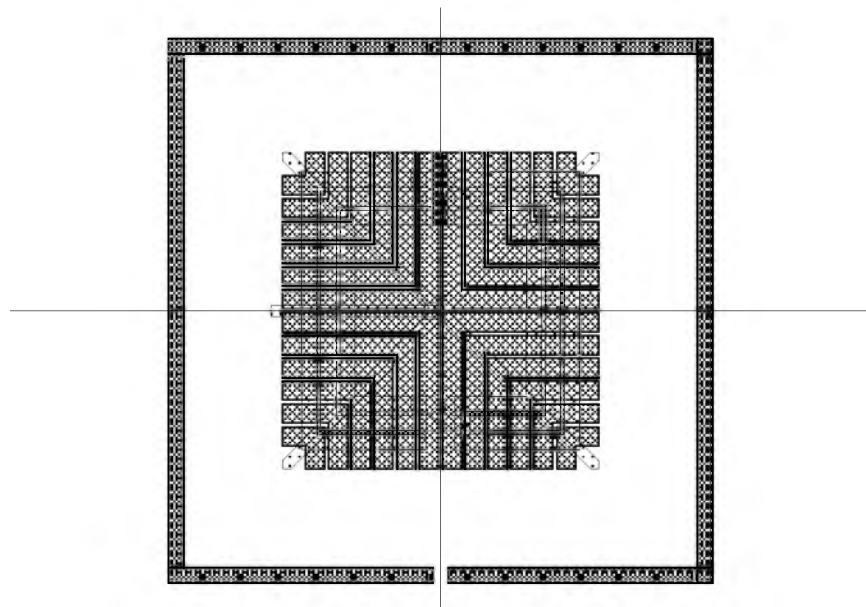


Figura 3.65: Layout de Inductor generado con ASITIC con blindaje conductor

Capítulo 4

DETECTOR DE FRECUENCIA Y FASE

El detector de frecuencia y fase es uno de los bloques más importantes de un PLL. Este circuito mide la diferencia de fase y frecuencia entre las dos señales de su entrada (en este caso la referencia y la que proviene del divisor) y genera pulsos que son proporcionales a la diferencia entre ellas. La figura *Figura 4.1* muestra el bloque de un detector de fase convencional.

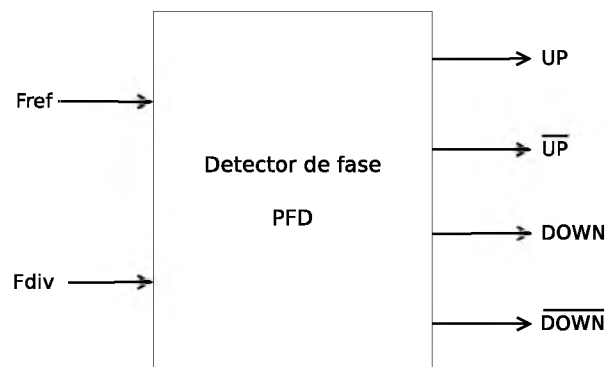


Figura 4.1: Bloque clásico de un PFD

Existen detectores de fase y frecuencia analógicos y digitales. Los analógicos tienen una topología muy similar a la de un mezclador de frecuencia tradicional. éste produce una salida que es el producto instantáneo de las dos tensiones de entrada. El proceso de multiplicación es la clásica suma y diferencia de frecuencias de un mezclador, pero cuando es usado como detector de fase es necesario utilizar un filtro pasa bajos para atenuar la suma de las frecuencias. La presencia de la suma de frecuencias es un factor que degrada la pureza espectral del VCO debido a que éste la modula y aparece un tono espúreo al doble de la frecuencia de referencia.

Por otro lado existen también los PFD digitales que, en su topología más simple, es una compuerta XOR que compara las señales de entrada y genera pulsos digitales con un ciclo de trabajo proporcional a esta diferencia. Este tipo de detector de fase requiere que sus entradas también sean digitales. En el diseño de este trabajo se utilizará un tipo de PLL que se caracteriza por poseer un circuito conocido como charge-pump (CP). éste es el encargado de inyectar y extraer siempre la misma cantidad de corriente hacia el LPF, mientras que lo que varía es el tiempo de inyección/extracción controlado por el detector de fase. El circuito del detector de fase para este tipo de PLL tiene una complejidad mayor ya que consiste en una maquina de estados que detecta el tiempo que existe entre los dos cruces por cero de las dos señales de entrada y genera los pulsos de UP o DOWN con sus ciclos de trabajo proporcionales a dicho tiempo. Las salidas

del PFD son colocadas a la entrada del CP, quién produce una corriente sobre filtro generando una tensión que controla al VCO. Por lo tanto, la sensibilidad del PFD es un parámetro muy importante y significa la *menor diferencia de fase/frecuencia que el PFD puede detectar para generar los pulsos de salida que afectarán al charge-pump*. La conclusión que se obtiene de esta definición es que **a mayor sensibilidad, mejor es el detector de fase y frecuencia**. En la [Figura 4.2](#) se muestra un diagrama de estados del funcionamiento del detector de fase utilizado en este trabajo, y en la [Figura 4.3](#) las señales de salida correspondientes a dicho diagrama de estados.

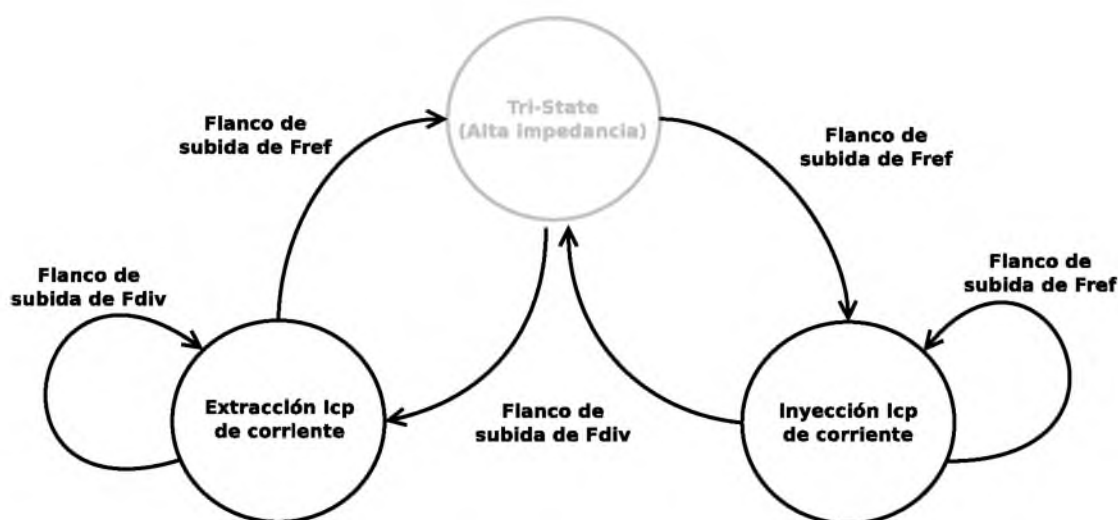


Figura 4.2: Diagrama de estados del circuito detector de fase

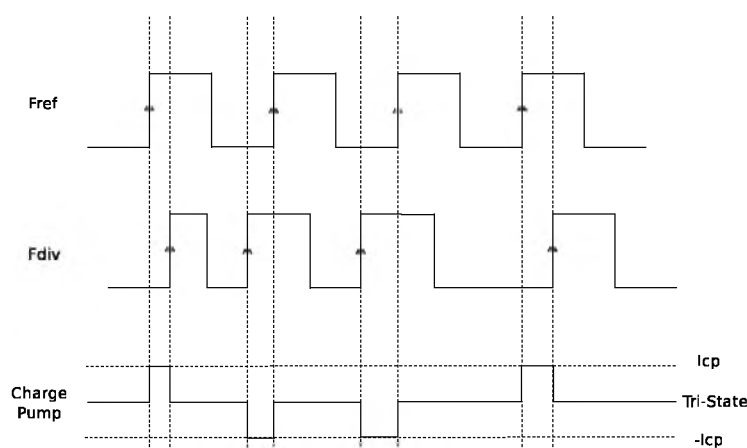


Figura 4.3: Señales del detector de fase

Si bien la complejidad de estos detectores es relativamente baja, tienen asociado un problema llamado *zona muerta* que se explicará con más detalle en la [Sección 4.1](#).

En la [Figura 4.4](#) se muestra de un diagrama en bloques del PFD utilizado. El circuito consiste básicamente en dos flip-flops D y una compuerta AND. Ambas entradas D de los flip-flops están conectadas a VDD y las señales de entrada (Fref y Fdiv) a las entradas de clock. Cuando alguno de los clocks cambia su estado a “1”, la salida “Q” también lo hará. La compuerta AND se utiliza para prevenir que ambos flip-flops estén en nivel alto a la vez. Como se puede ver, las entradas de

esta compuerta son los pulsos UP y DOWN mientras que su salida esta directamente conectada al reset de ambos flip-flops. Entonces, cuando las señales UP y DOWN están en “1” la compuerta AND genera un pulso en alto que resetea el circuito esperando un nuevo cambio en las entradas de clock.

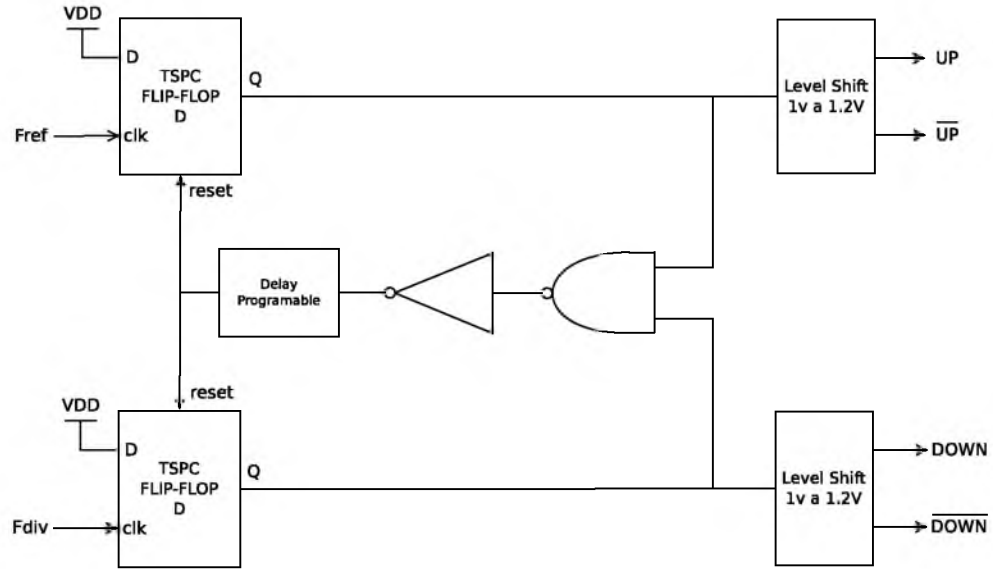


Figura 4.4: Topología seleccionada del detector de fase y frecuencia

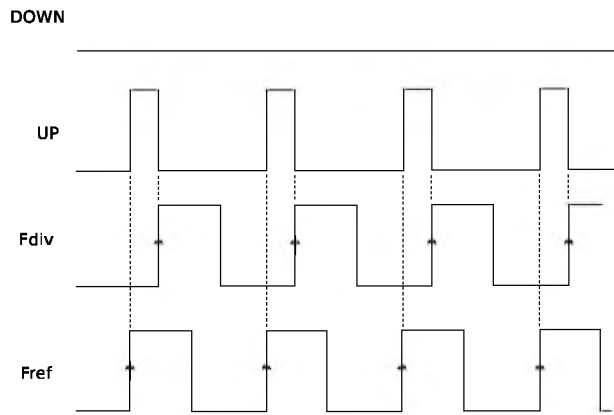


Figura 4.5: Señales del PFD

En la transición de las señales de la *Figura 4.5* puede verse que en el momento en que F_{ref} pasa del estado bajo al estado alto el pulso de UP sube. Luego, cuando la señal F_{div} pone su estado en alto, la compuerta AND detecta que ambas son “1” al mismo tiempo y resetea los flip-flops. De esta manera el pulso de UP tiene un ancho que es proporcional a la diferencia de fase/frecuencia entre las dos señales de entrada, mientras que DOWN permanece en cero. Además, el pulso de UP indica que el VCO debe *aumentar* su frecuencia. De la misma manera, si F_{div} cruza antes por cero que F_{ref} el pulso proporcional que se generará será el de DOWN manteniendo UP en bajo, indicando que el VCO debe *disminuir* su frecuencia.

Para explicar un poco mas el funcionamiento de este circuito observamos la *Figura 4.6* que ilustra la tensión de salida del charge-pump (una vez filtrada por el LPF) vs. el error de fase $\Delta\phi$

medido por el PFD. En ella se puede ver que existen tres zonas posibles de funcionamiento:

Zona I, $\Delta\phi = 0$: En este caso no existe error de fase entre las señales del divisor y de referencia, indicando que están sincronizadas en frecuencia y en fase lo que produce, en teoría, que no exista ningún pulso a la salida del PFD. En la práctica, debido a los circuitos de corrección de la zona muerta existen dos pulsos de salida del mismo ancho pero de polaridad contraria que hacen que el valor medio a la salida del charge-pump sea cero.

Zona II, $-2\pi < |\Delta\phi| < 2\pi$: En esta zona el PFD funciona en la región lineal. La ganancia del circuito K_{pfd} es la pendiente de la característica y puede calcularse como:

$$K_{pfd} = \frac{K_\phi - (-K_\phi)}{2\pi - (-2\pi)} = \frac{K_\phi}{2\pi} \Delta\phi \quad (4.1)$$

En mucha de la bibliografía existente, algunas veces puede prestarse a confusión el factor 2π . Matemática y teóricamente la expresión es correcta, pero en algunos casos dicho factor se omite porque se sabe de antemano que la ganancia total $G(s)$ del PLL es la multiplicación de $K_{pfd} \cdot K_{vco} = \frac{I_{cp}}{2\pi} \cdot 2\pi K_{vco}$, donde éste se anula si la ganancia del VCO se expresa en MHz/V.

Zona III, $|\Delta\phi| \geq 2\pi$: En esta última zona es poco extraño hablar de un error de fase mayor a 2π pero hay una buena razón para explicarla. En la práctica, si el error de fase supera los 2π , entonces el ciclo de trabajo del PFD se considera repetitivo en un valor $|2\pi|$. Una mejor forma de explicar esto es en función de los ciclos de las señales de entrada. Si una de ellas esta adelantada respecto de la otra en mas de un ciclo, el detector de fase se resetea a cero y comienza nuevamente. Si además, el lazo del PLL no es capaz de corregir lo suficientemente rápido esta diferencia, entonces puede ocurrir el desplazamiento de un ciclo completo. El efecto sobre el PLL es que el tiempo de enganche se incrementa drásticamente. Hay que destacar que la polaridad de la corrección generada por el PFD es la correcta pero el valor de la tensión de corrección no es para nada proporcional a la diferencia de fase entre las entradas. Por ejemplo, si la diferencia de fase es $2\pi + \Delta$ el valor de corrección será muy pequeño y correspondiente sólo a una diferencia de fase Δ y no a un ciclo completo $+ \Delta$.

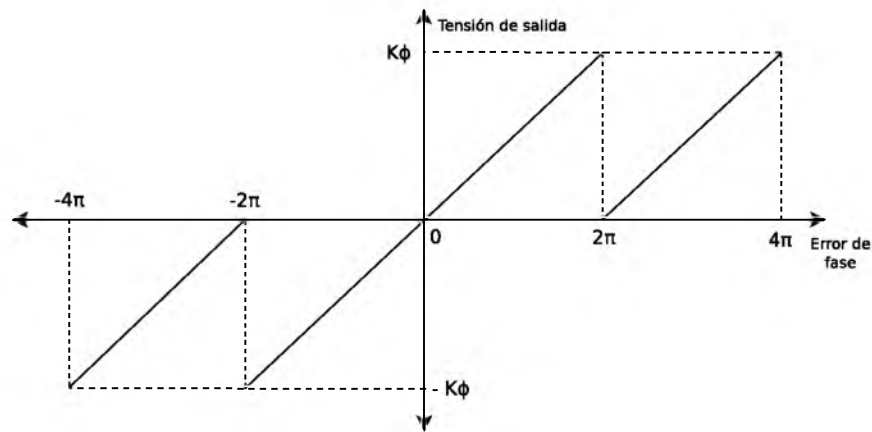


Figura 4.6: Error de fase vs tensión de salida

4.1. La zona muerta

Esta zona recibe su nombre debido a que cuando existe un pequeño error de fase entre F_{ref} y F_{div} , el PFD no es capaz de generar los pulsos de UP o DOWN correspondientes. En la figura *Figura 4.7* se ilustra este problema, que se debe principalmente al retraso que tienen los componentes de los flip-flops D (FFD) y al tiempo que necesitan para que la compuerta AND los resetee.

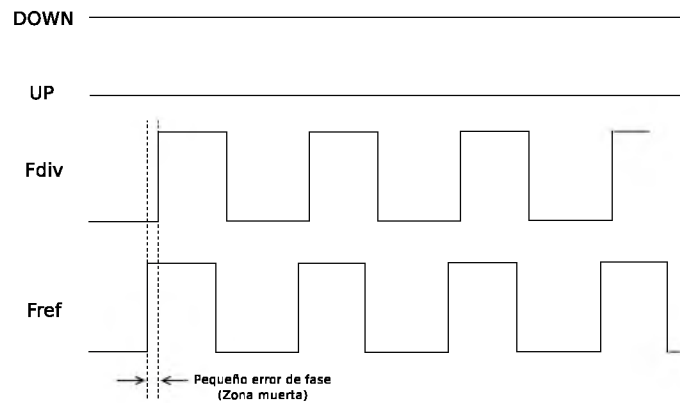


Figura 4.7: Zona muerta del PFD

En la *Figura 4.8* se puede ver claramente que la relación *Voltage - Error de fase* se vuelve no lineal cerca del cero lo que produce errores en las corrientes de charge-pump aumentando el valor de las espúreas y de las no idealidades de este circuito, afectando la performance del PLL. Una de las soluciones posibles a este problema es reducir el tiempo necesario de reset de los flip-flops. Otra solución, que es mas comúnmente utilizada, es generar un retraso entre la señal de salida de la compuerta AND y la entrada de reset de los flip-flops haciendo que los FFD tengan tiempo suficiente para resetearse a costa de que los pulsos de UP y DOWN tendrán un ancho mínimo igual al valor del retraso elegido.

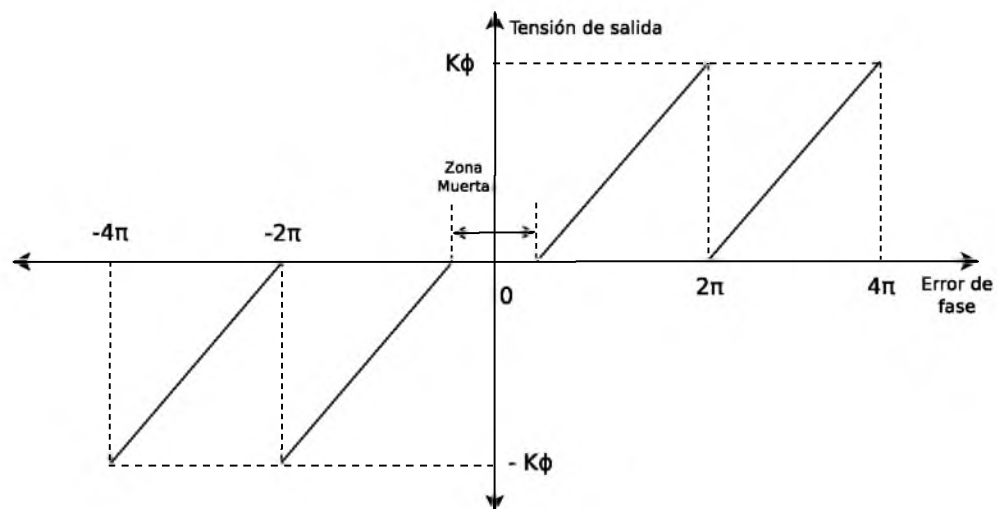


Figura 4.8: Error de fase vs tensión de salida con zona muerta

Esta no linealidad producida por la zona muerta se traduce a la salida del VCO en un jitter en el dominio del tiempo que afecta a los flancos de subida y bajada de la señal de clock generada por el PLL. Este jitter puede causar multiples problemas, entre ellos perdida de sincronismo, de datos e incluso hacer que los circuitos alimentados con este clock no funcionen.

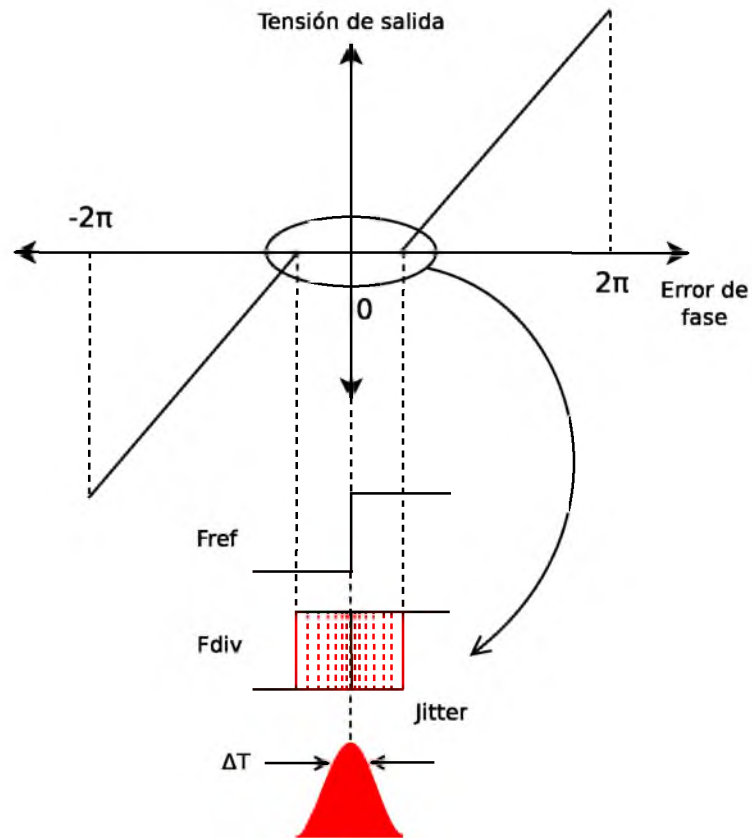


Figura 4.9: Jitter producido por la zona muerta del PFD

4.2. Flip-Flops TSPC

Durante el diseño del detector de fase se decidió utilizar la arquitectura tradicional, pero con flip-flop dinámicos apropiados para alta velocidad llamados TSPC (True Single Phase Clock) (37).

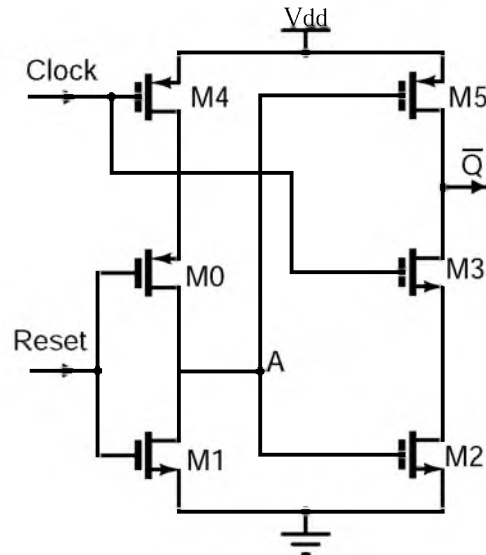


Figura 4.10: Esquemático de un flip-flop D TSPC

Las compuertas dinámicas se utilizan para reducir la complejidad de los circuitos, aumentar la velocidad de operación y bajar el consumo, pero su desventaja es que requieren de una señal de clock y una sincronización para poder funcionar correctamente. En este caso, para la correcta operación del PFD, se utiliza una versión modificada de los flip-flops TSPC clásicos que no requieren sincronización. El esquemático del flip-flop se puede ver en la *Figura 4.10*. Su funcionamiento puede explicarse de la siguiente manera: Cuando la entrada de clock y de reset están en “0” la capacidad del nodo A se carga hacia VDD a través de M4 y M0. En la transición de subida del clock el nodo de salida \bar{Q} se conecta a masa a través de M3 y M2. Una vez que el nodo A se ha cargado a VDD no es afectado por el cambio en la entrada de clock. Gracias a que esta señal apaga el transistor M3, se previene que el nodo de salida se eleve hacia VDD. Por otro lado, cuando llega un pulso en alto de reset, la capacidad cargada a VDD del nodo A se descarga a través de M1. En el momento que la tensión de A pasa por debajo de $VDD - V_{thp}$ el transistor M5 se activa y el nodo de salida es llevado a VDD. El transistor M0 se coloca para evitar el cortocircuito que se produce cuando la señal de reset es aplicada. En el momento en que la señal de clock esta en nivel bajo y se aplica una señal de reset en alto, si no existiera M0, la corriente fluiría de VDD a masa aumentando el consumo y requiriendo mayor tiempo de reseteo ya que M4 carga la capacidad del nodo A hacia VDD a la vez que M1 la descarga hacia masa. Una rápida carga y descarga del nodo A implica menor tiempo necesario para el reset y por lo tanto mayor velocidad de operación. Otro de los beneficios de este tipo de flip-flop es que no poseen picos de tensión en las transiciones evitando que en algunos casos sus salidas sean valores incorrectos.

4.3. Level Shifter 1V-1.2V

Todo el PFD esta implementado de manera digital y debido a la tecnología de 65nm que se utilizó, los transistores digitales funcionan con una alimentación de 1V mientras que los analógicos lo hacen con 1.2V. Por eso es necesario colocar una interfaz que se encargue de cambiar los niveles de tensión entre la parte digital (PFD) y analógica (Charge-Pump). Esa interfaz es el level shifter; su arquitectura puede verse en la *Figura 4.11*

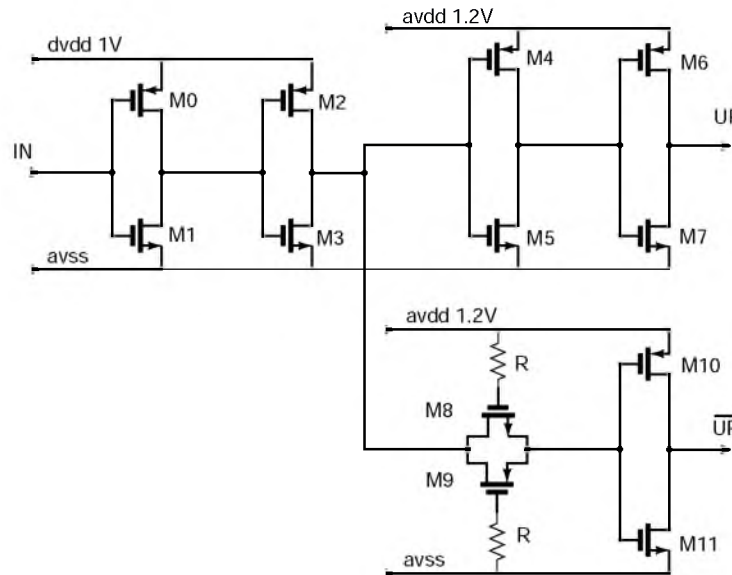


Figura 4.11: Topología del circuito cambiador de niveles

Este circuito consiste simplemente en dos buffers conectados en cascada y alimentados con dos niveles de tensión diferentes. De esta manera la salida del primer buffer será entre 0-1V mientras que la del segundo se ajustará a su tensión de alimentación; 0-1.2V. Los transistores M8, M9 y las resistencias constituyen una pass-gate que es utilizada para evitar que haya un retraso entre la señal de UP y su negada. De existir ese retraso, la arquitectura del charge-pump perdería el sincronismo y provocaría un mal funcionamiento que será explicado con mas detalle en la *Sección 5.2*

Capítulo 5

CHARGE PUMP Y FILTRO PASA BAJOS

Como se dijo en el capítulo anterior, los pulsos de UP y DOWN del detector de fase controlan el tiempo de inyección de corriente en el filtro pasa bajos para cambiar la tensión de control del VCO. El circuito encargado de interpretar esos pulsos y de controlar la tensión del VCO recibe el nombre de Charge-Pump. Un diagrama en bloques simplificado se puede ver en la *Figura 5.1 a)* y una tabla con los estados posibles de control en la *Figura 5.1 b)*.

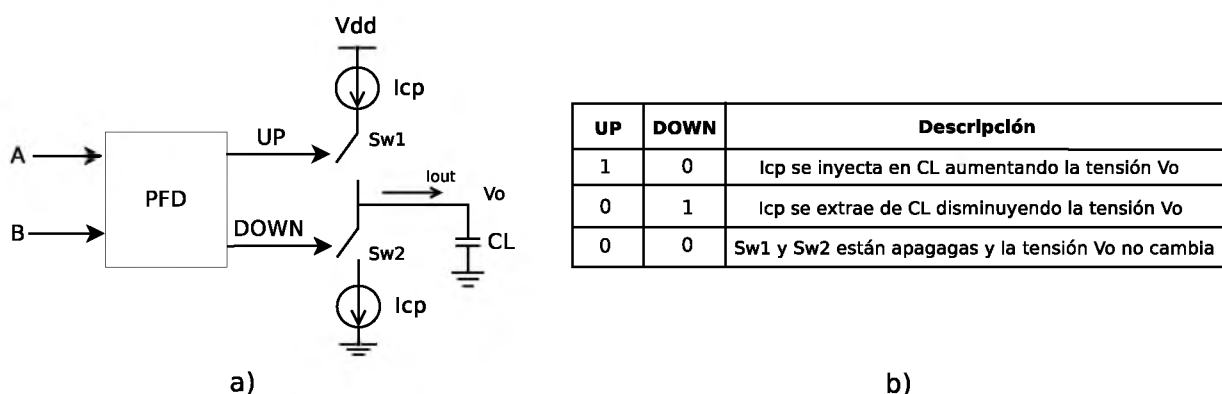


Figura 5.1: Charge Pump: a) Bloque básico, b) Estados posibles

Conceptualmente el funcionamiento de un circuito de charge-pump consiste en dos llaves comandadas por el detector de fase que se encargan de conectar y desconectar cada una de las dos fuentes de corriente (inyección y extracción de carga). El ancho del pulso de corriente I_{out} es proporcional a la diferencia de fase entre las dos entradas del PFD. El circuito de charge-pump se encarga entonces, de convertir el error de fase en una cantidad proporcional de carga que se inyecta o extrae del filtro pasa bajos.

Mientras el pulso de $UP = 1$ y $DOWN = 0$, la llave Sw1 está cerrada y Sw2 abierta, la fuente de corriente superior inyecta carga en la capacidad haciendo que la tensión en ella se eleve, obligando al VCO a incrementar su frecuencia. Al contrario, cuando el pulso de UP está en estado bajo y DOWN en alto, la llave Sw1 permanece abierta mientras que Sw2 está cerrada; de esta manera la fuente de corriente inferior extrae carga de la capacidad haciendo que la tensión V_o caiga obligando al VCO a bajar su frecuencia. Por último, cuando ambas llaves están abiertas no se extrae ni inyecta carga. En un circuito real, se inyecta y extrae la misma cantidad de corriente en cada período haciendo que el valor medio de la tensión de control se mantenga constante, haciendo que la frecuencia del VCO no cambie, lo que significa que el PLL está enganchado.

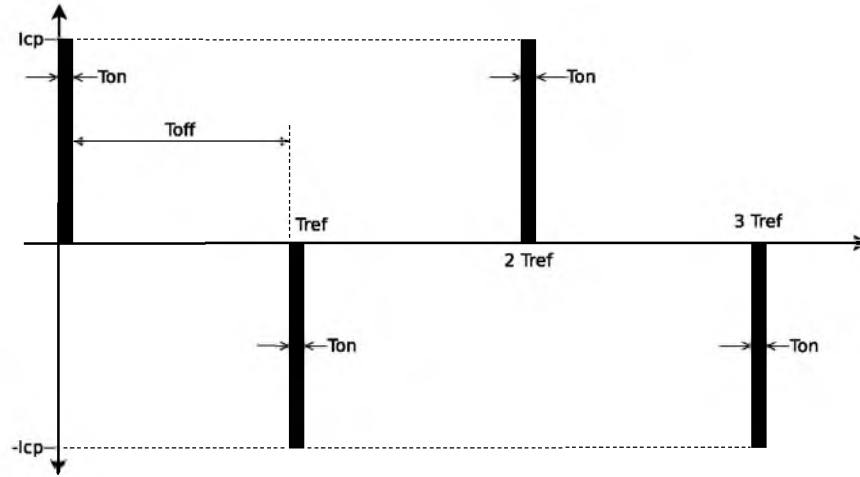


Figura 5.2: Pulsos del Charge-Pump cuando el PLL está enganchado

5.1. Topología básica

Una descripción de las arquitecturas más comunes puede encontrarse en (31). En este caso se decidió utilizar una de esas topologías pero con algunos cambios para mejorar sus prestaciones y corregir algunos problemas con la tecnología y el voltaje de alimentación. La arquitectura básica puede verse en la *Figura 5.3 a)*

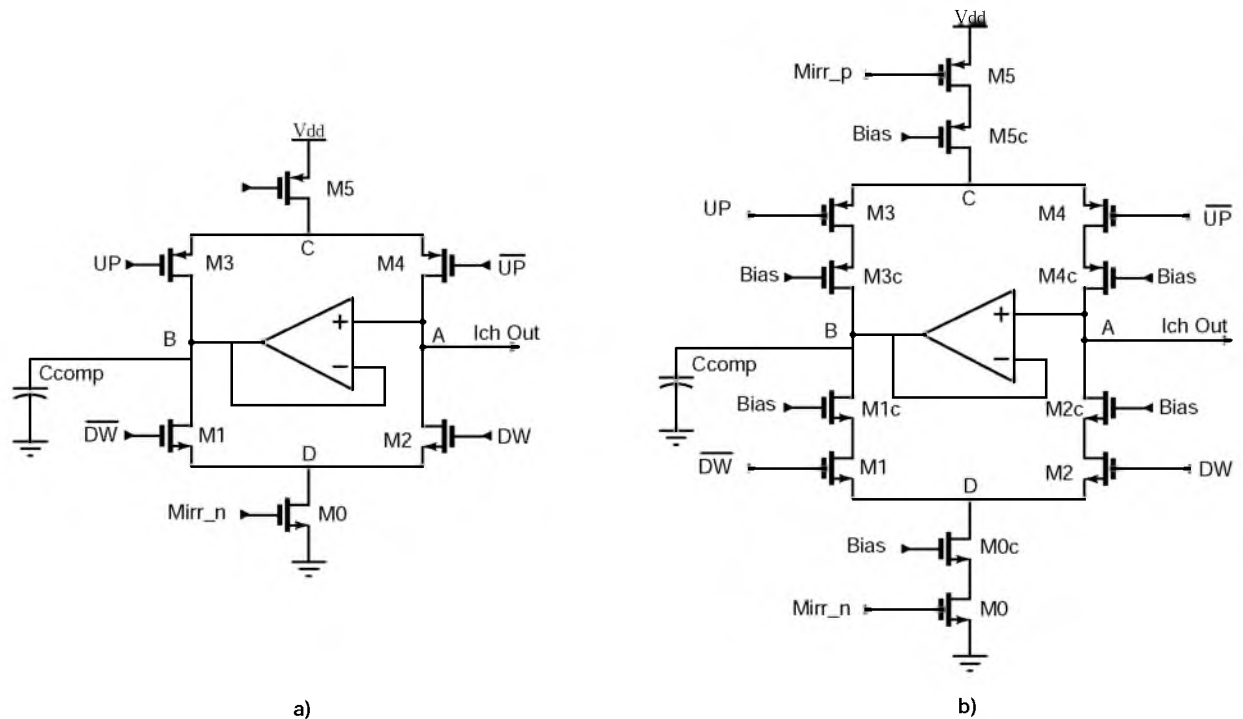


Figura 5.3: Arquitectura de un Charge-Pump: a) Básica, b) Mejorada

Una característica de este circuito es su alta velocidad de operación. Esta propiedad se debe a que las fuentes de corriente de carga y descarga permanecen siempre encendidas.

Suponiendo que el circuito funciona de manera ideal:

1. Si el VCO necesita *incrementar* su frecuencia de salida:

- $UP = 1$ y $\overline{UP} = 0$, por lo tanto M3 está apagado y M4 encendido.
- $DOWN = 0$ y $\overline{DOWN} = 1$, haciendo que M2 esté apagado y M1 encendido.
- La corriente fluye a través de M5 y M4 hacia la salida cargando el capacitor y elevando V_o .
- En la rama izquierda, el capacitor de compensación entrega la corriente a M1 manteniendo a la fuente de corriente M0 encendida.

2. Si el VCO necesita *bajar* su frecuencia de salida:

- $UP = 0$ y $\overline{UP} = 1$, por lo tanto M3 está encendido y M4 apagado.
- $DOWN = 1$ y $\overline{DOWN} = 0$, haciendo que M2 se encienda y M1 se apague.
- La corriente ahora fluye a través de M2 y M0 hacia masa descargando el capacitor y bajando V_o .
- Nuevamente en la rama de la izquierda la fuente de corriente M5 debe mantenerse encendida, por lo que M3 que se enciende con UP carga el capacitor de compensación.

3. Por último, si la frecuencia del VCO es *correcta* y el PLL se encuentra enganchado:

- $UP = 0$ y $\overline{UP} = 1$, apagando M4 y encendiendo M3.
- $DOWN = 0$ y $\overline{DOWN} = 1$, apagando M2 y encendiendo M1.
- Hacia la salida no circula corriente manteniendo V_o constante.
- La corriente circula totalmente por M5, M3, M1, M0 manteniendo las fuentes de corriente encendidas pero sin cargar ni descargar el capacitor de compensación.

En la realidad, cuando se implementan las llaves con transistores existen diferentes “mismatches” o desapareamientos y fugas de corriente que producen diferencias en la inyección y extracción de corriente del filtro pasa bajos lo que lleva a un error y a producir tonos espúreos en la salida del PLL. Por otra parte el amplificador operacional cumple una función muy importante ya que es el encargado de mantener los nodos A y B en el mismo potencial para que cuando las corrientes de carga y descarga se conecten y desconecten a esos nodos lo hagan en el mismo valor en ambas ramas del circuito para evitar errores. Este amplificador debe ser sumamente estable para evitar oscilaciones en todo el circuito.

5.2. Ruido de Charge-Pump

En un PLL existen dos tipos de ruido de diferentes orígenes. Por un lado *Ruido de fase aleatorio* proveniente de cada uno de los bloques, que debe obtenerse mediante simulación; y por otro lado *Ruido de origen determinístico y periódico* que es generado por las no idealidades del circuito de charge-pump. En el [Capítulo 12](#) se simulan las características de ruido de fase de cada uno de los bloques para obtener el valor del jitter RMS aleatorio, mientras que en este capítulo se analizarán los desapareamientos y las no idealidades de las cuatro fuentes mas importantes de

ruido determinístico en los circuitos de charge-pump. Además se darán las ecuaciones aproximadas de cada una de ellas como para tener una noción de los parámetros de los que dependen y saber de como poder reducirlos.

Como se explicó en el *Capítulo 3*, la salida del VCO es modulada por la frecuencia de referencia generando en el espectro, dos bandas laterales próximas al tono de F_{out} . Idealmente las corrientes de carga y descarga son iguales, por lo tanto las variaciones en la tensión de control del VCO sólo se deben al ruido generado por los bloques del PLL. En la práctica, esto no sucede así ya que las no idealidades generadas en el circuito de charge-pump causan un ripple periódico sobre $V_{control}$. Como este ripple es muy pequeño cuando el PLL esta enganchado, la modulación producida en el VCO debido al error de fase es:

$$V_{out}(t) = V_o \cdot \cos \left(\omega_o t + K_{vco} \int_0^t V_c(\tau) \cdot d\tau + \theta_o \right) \quad (5.1)$$

Si hacemos la fase inicial $\theta_o = 0$, entonces:

$$V_{out}(t) \approx V_o \cdot \cos(\omega_o t) - V_o \cdot \Delta\phi_{total} \cdot \sin(\omega_o t) \quad (5.2)$$

Donde $\Delta\phi_{total} = K_{vco} \int_0^t V_c(\tau) \cdot d\tau$ es el error de fase producido por todas las fuentes de error que afectan a la tensión de control del VCO.

En la práctica, como se muestra en la *Figura 5.2*, el pulso de corriente que proporciona el circuito de charge-pump, cuando el PLL esta enganchado, es una señal cuadrada y periódica con un período igual a T_{ref} que se puede descomponer mediante la serie de Fourier como:

$$I_{out}(t) = \sum_{k=1}^{\infty} c_k \cdot e^{j\omega_{ref} t} \quad (5.3)$$

La tensión de control que modula al VCO es entonces:

$$V_c(t) = I_{out}(t) \cdot F_{LPF}(s) = \sum_{k=1}^{\infty} c_k \cdot e^{j\omega_{ref} t} \cdot F_{LPF}(s) \quad (5.4)$$

Reemplazando *Ec 5.4* en *Ec 5.1*, integrando y re ordenando se puede expresar la potencia de las armónicas espúreas moduladas por el VCO a la salida del PLL en función del primer coeficiente de la serie de Fourier como:

$$\begin{aligned} P_{esp} &= 20 \log \left(\frac{K_{vco} \cdot |c_1| \cdot |F_{LPF}(j\omega_{ref})|}{2 \cdot \omega_{ref}} \right) \\ &= 20 \log \left(N\pi \cdot \frac{|c_1|}{I_{cp}} \right) + 20 \log (|G(j\omega_{ref})H(j\omega_{ref})|) \text{ dB}_c \end{aligned} \quad (5.5)$$

En la *Ec 5.5* el término $20 \log (N\pi \cdot |c_1|/I_{cp})$ corresponde al ruido generado por cada una de las fuentes de error que se describirán en las secciones siguientes, mientras que el término $20 \log (|G(j\omega_{ref})H(j\omega_{ref})|)$ es la ganancia de la función de transferencia del lazo en la frecuencia de referencia. Al sumar dichos términos se obtiene el valor de potencia de los tonos espúreas debido a cada no idealidad del charge-pump.

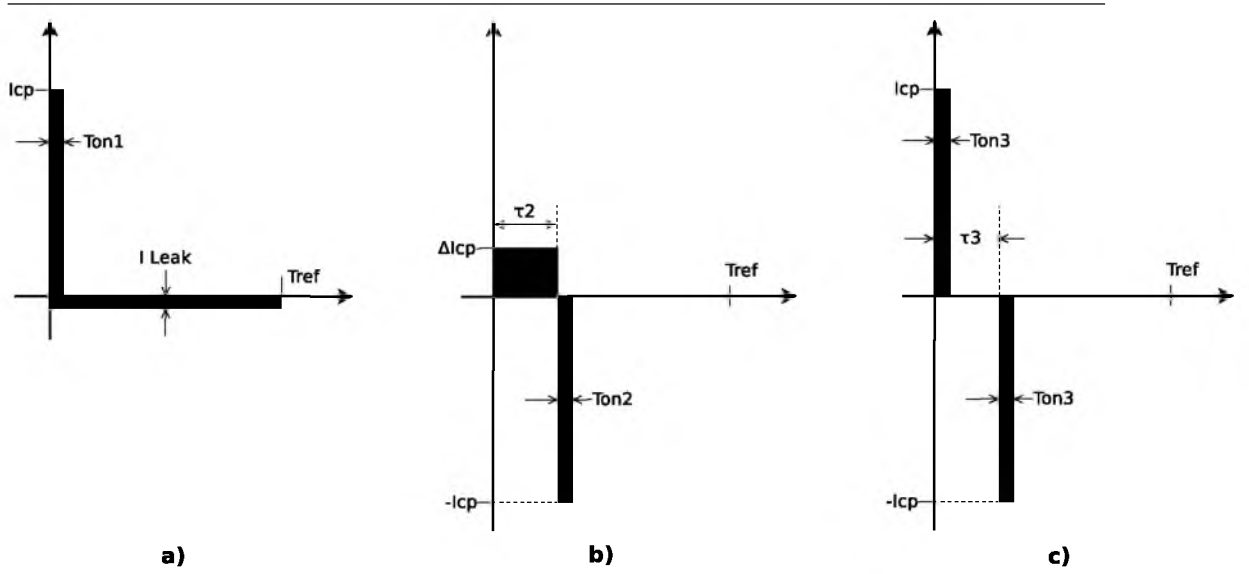


Figura 5.4: Mismatches debido a: **a)** Fugas de corriente, **b)** Diferencias de corriente y **c)** Diferencias de tiempo

5.2.1. Fugas de corriente

Durante el período de tiempo en que los transistores no están conduciendo (T_{off}), se asemejan a llaves que están abiertas. Debido a que la tecnología es de canal corto existe una corriente de fuga que circula por el canal y que afecta a la tensión de control. Este efecto es muy significativo a medida que la longitud del canal se reduce y con altos factores de división N . Una solución posible a este problema es utilizar transistores de canal largo, pero el inconveniente es que degrada los efectos de inyección de clock y de carga porque se aumentan el área del transistor. Afortunadamente la tecnología de TSMC de 65nm ofrece diferentes tipos de transistores (ver [Capítulo 2](#)) permitiendo elegir el mas conveniente. En este caso, para evitar corrientes de fuga lo mejor es elegir transistores que tengan grandes espesores del óxido bajo la compuerta si la excursión lo permite, de lo contrario se utilizarán transistores de alta tensión de disparo (HVT).

Como puede observarse en la [Figura 5.4 a\)](#), el ancho del pulso de corriente de I_{cp} necesario para compensar la fuga de corriente I_{leak} es:

$$T_{on1} = \frac{I_{leak}}{I_{cp}} T_{ref} \quad (5.6)$$

Los coeficientes de la serie de Fourier para este error son:

$$\begin{aligned} c_k &= \frac{1}{T_{ref}} \left[\int_0^{T_{on1}} I_{cp} \cdot e^{-jk\omega_{ref}t} \cdot dt - \int_0^{T_{ref}} I_{leak} \cdot e^{-jk\omega_{ref}t} \cdot dt \right] \\ &= I_{leak} \frac{\sin(k\omega_{ref}T_{on1}/2)}{k\omega_{ref}T_{on1}/2} \cdot e^{-jk\omega_{ref}t/2} \end{aligned} \quad (5.7)$$

De [Ec 5.6](#), tenemos que $T_{on1} \ll T_{ref}$ si $I_{leak} \ll I_{cp}$. Por lo tanto, el coeficiente que corresponde a la espuria en este caso es:

$$|c_1| \approx I_{leak} \quad (5.8)$$

5.2.2. Mismatch entre las corrientes de UP y DOWN

Esta fuente de error se debe a la diferencia que existe entre las corrientes de carga y descarga. Como se explico anteriormente, ambas deberían ser iguales y el control se realiza sobre el tiempo que estas se están inyectando o extrayendo del filtro. Recordando que las fuentes de corriente son implementadas utilizando transistores polarizados o espejos de corriente; primero, los transistores PMOS y NMOS poseen diferentes impedancias de salida lo que produce una primera fuente de error. Segundo, estas impedancias no son infinitas como idealmente se suponen por lo que se genera otra fuente de error. Una solución a este problema de impedancias puede verse en la *Figura 5.3 b*). Al utilizar los cascodos la impedancia de salida en los nodos A, B, C, y D se incrementará de $Z_{out} = r_{ds}$ a $Z_{out} \approx g_{m_c} \cdot r_{ds}^2$.

Para calcular el valor de las espúreas debido al desapareo de las corrientes de UP y DOWN, observando la *Figura 5.4 b*), tenemos que la diferencia entre las corrientes es:

$$\Delta I_{cp} = I_{up} - I_{down} \quad (5.9)$$

EL pulso de corriente $-I_{cp}$ necesario para compensar esta diferencia de corrientes es:

$$T_{on2} = \frac{\Delta I_{cp}}{I_{cp}} \tau_2 \quad (5.10)$$

Usualmente $\Delta I_{cp} \ll I_{cp}$ y $\tau_2 \ll T_{ref}$, por lo tanto $T_{on2} \ll \tau_2$. Los coeficientes de la serie de Fourier en este caso son:

$$\begin{aligned} c_k &= \frac{1}{T_{ref}} \left[\int_0^{T_{on1}} \Delta I_{cp} \cdot e^{-jk\omega_{ref}t} \cdot dt - \int_{\tau_2}^{\tau_2+T_{on2}} I_{cp} \cdot e^{-jk\omega_{ref}t} \cdot dt \right] \\ &= \Delta I_{cp} \frac{\tau_2}{T_{ref}} \frac{\sin(k\omega_{ref}\tau_2/2)}{k\omega_{ref}\tau_2/2} \cdot e^{-jk\omega_{ref}\tau_2/2} \\ &\quad - I_{cp} \frac{T_{on2}}{T_{ref}} \frac{\sin(k\omega_{ref}T_{on2}/2)}{k\omega_{ref}T_{on2}/2} \cdot e^{-jk\omega_{ref}(T_{on2}/2+\tau_2)} \end{aligned} \quad (5.11)$$

El coeficiente que corresponde a la espúria por desapareamientos de las corrientes de up y down es:

$$|c_1| \approx \pi \Delta I_{cp} \left(\frac{\tau_2}{T_{ref}} \right)^2 \quad (5.12)$$

5.2.3. Mismatch de tiempo entre los pulsos de control del PFD

En este caso el error se origina porque los pulsos de UP y $DOWN$ (o sus negados) están fuera de sincronismo. Esta falta de sincronismo se debe a que cada una de las líneas que los transmiten poseen retrasos diferentes, por ejemplo, entre UP y \overline{UP} existe un inversor extra que retrasa la señal de UP .

Una solución posible a este problema es mantener las señales de control lo mas sincronizadas posible. Para eso se agregan pass-gates (*Figura 4.11*) que proporcionan un delay (retraso) sin invertir la señal que equivale aproximadamente al tiempo de propagación de un inversor.

En este caso, observando la *Figura 5.4 c*), se pueden ver los pulsos de corriente de up y down con una diferencia de tiempo τ_3 . Esta diferencia de tiempo puede originarse con el retraso entre los flancos de subida/bajada de los pulsos ó a la diferencia de sincronismo de encendido/apagado entre las llaves. Idealmente, ambas fuentes de corriente generan el mismo pulso de corriente con un ancho T_{on3} , los coeficientes de la serie de Fourier serán:

$$\begin{aligned} c_k &= \frac{1}{T_{ref}} \left[\int_0^{T_{on3}} I_{cp} \cdot e^{-jk\omega_{ref}t} \cdot dt - \int_{\tau_3}^{\tau_3+T_{on3}} I_{cp} \cdot e^{-jk\omega_{ref}t} \cdot dt \right] \\ &= j \cdot 2I_{cp} \frac{T_{on3}}{T_{ref}} \frac{\sin(k\omega_{ref}T_{on3}/2)}{k\omega_{ref}T_{on3}/2} \cdot \sin\left(\frac{k\omega_{ref}\tau_3}{2}\right) \cdot e^{-jk\omega_{ref}(T_{on3}+\tau_3)/2} \end{aligned} \quad (5.13)$$

El coeficiente que corresponde a la espúria por diferencia de tiempos entre up y down es:

$$|c_1| \approx 2\pi I_{cp} \frac{T_{on3}}{T_{ref}} \cdot \frac{\tau_3}{T_{ref}} \quad (5.14)$$

5.2.4. Inyección de cargas y clock

Estas fuentes de error son quizás, las mas difíciles de corregir porque dependen directamente del tamaño de los transistores, aunque en la práctica existen algunas técnicas de diseño que las hacen ser despreciables respecto a las demás.

En el caso de la inyección de carga agrandar el transistor implica incrementar su área y por lo tanto su capacidad produciendo un error mayor sobre V_o . En la inyección de clock ocurre algo parecido, al agrandar el transistor se incrementa C_{gd} (debido al aumento del área), y esta capacidad permite que frecuencias mas bajas se inyecten desde la compuerta al drenador del transistor, *Figura 5.5* . Por el contrario, transistores grandes implican mayor velocidad en la conmutación y menor corriente de fuga en las llaves, lo que inevitablemente fija los límites y la necesidad de un equilibrio entre *Velocidad - Ruido*. La inyección de clock no tiene una solución sencilla, mientras que la inyección de carga puede solucionarse colocando transistores dummy (transistores que no cumplen ninguna función) que se encargan de absorber las cargas que están debajo de la compuerta del transistor que actúa como llave.

Unas aproximaciones a estos dos efectos que describen los cambios sobre la tensión de control y sobre la fase de salida del VCO para esta fuente de error son:

Inyección de carga:

$$V_{error1} \approx \int_0^{T_{subida}} \frac{C_{ox} \cdot W \cdot L \cdot (VDD - V_{th} - V_{control})}{C_p} \cdot dt = \frac{C_{ox} \cdot W \cdot L \cdot (VDD - V_{th})}{C_p} \cdot T_{subida}$$

$$\Delta\phi_{error1} \approx K_{vco} \int_0^{T_{subida}} V_{error1} \cdot dt = \frac{C_{ox} \cdot W \cdot L \cdot K_{vco} \cdot (VDD - V_{th})}{2 \cdot C_p} \cdot T_{subida}^2 \quad (5.15)$$

Inyección de clock:

$$V_{error2} \approx \int_0^{T_{subida}} VDD \cdot \frac{C_{gd}}{C_p + C_{gd}} \cdot dt = \frac{VDD \cdot C_{gd}}{C_p} \cdot T_{subida}$$

$$\Delta\phi_{error2} \approx K_{vco} \int_0^{T_{subida}} VDD \cdot V_{error2} \cdot dt = \frac{VDD \cdot C_{gd} \cdot K_{vco}}{2 \cdot C_p} \cdot T_{subida}^2 \quad (5.16)$$

El jitter RMS de estas dos fuentes es:

$$Jitter_{RMS} = \frac{T_{ref}}{2\pi} \cdot (\Delta\phi_{error1} + \Delta\phi_{error2}) \cdot dt \quad (5.17)$$

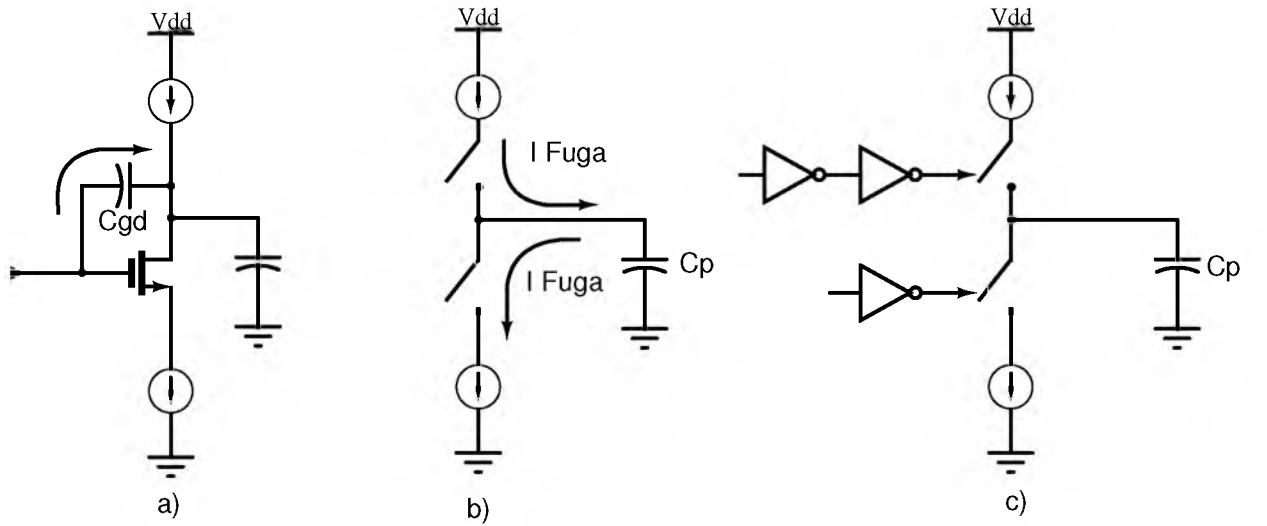


Figura 5.5: a) Inyección de carga/clock, b) Fugas de corriente, c) Diferencias de tiempos

5.3. Problemas de la topología tradicional en 65nm

Las arquitecturas descritas en *Figura 5.3*, si bien son correctas, no son fácilmente implementables en tecnologías de 65nm. Los inconvenientes que se presentan al momento del diseño son:

- El voltaje de alimentación por requerimientos de diseño es de 1.2V. Recordando que las tensiones de disparo para los transistores de 1.2v es cercano a 270mV, es casi imposible utilizar cascodos ya que reducen demasiado la excursión.
- Al no implementar cascodos las impedancias de salida son mucho menores. En el caso del nodo A, si por algún motivo la tensión del lazo (cuando el PLL esta enganchado) se setea en un valor diferente de $V_{DD}/2$, una de las fuentes de corriente tendrá mayor excursión que la otra produciendo que la inyección y extracción de corriente del filtro estén desapareadas y exista un error. éste es uno de los errores más importantes que deben tratar de evitarse.
- Utilizar transistores de óxido grueso para las llaves significa que se debe implementar el circuito con transistores de 1.8V, lo que aumenta la tensión de umbral a aproximadamente 400mV afectando también la excursión.

5.4. Topología elegida

Para evitar los problemas descritos anteriormente, se decidió implementar la arquitectura de (14) evitando utilizar cascodos ya que la alimentación no lo permite. *Figura 5.6*

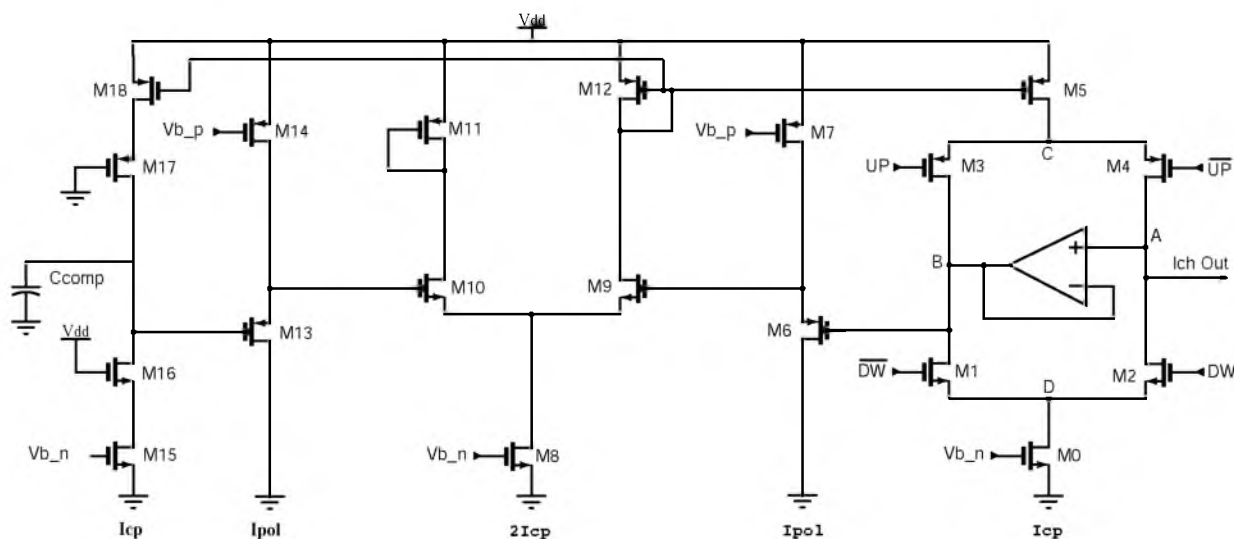


Figura 5.6: Topología implementada

El funcionamiento del circuito es el siguiente: supongamos que la tensión de salida del nodo A (V_A) es seteada por el lazo en un valor superior a $V_{DD}/2$. Esto provoca que las caídas de tensión V_{DS} de los transistores M5 y M0 no sean las mismas haciendo que las fuentes de corriente de inyección y extracción estén desapareadas, y por lo tanto la corriente que M0 extrae del filtro sea diferente a la que M5 inyecta. La rama de la izquierda (M15, M16, M17 y M18) es una

réplica de la salida, por lo que el capacitor de compensación debería tener el mismo voltaje que V_A . Los transistores M6-M7 y M13-M14 constituyen seguidores de surtidor que se colocan para evitar cargar el nodo B y para aislar el comparador del circuito de inyección/extracción de corriente. El amplificador central compara las tensiones del nodo B con la del capacitor de compensación y controla M5 quien se encarga de la inyección de corriente en el filtro y M18 en la réplica. De esta manera si la tensión V_A aumenta, la del capacitor de compensación lo hace en la misma proporción produciendo que el amplificador polarize con una tensión mayor M5 e inyecte mayor corriente. Este mecanismo intenta mantener las fuentes de corriente M5 y M0 inyectando y extrayendo la misma cantidad de corriente permanentemente, tratando de evitar que se genere un mismatch (o desapareamientos) entre ellas. Este circuito es una alternativa para corregir los errores introducidos por la baja impedancia de salida al no utilizar cascodos. Sin embargo, posee algunas particularidades que se deben cuidar. Primero el amplificador operacional debe estar muy bien diseñado y ser lo suficientemente grande como para entregar la corriente I_{cp} a M1 cuando se esta inyectando corriente. Segundo, su impedancia de salida debe ser lo mas cercana a cero posible para evitar cargar al nodo B produciendo desapareamientos con la rama de réplica. Además, una impedancia demasiado grande en el nodo B, hará que se produzca un desbalanceo con el nodo A y que exista un error en las corrientes en las ramas.

5.5. Diseño del filtro pasa bajos

El filtro pasa bajos tiene un papel muy importante dentro de cualquier PLL. Esto se debe a que la elección correcta de su frecuencia de corte (ancho de banda de lazo cerrado) es quien determina la performance de ruido de todo el PLL una vez enganchado, porque afecta directamente al valor del pulso de la frecuencia espúrea que genera el charge-pump y que modula al VCO.

Como se explica en la *Sección 2.7*, la elección del ancho de banda debe ser cuidadosa y basada en las características de ruido pasa-alto y pasa-bajo del sistema. Para lograr una correcta elección se utilizo un modelo diseñado con Matlab (*Capítulo 12*) que gráfica estas características y permite encontrar el punto óptimo donde colocar al ancho de banda que proporciona el menor jitter a la salida del PLL. Por lo tanto, en esta sección sólo se explicara la metodología que se utilizó para encontrar los valores de los componentes.

Hay que aclarar que el filtro esta embebido junto con el PLL dentro del chip por lo que se debe intentar ahorrar área, lo que implica no utilizar valores de capacidades y resistencias demasiado altas porque poseen un tamaño considerable al ser fabricadas en el proceso junto con los transistores.

En el caso de las capacidades no es factible utilizar los capacitores MOSCAP debido a que poseen mucha variación con PVT (Proceso, Voltaje y Temperatura) y porque su capacidad tiene una fuerte dependencia de la tensión a sus bornes, lo que significa que se comporta como un varicap. Otro de los problemas de este tipo de capacitores es que poseen corrientes de fuga que afectan al ruido del lazo como se explico en la *Sección 5.2.1*. Todos estos efectos implican, mucha variación en el ancho de banda. La solución fue sacrificar área y utilizar capacitores metálicos (fringecap) que poseen gran estabilidad con PVT, independencia de la tensión en sus bornes, un factor de calidad mucho mas elevado y corrientes de pérdida despreciables.

Suponiendo que se tiene bien seleccionado el ancho de banda del PLL, el proceso de cálculo de los elementos del filtro es el siguiente:

1. Si se supone que el polo no existe se puede obtener en función del margen de fase máximo deseado, la distancia entre el Cero y la frecuencia de corte para que esta condición se cumpla es:

$$\alpha = \frac{\omega_c}{\omega_z} = \tan(PM_{max}) \Rightarrow \omega_z \quad (5.18)$$

2. Luego, incluir el polo degrada el margen de fase máximo del paso anterior, por lo que se puede encontrar la distancia necesaria entre la frecuencia de corte y la del polo según el margen de fase (o el factor de amortiguamiento) que se desea:

$$\beta = \frac{\omega_p}{\omega_c} = \frac{1}{\tan(\arctan(\alpha) - PM_{deseado})} \Rightarrow \omega_p \quad (5.19)$$

3. Una vez encontradas las frecuencias del polo y del cero, se fija el valor máximo permitido para el capacitor del cero y se calcula la resistencia del cero:

$$R_z = \frac{1}{\omega_z \cdot C_z} \quad (5.20)$$

4. EL valor necesario de capacidad para colocar el polo en ω_p es entonces:

$$C_p = \frac{C_z}{R_z \cdot C_p \cdot \omega_p - 1} \quad (5.21)$$

5. Finalmente, la corriente del circuito de charge-pump sera calculada como:

$$I_{cp} = \frac{C_p \cdot N \cdot \omega_c^2}{K_{vco}} \cdot \left| \frac{j\omega_c + \omega_p}{j\omega_c + \omega_z} \right| = \frac{C_p \cdot N \cdot \omega_c^2}{K_{vco}} \cdot \left| \frac{j + \beta}{j + \frac{1}{\alpha}} \right| \quad (5.22)$$

En el caso de la aplicación de MatLab, el cálculo de cada componente del filtro se realiza de manera recursiva para cada ancho de banda. Con esos valores se calcula el ruido de fase y jitter a la salida del PLL y se elije aquel ancho de banda que proporcione el menor ruido. Quedando entonces definido un filtro óptimo y sus componentes.

Capítulo 6

DIVISOR

Los divisores de frecuencia son un elemento fundamental en los PLL. Este bloque es lo que diferencia un PLL de un sintetizador de frecuencias. En un PLL el factor de división es un número fijo, mientras que en los sintetizadores de frecuencias la división es un número programable que puede ser entero o no. De acuerdo a la forma en que se realice esta programación es la cantidad de valores por los cuales se puede dividir, lo que denomina *cantidad de canales*.

Existen diferentes tipos de divisores de frecuencia, en este caso se analizarán solo aquellos de división fija y basados en flip-flops. Este tipo de divisor está compuesto de dos latches tipo D en cascada conectados con una realimentación negativa. La operación digital de estos divisores proporcionan la ventaja de ser prácticamente insensibles a las distorsiones en las formas de onda, además de tener mayor ancho de banda que los otros tipos en el rango de frecuencias medias de diseño.

En general, cuando se trabaja en alta velocidad, su implementación se realiza utilizando lógica CML (Current Mode Logic). Esto se debe a que con las tecnologías actuales es muy difícil lograr que los circuitos CMOS tradicionales funcionen correctamente en frecuencias superiores a algunos GHz.

En este trabajo las limitaciones de velocidad de la tecnología TSMC de 65nm obligaron a implementar el divisor x32 utilizando una primera división x2 en lógica CML y otra división x16 utilizando lógica CMOS convencional.

6.1. Lógica CML

Esta lógica está basada en un par diferencial tradicional. Su utilización surge como una solución a los límites de velocidad al momento de implementar compuertas con tecnologías Bipolares o CMOS de bajas F_T y de la necesidad de construir circuitos de alta velocidad con bajo ruido. Como se dijo anteriormente, una de las mayores propiedades de esta lógica es su velocidad, pero además posee otra ventaja muy importante que es su insensibilidad sobre los ruidos de modo común y los acoplados en las líneas de alimentación y masa. Por el contrario la desventaja que impide implementar grandes divisiones utilizando únicamente CML es su gran consumo. La *Figura 6.1* muestra un diagrama en bloques de la estructura básica de divisor x2 utilizando dos flip-flops conectados como master-slave.

Cada uno de estos flip-flops pueden ser implementados según lo muestra la *Figura 6.2*. Conceptualmente el funcionamiento de este circuito puede explicarse de la siguiente manera: Cuando la señal de clock+ está en alto M5 está encendido permitiendo que la señal de salida

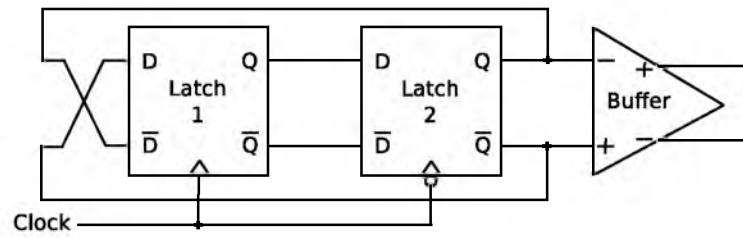


Figura 6.1: Configuración master-slave

“muestree” a la señal de entrada. Por el contrario, cuando clock- esta en alto quien se enciende es M6 haciendo que el par cruzado almacene el valor muestreado en el medio ciclo de clock anterior. Para resumir, cuando la señal diferencial de Clock(+/-) produce una transición de alto a bajo, la señal de salida cambiará de estado.

De cualquier manera en la siguiente sección se profundizará sobre el comportamiento dinámico del circuito para entender con más detalle su operación.

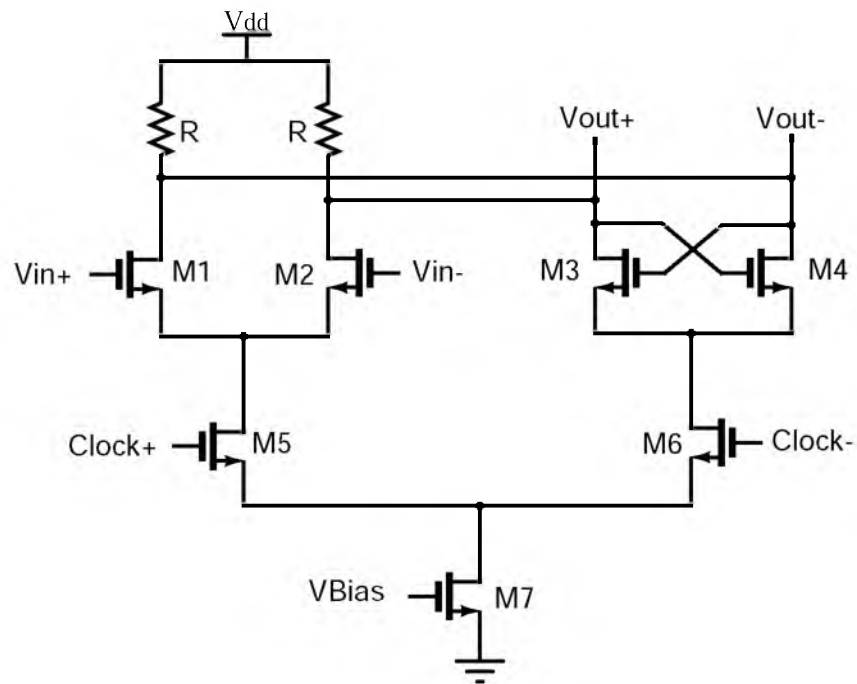


Figura 6.2: Esquemático de un latch tipo D en lógica CML

6.2. Divisores CML

Un esquemático del divisor CML x2 puede verse en la *Figura 6.3*.

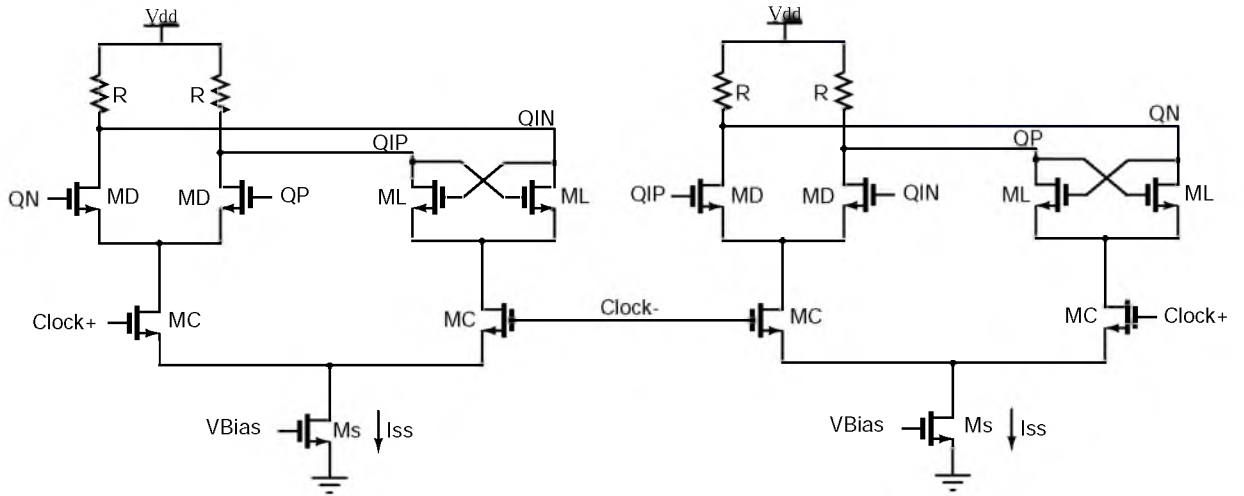


Figura 6.3: Implementación de un divisor x2 en lógica CML

Los divisores CML basados en latches tipo D (15) pueden ser caracterizados de manera precisa por su *Curva de sensibilidad* (13). La *Figura 6.4* es un ejemplo de caracterización de un divisor. El rango de operación de estos divisores es muy amplio y con una frecuencia de clock muy baja. También puede verse que existe una frecuencia de oscilación natural cuando la amplitud de la señal de entrada es nula. Esta característica de *auto oscilación* es lo que permite al divisor funcionar correctamente con tensiones de entrada muy bajas.

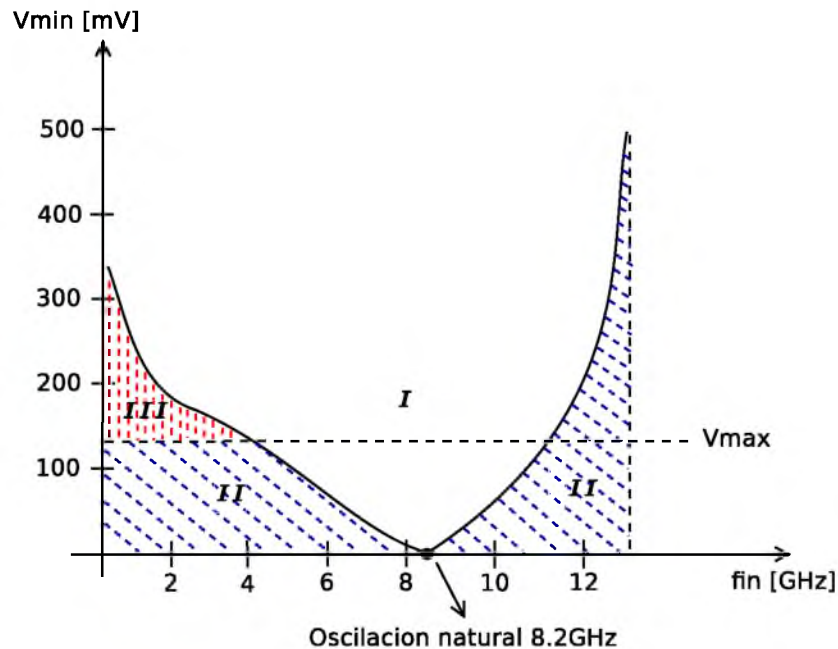


Figura 6.4: Curva de sensibilidad de un divisor CML

En la figura pueden verse tres zonas de operación:

- I Operación correcta:** En esta zona, el divisor funciona correctamente a la mitad de la frecuencia de entrada. Es la zona en la que se debe diseñar el circuito.
- II Operación quasi-periódica:** En este caso el divisor no divide exactamente a la mitad la frecuencia de entrada porque su amplitud no es suficiente para permitir que la salida se “enganche” con esa frecuencia. Además una característica de esta zona es que existen dos tonos espúreos que se van acercando hacia el tono fundamental a medida que la amplitud de la señal de entrada se incrementa.
- III Operación con Slew-Rate limitado:** Por último, en esta región, la frecuencia de entrada es demasiado grande comparada con la respuesta dinámica del divisor. Mientras que la excursión del clock sea lo suficientemente grande el divisor funcionará correctamente durante la mayoría del período del clock. Por otro lado, si sus transiciones de subida y bajada son lentas, habrá zonas cercanas al cruce por cero en que el divisor auto-oscilará, cortando la señal de clock a la mitad y obteniendo una salida con picos de alta frecuencia. La forma de onda de la salida dependerá fuertemente de la velocidad de las transiciones del clock de entrada.

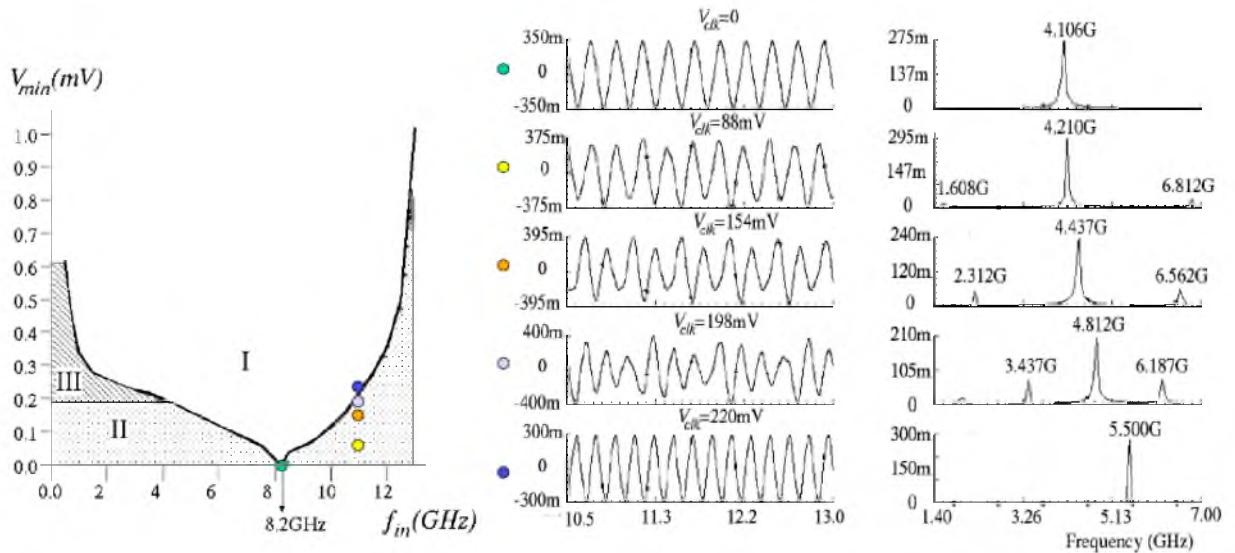


Figura 6.5: Zonas de operación de un divisor x2 CML (11GHz-5.5GHz)

Al momento de diseñar estos divisores se intenta que la frecuencia de auto-oscilación quede lo más cercana a la frecuencia de salida que se desea (en este caso, la mitad de la frecuencia de entrada) para que el circuito opere con una excursión de clock prácticamente nula.

El inconveniente que tiene este tipo de divisor es que los nodos de salida *OutP/OutN* ven altas capacidades debido a la realimentación además de que la carga de salida del divisor adiciona aún más, limitando la frecuencia máxima de operación. El par diferencial cruzado utilizado en el latch es uno de los que más capacidad de salida aporta. La función de estos transistores es la de proveer lo que comúnmente se denomina *resistencia negativa* que permite que la auto-oscilación ocurra y de mantener el estado lógico cada vez que el pulso de clock realiza una transición bajo-alto. Una condición necesaria y suficiente para que esta auto-oscilación suceda es $g_{mL} \cdot R > 1$; si esta condición no se cumple, el divisor podría seguir funcionando pero necesitaría una gran amplitud de la señal de clock.

6.3. Dimensionado de los transistores

6.3.1. Transistores del Latch

Los transistores del par diferencial cruzado determinan fuertemente la frecuencia de auto-oscilación. Para aumentar la frecuencia de funcionamiento es necesario reducir el tamaño de estos transistores (M_L).

A medida que este tamaño va decreciendo, los polos del circuito se van acercando al eje imaginario desde el semi-plano derecho. Si se achica por debajo de un valor crítico, estos polos pasarán al semi-plano izquierdo haciendo que la oscilación natural desaparezca. En este caso, el latch no funcionará y solo aportará una capacidad al nodo de salida. Se puede observar en la *Figura 6.6* que a medida que M_L decrece la curva se mueve hacia la derecha haciendo que la frecuencia natural de oscilación sea mas alta, pero además la tensión V_{max} necesaria para que se produzca también se incrementa. En el caso de la curva de color verde, V_{max} es demasiado grande por lo que la oscilación natural desaparece. Por el contrario, si la relación $W_D/W_L \approx < 0,4$ la frecuencia natural de oscilación se reduce drásticamente (curva de color amarillo).

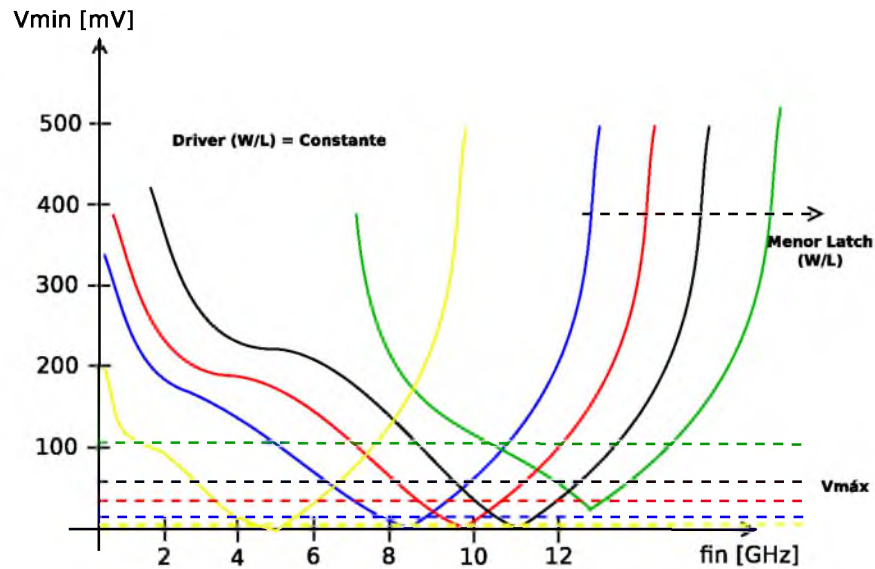


Figura 6.6: Curva de sensibilidad en función del tamaño de M_L

6.3.2. Transistores del Driver

El tamaño de estos transistores no afectan en gran medida la auto-oscilación del circuito, pero si tienen un efecto sobre la tensión necesaria para que ella ocurra. Por lo tanto es posible encontrar el valor óptimo de tamaño, mediante simulaciones, para el cual esta tensión sea mínima.

6.3.3. Transistores de Clock

En operación de alta frecuencia es muy importante maximizar la energía acoplada en el nodo común a ambos source de los transistores para una señal de entrada dada, por lo que tanto los transistores de bias como los de clock deben ser dimensionados de manera correcta.

Dado un tamaño de los transistores de clock, existe un valor para la tensión de modo común que proporciona la máxima frecuencia de oscilación natural. A medida que M_C decrece, V_{max} se incrementa y la frecuencia de auto-oscilación disminuye. Por lo tanto es necesario dimensionar M_C de acuerdo a la frecuencia natural deseada. Nuevamente, la forma mas exacta de hacerlo es mediante simulaciones

6.4. Divisor CMOS

Como se dijo anteriormente, las limitaciones de la tecnología frente a la velocidad de operación y el compromiso entre velocidad-consumo obligaron a separar el divisor x32 en dos partes:

- I- División x2 utilizando lógica CML
- II- División x16 utilizando lógica CMOS.

En el caso del divisor CMOS, se utilizaron los flip-flops de alta velocidad descritos en *Sección 4.2* conectados en cascada formando un divisor x16 asíncrono (36). Un diagrama en bloques de este divisor puede verse en la *Figura 6.7* y una implementación de uno de los flip-flops D en la *Figura 6.8*:

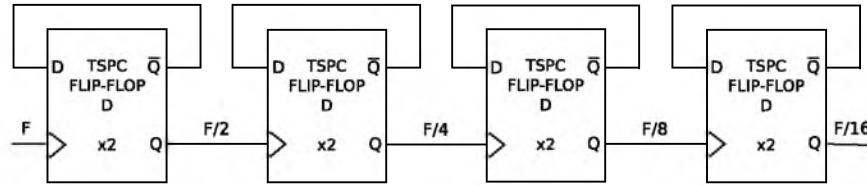


Figura 6.7: Diagrama en bloques del divisor CMOS

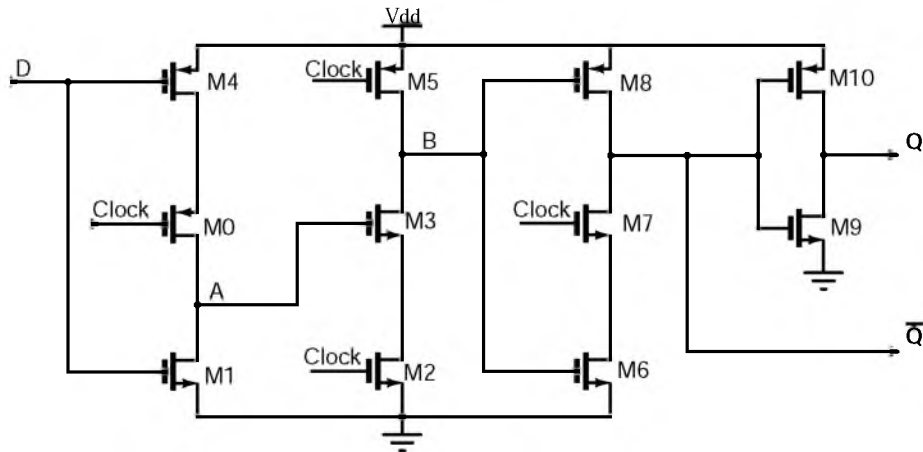


Figura 6.8: Implementación de un divisor TSPC x2 CMOS

El funcionamiento del circuito anterior es el siguiente: cuando el Clock = 0, el inversor de entrada formado por M1-M4 muestrea la señal de entrada D en el nodo A. El segundo inversor (dinámico) se encuentra en modo de pre-carga con M5 cargando el nodo B hacia VDD. El tercer inversor esta en modo “hold” (mantenimiento) porque los transistores M7 y M8 están cortados.

Entonces, durante el estado bajo de clock, la entrada del último inversor está manteniendo su valor anterior y la salida permanece estable.

Cuando llega el flanco de subida del clock, el inversor dinámico M2-M5 evalúa el nodo A. Si en ese momento A se encuentra en alto, el nodo B se descarga a cero. El tercer inversor M6-M8 permanece encendido durante el estado alto de clock y el valor del nodo B se pasa a la salida. Durante este estado del clock, A se mueve hacia cero si D se mueve hacia VDD. Por lo tanto, la entrada D debe mantenerse estable hasta que el nodo A llegue a su valor final antes que el flanco de subida del clock lo propague hacia el nodo B. Esto es lo que representa el tiempo de mantenimiento (hold time) del latch. Esencialmente el tiempo de propagación del latch es de 3 inversores mientras que el tiempo de espera (set-up) es el requerido para que el nodo A esté en un estado válido, por lo tanto, el de un inversor.

El dimensionado de este tipo de latch es crítico ya que depende fuertemente del tiempo de subida y bajada del pulso de clock. Cuando se utilizan clocks de baja velocidad los transistores NMOS y PMOS no son conmutados simultáneamente resultando en valores indefinidos en los nodos y por lo tanto un funcionamiento inestable. Esta dependencia de la señal de clock se debe a que las capacidades asociadas a los nodos A y B deben cargarse y descargarse en las transiciones, en baja frecuencia si las capacidades son muy pequeñas se descargan completamente antes de tiempo y no logran asegurar que los valores de A y B sean estables durante el período de clock que corresponda.

En este trabajo todos los latches del divisor CMOS son iguales a excepción del último (que se encarga de dividir 312.5MHz en 156.25MHz). Este latch de baja velocidad posee los transistores de clock con la misma relación W/L que los de alta velocidad pero utilizan el doble del largo del canal (y por lo tanto el doble de ancho). De esta manera se asegura que las capacidades de los nodos A y B sean lo suficientemente grandes como para mantener estables los valores y que el circuito funcione de manera correcta.

6.5. Conversor CML-CMOS

Una de las desventajas de utilizar dos lógicas diferentes en el divisor es la necesidad de proporcionar un circuito que sea capaz de funcionar como interfaz entre ellas. El conversor CML-CMOS es el encargado de acomodar los niveles de tensión de modo común y de transformar la salida diferencial del divisor CML en una señal single-ended que será inyectada a la entrada del divisor CMOS.

El circuito consta de un amplificador diferencial y de un buffer CMOS tradicionales. El capacitor C_c tiene la función de acoplar la señal alterna y de aislar la tensión de modo común del buffer CMOS. Por otro lado, la resistencia, que posee un valor elevado, fija el modo común de salida igual al modo común de entrada del buffer CMOS. Además este circuito provee el cambio de nivel de tensión de 1.2V a 1V necesario para la interfaz entre los transistores analógicos y digitales de la tecnología y que a su vez sirve para aislar la alimentación analógica de la digital evitando acoplamientos de ruido a través de ellas.

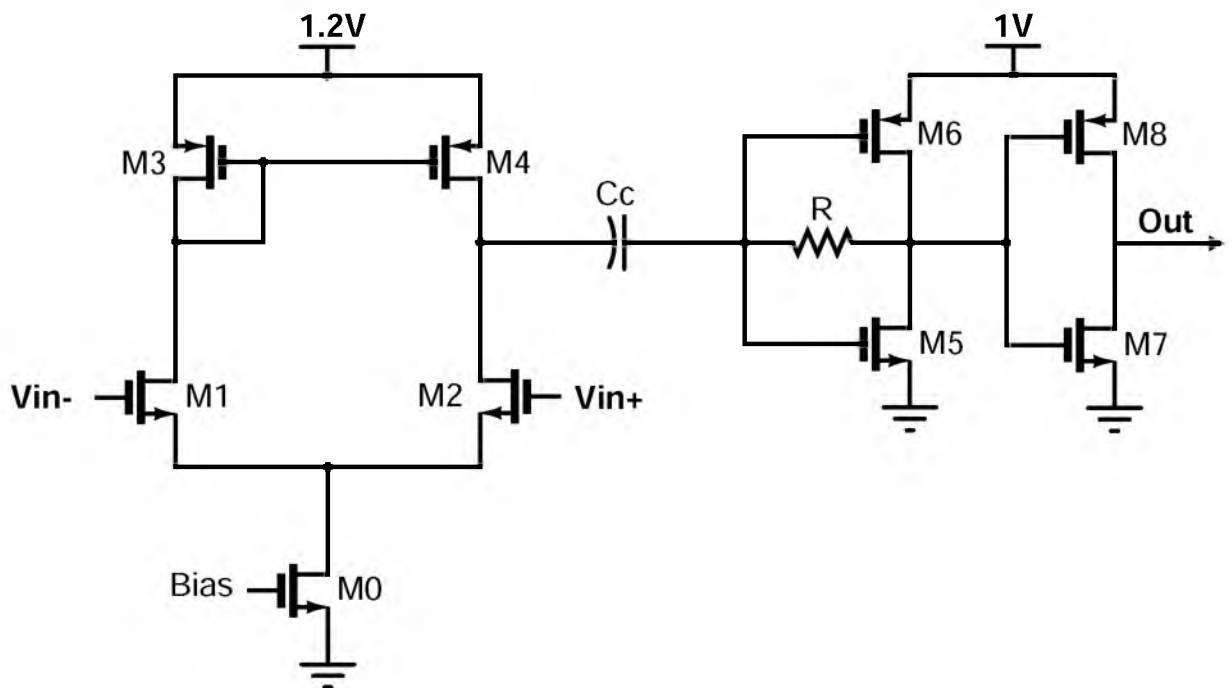


Figura 6.9: Implementación del conversor CML-CMOS

PARTE B: TestBenches y simulaciones

- 7 . TESTBENCH PARA EL VCO
- 8 . TESTBENCH PARA DETECTOR DE FASE
- 9 . TESTBENCH PARA EL CHARGE-PUMP
- 10 . TESTBENCH PARA EL DIVISOR

Capítulo 7

TESTBENCH PARA EL VCO

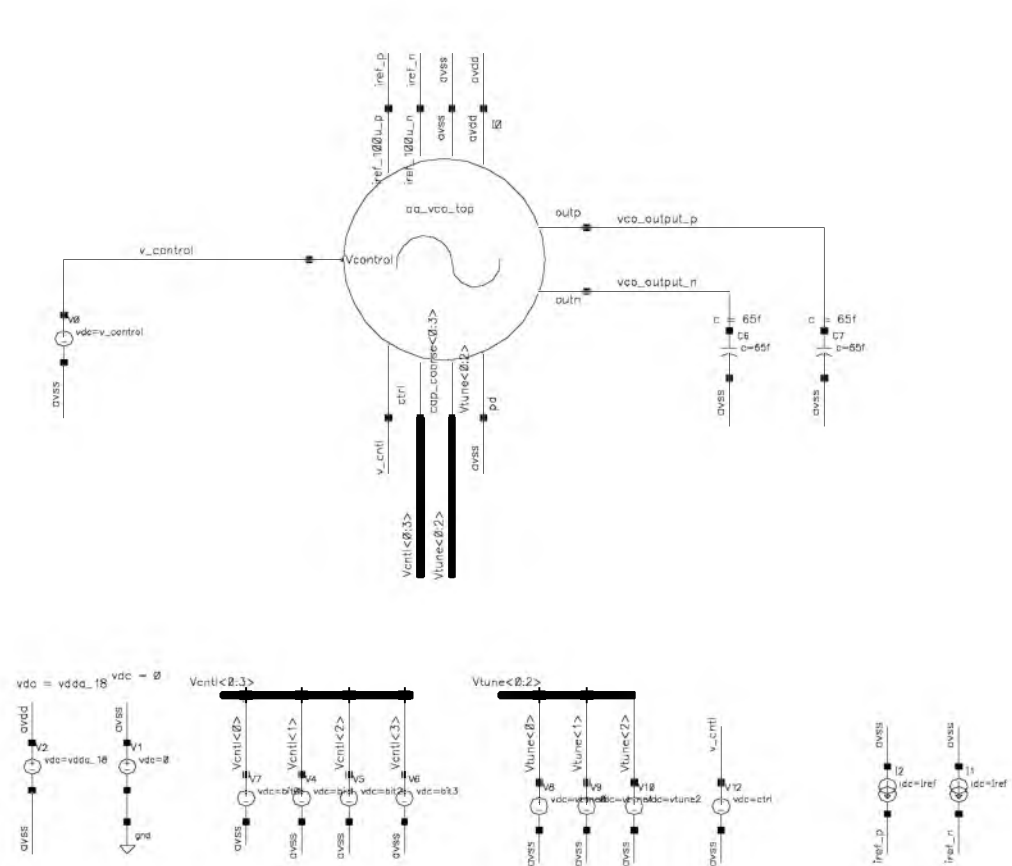


Figura 7.1: TestBench

la configuración de los corners es la de la *Figura 7.3*

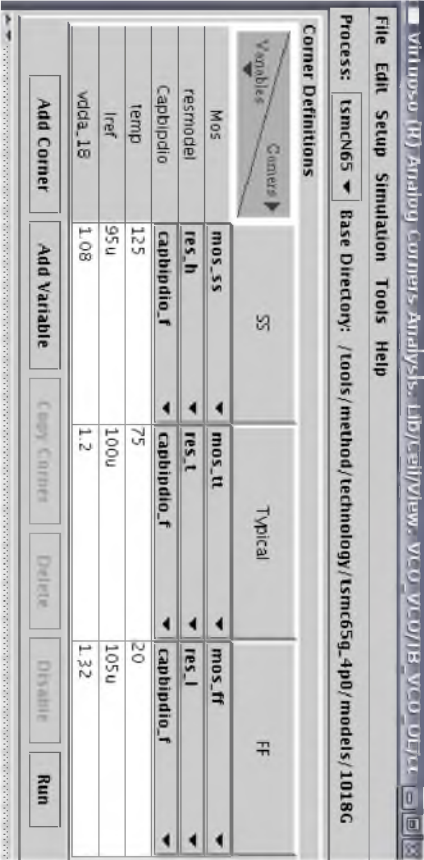


Figura 7.3: Parámetros que varían con cada corner

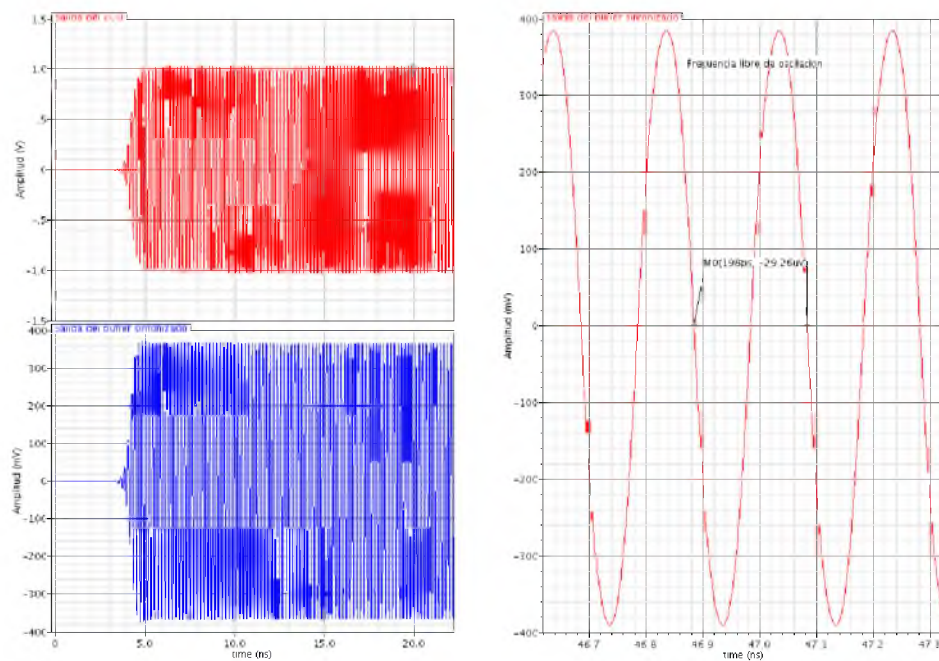


Figura 7.4: Formas de onda durante el Arranque del VCO, frecuencia de oscilación libre, VCO a lazo abierto

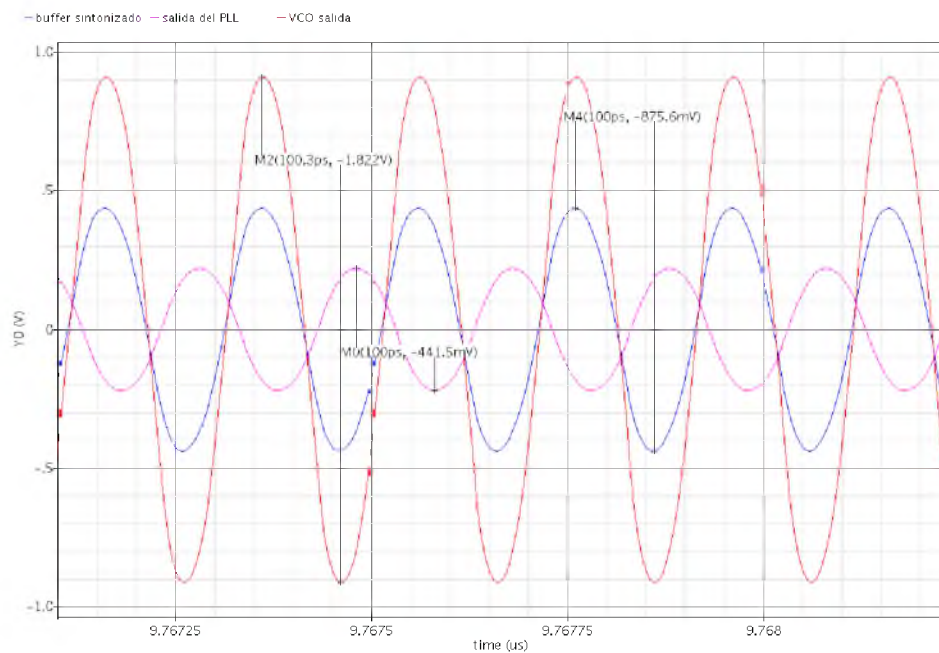


Figura 7.5: Formas de onda a la salida del VCO, a la salida del buffer sintonizado, y a la salida del buffer de carga

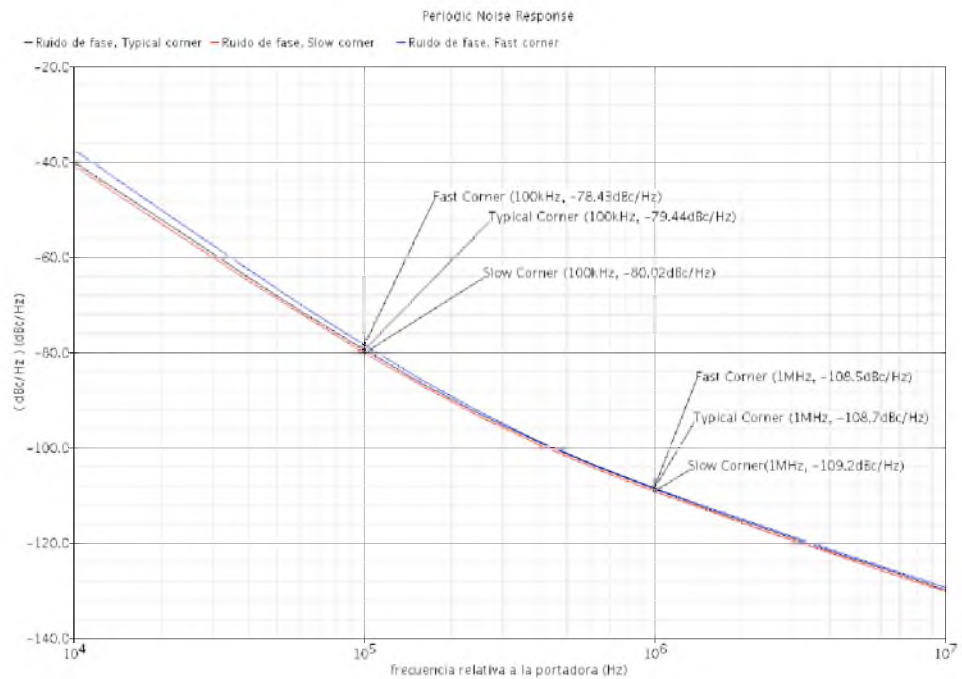


Figura 7.6: Ruido de fase del VCO a lazo abierto

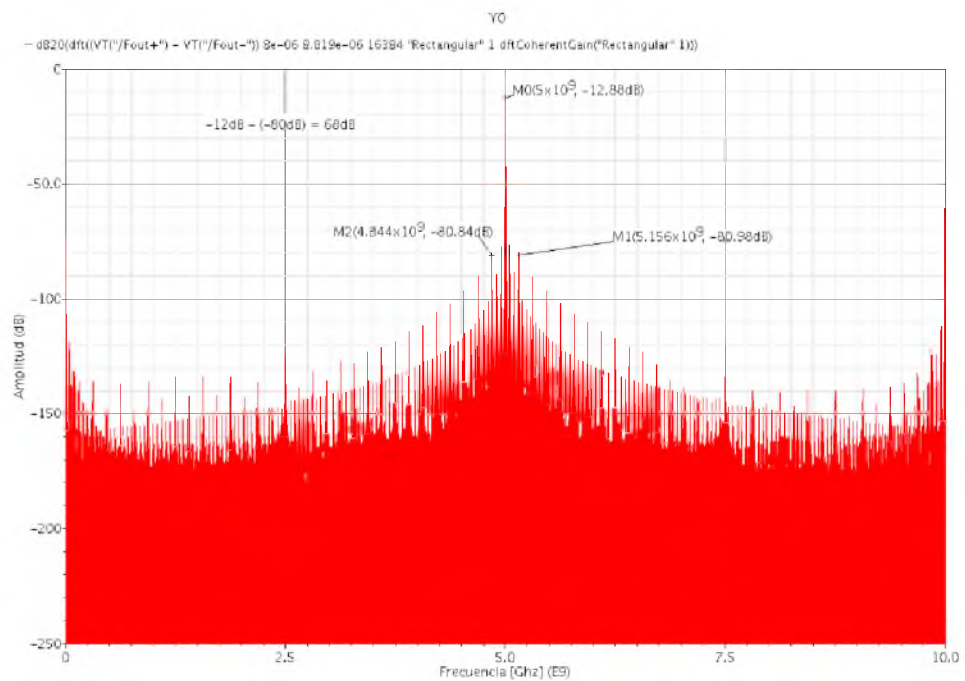


Figura 7.7: Transformada discreta de Fourier, análisis espectral

Capítulo 8

TESTBENCH PARA DETECTOR DE FASE

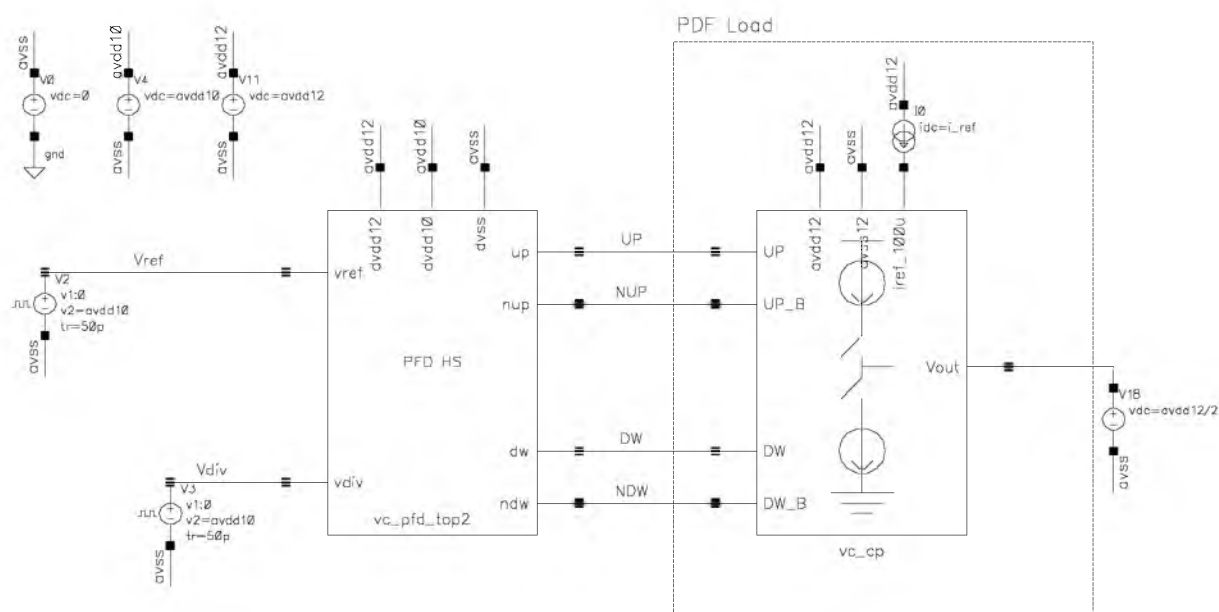


Figura 8.1: TestBench

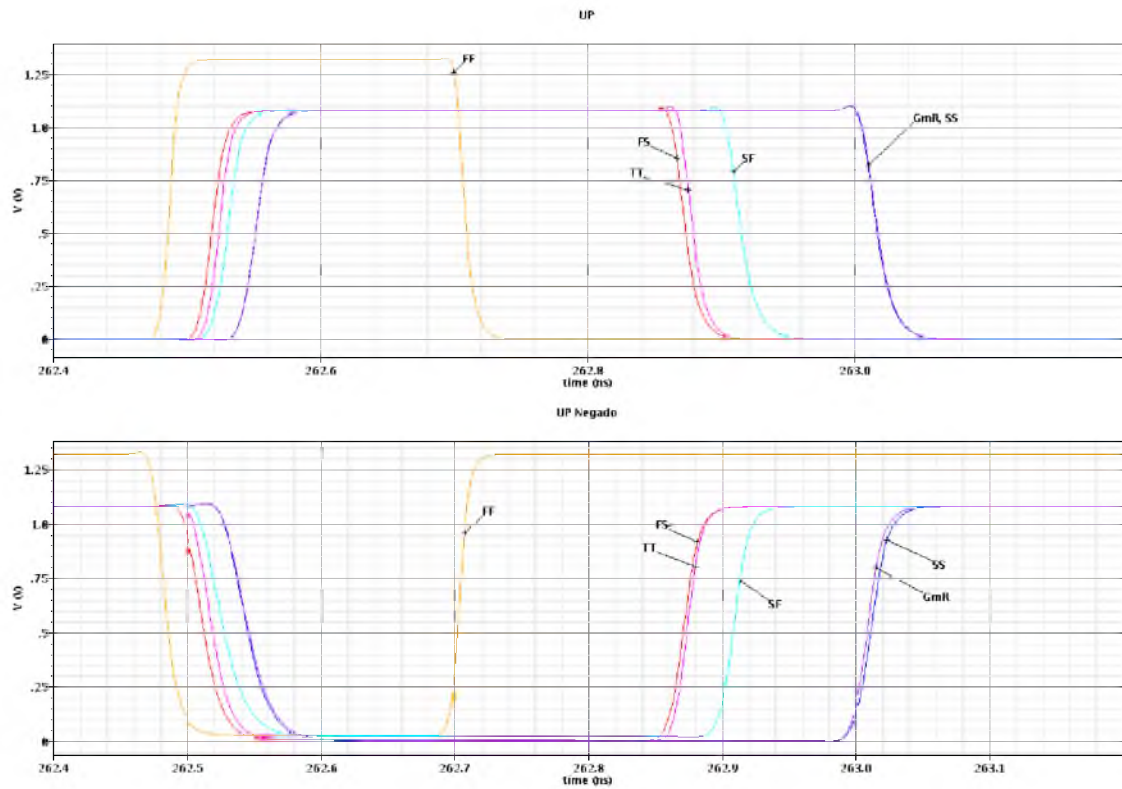


Figura 8.2: Pulsos de UP y UP Negado

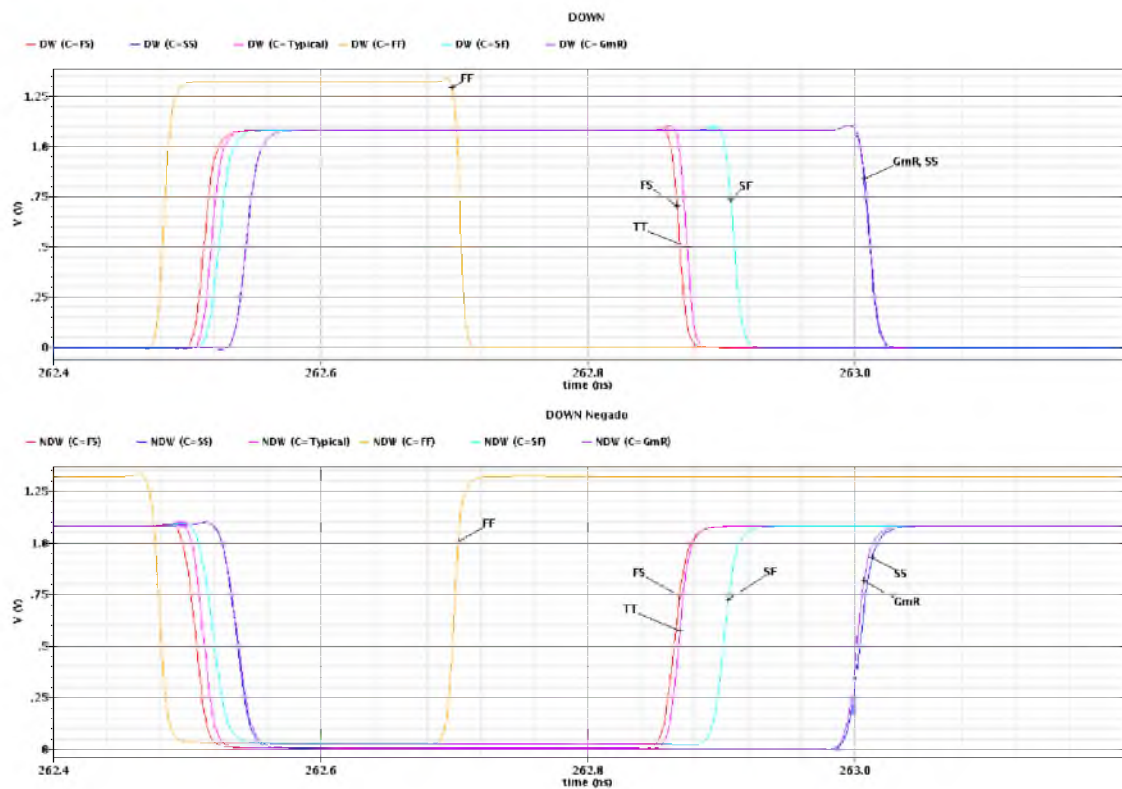


Figura 8.3: Pulsos de DOWN y DOWN Negado

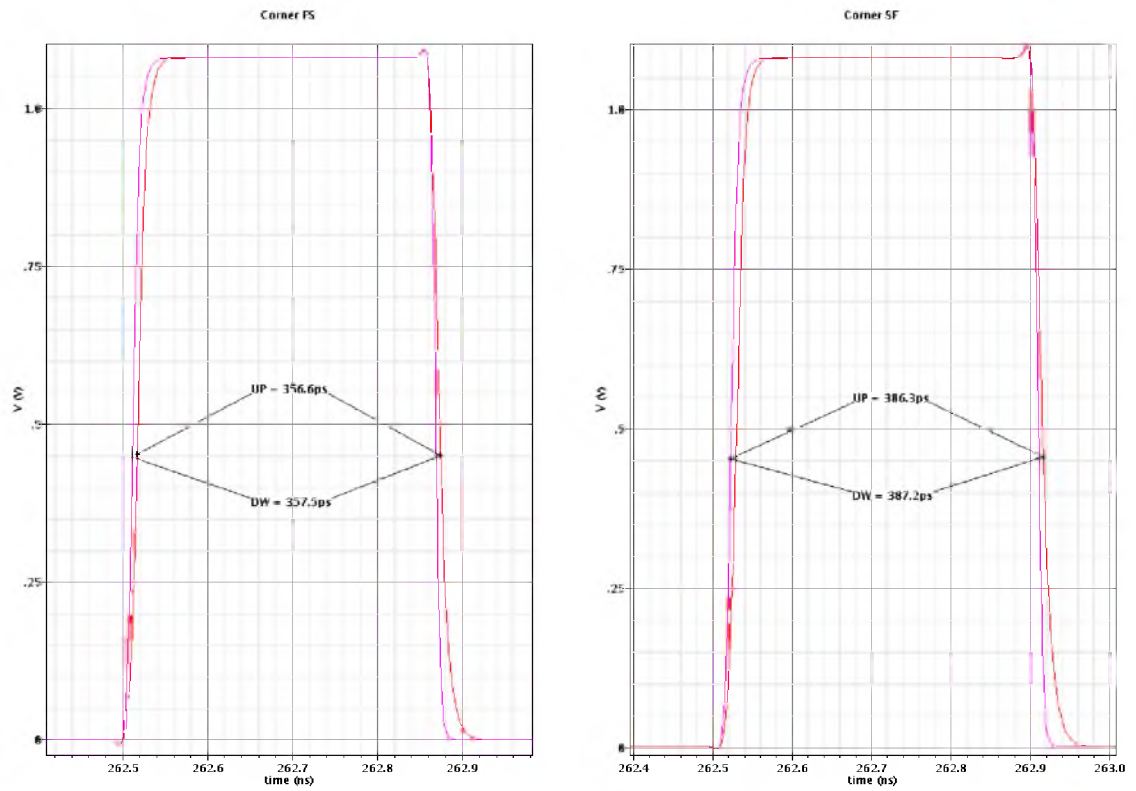


Figura 8.4: Anchos de los pulsos UP y DOWN para los corners FS y SF

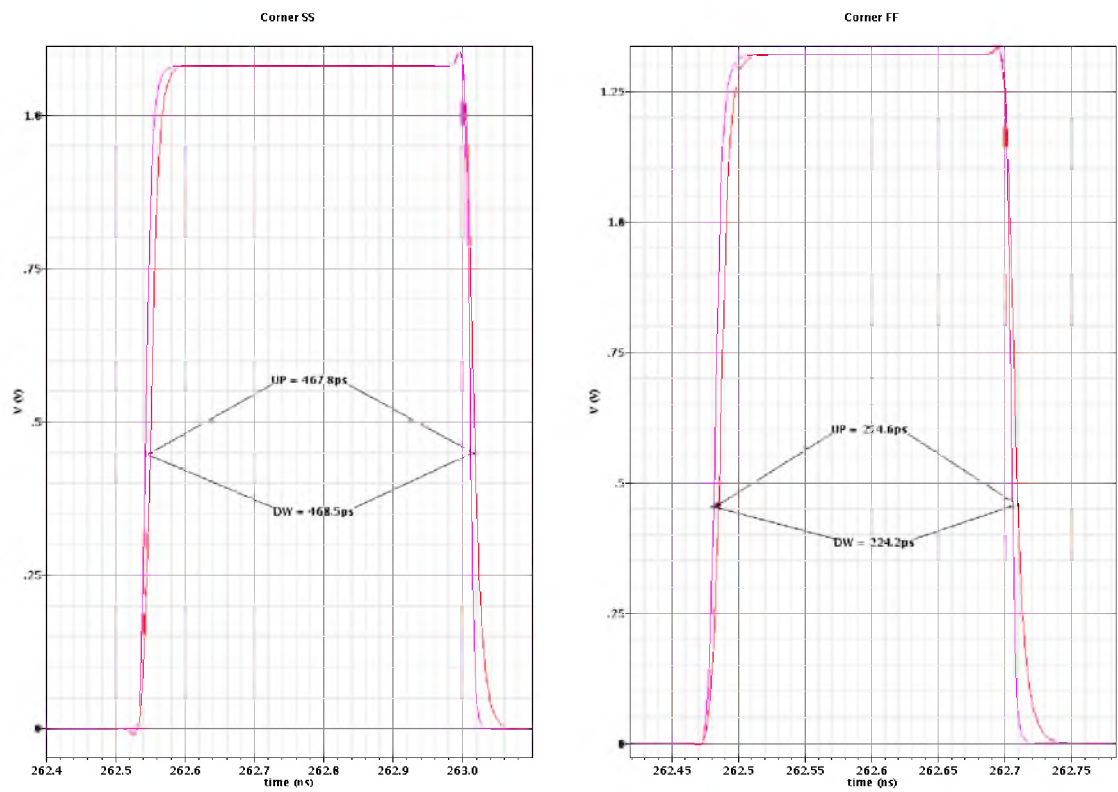


Figura 8.5: Anchos de los pulsos UP y DOWN para los corners SS y FF

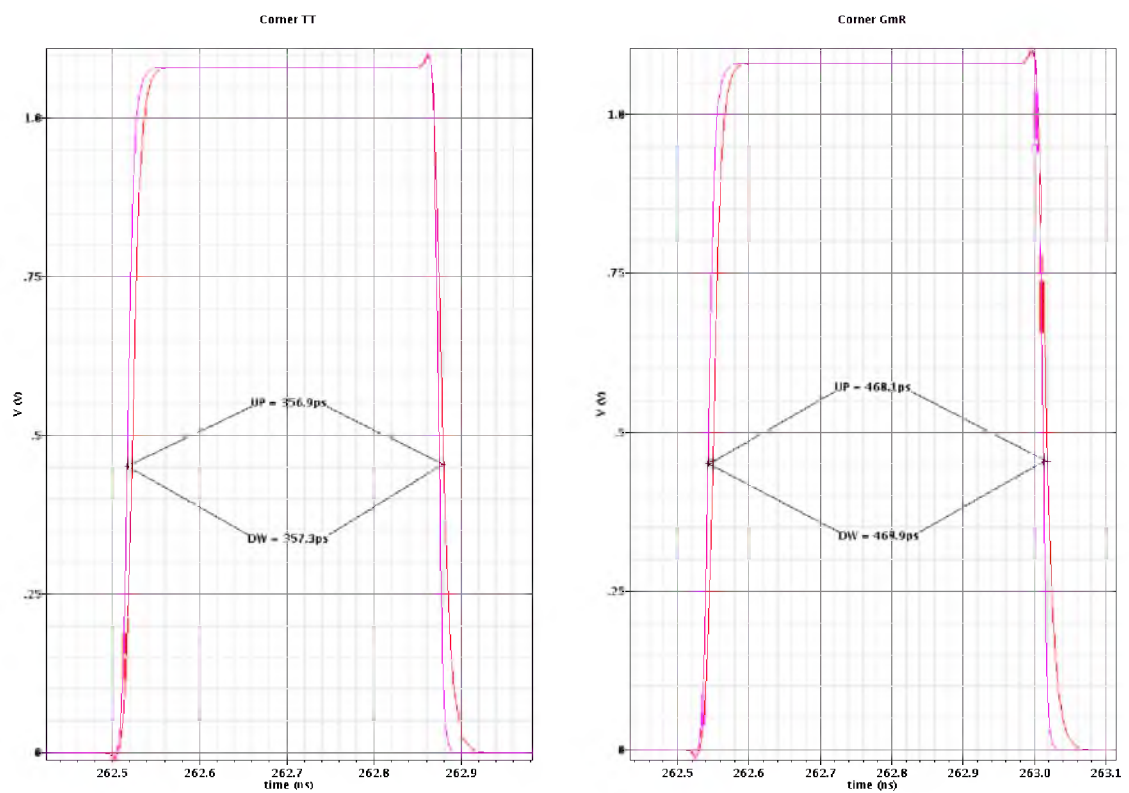


Figura 8.6: Anchos de los pulsos UP y DOWN para los corners TT y GmR

Capítulo 9

TESTBENCH PARA EL CHARGE-PUMP

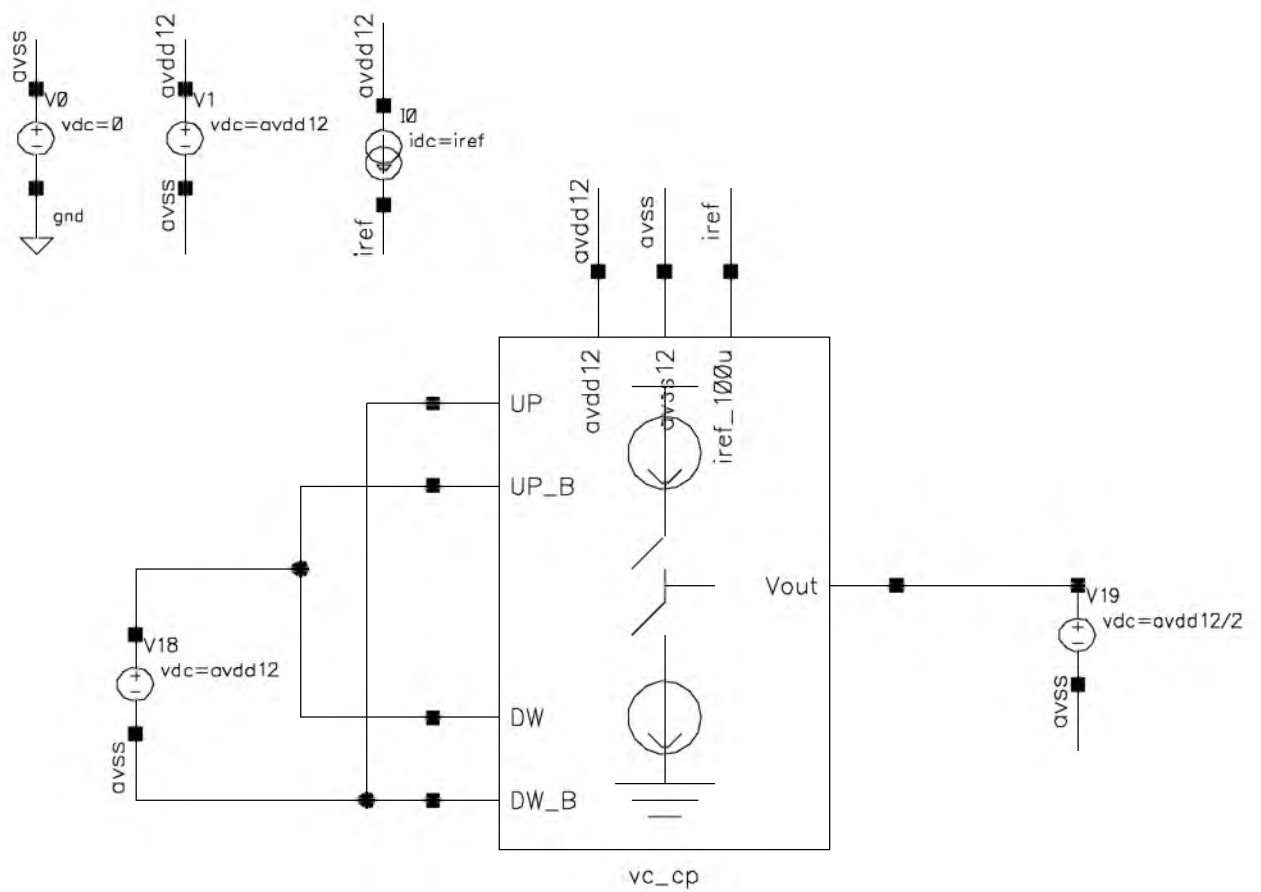


Figura 9.1: TestBench

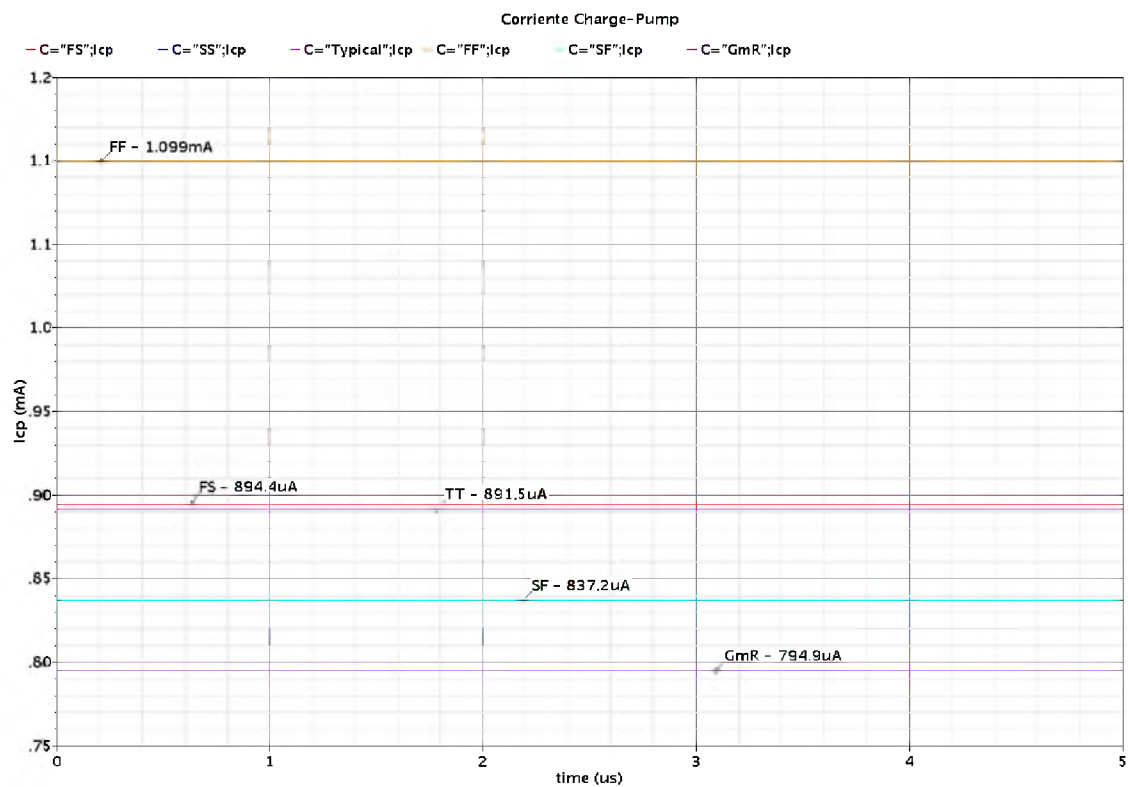


Figura 9.2: Corriente del Charge-Pump

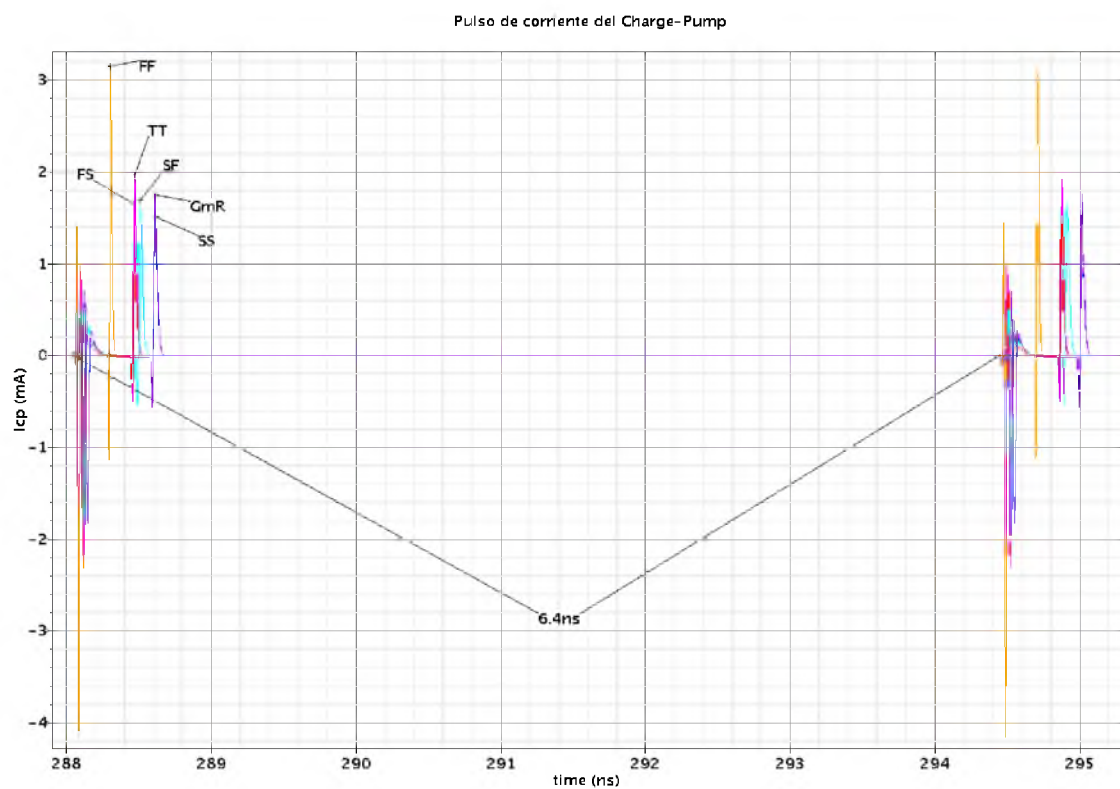


Figura 9.3: Pulso de corriente del Charge-Pump

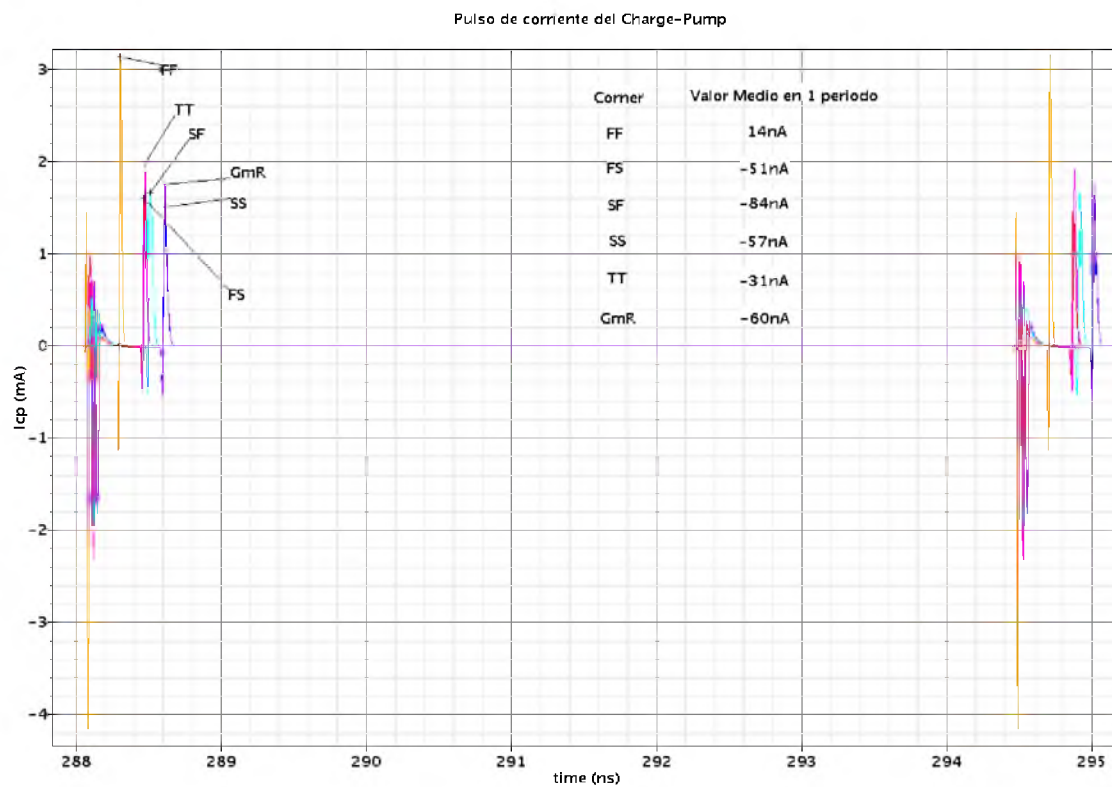


Figura 9.4: Pulso de corriente del Charge-Pump

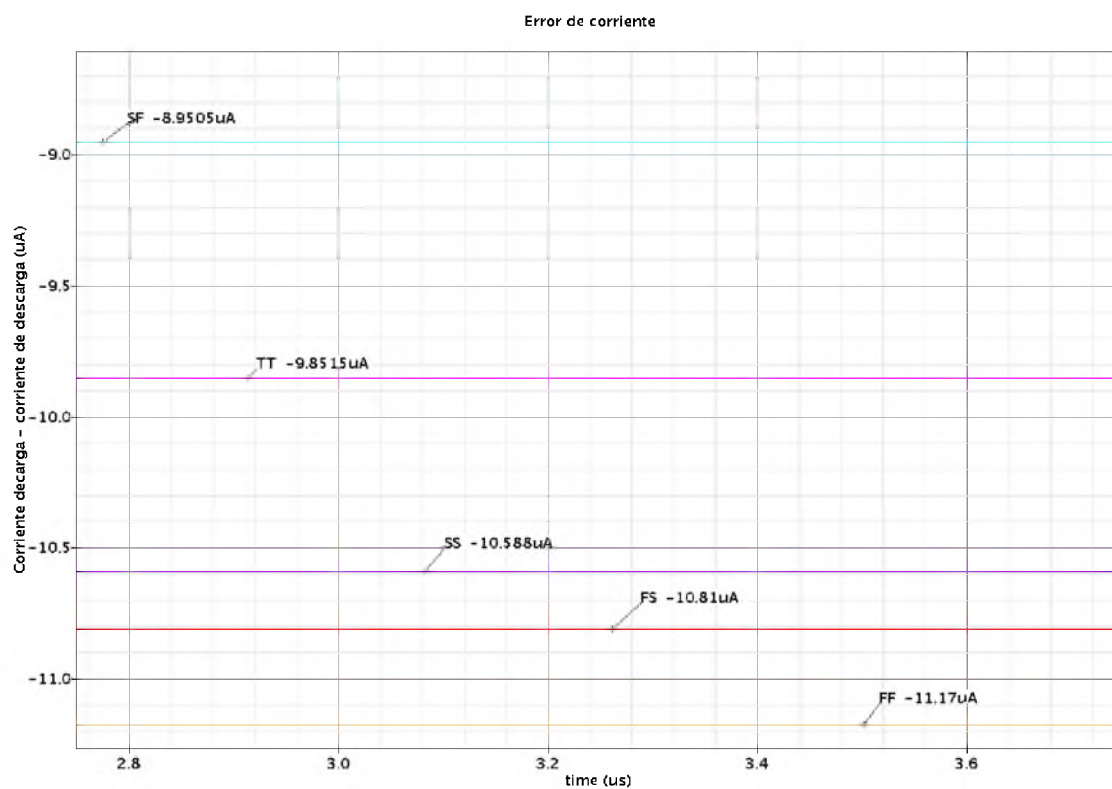


Figura 9.5: Error de corriente Carga-Descarga

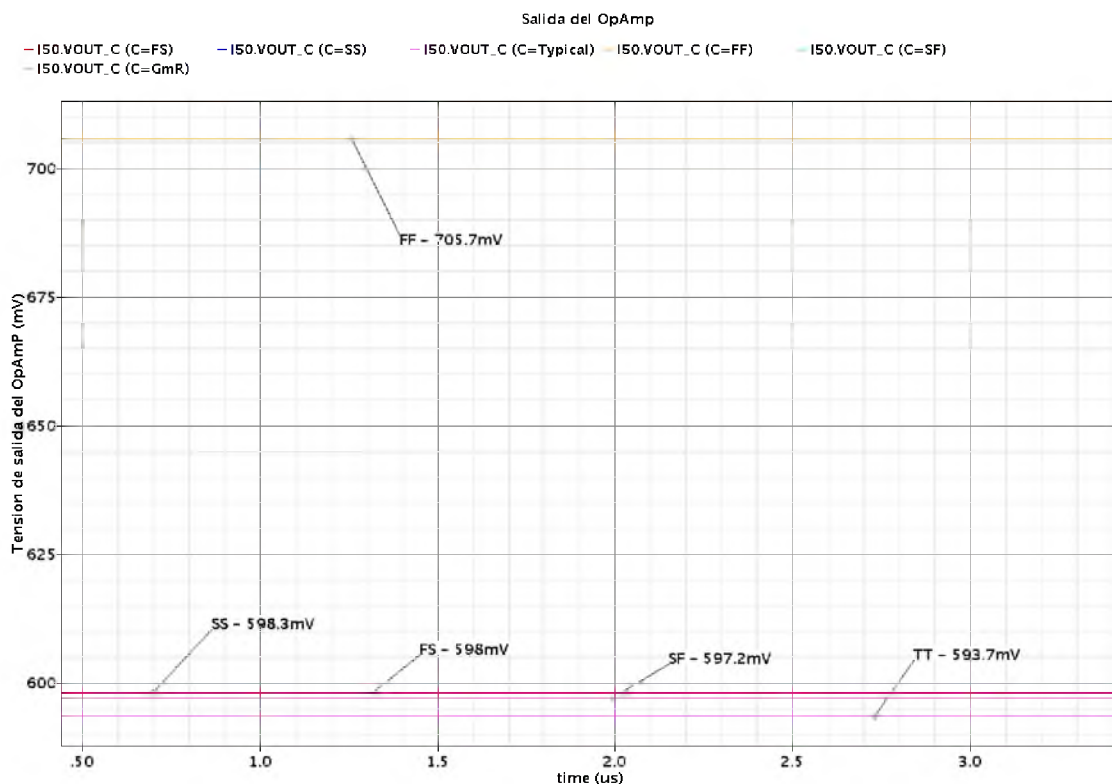


Figura 9.6: Tensión de salida del OpAmp

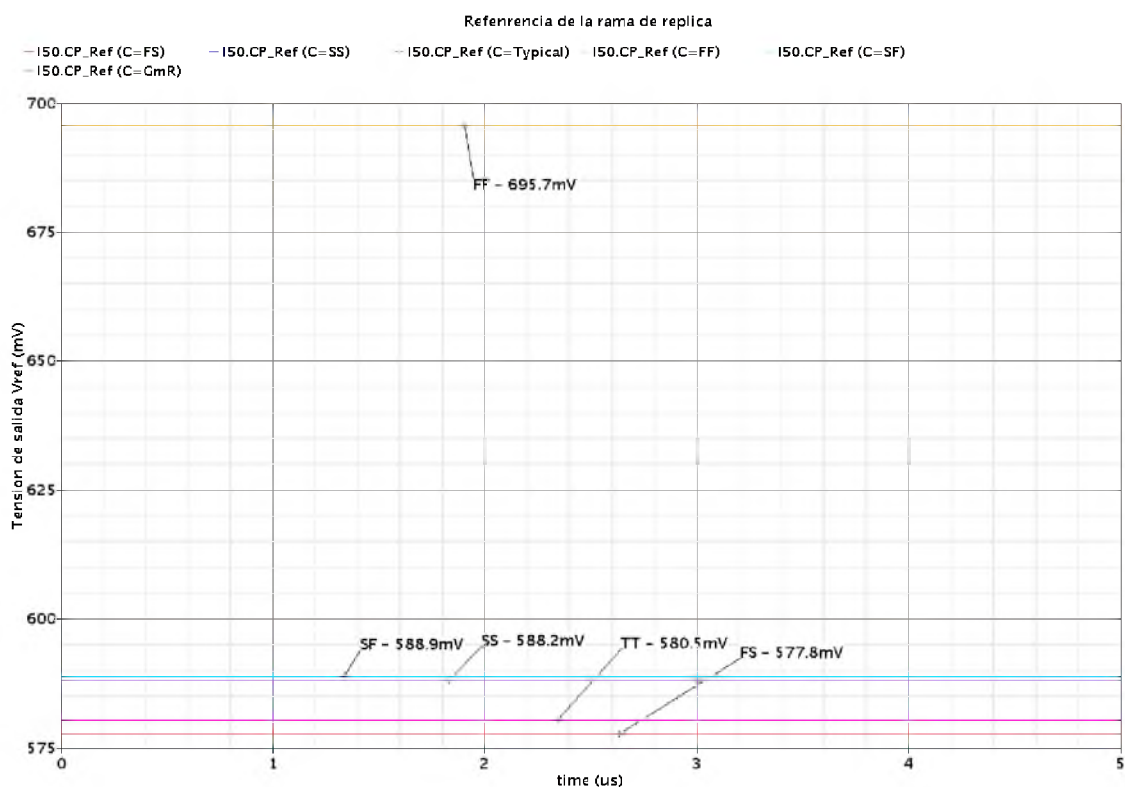


Figura 9.7: Tensión de la rama de referencia

Capítulo 10

TESTBENCH PARA EL DIVISOR

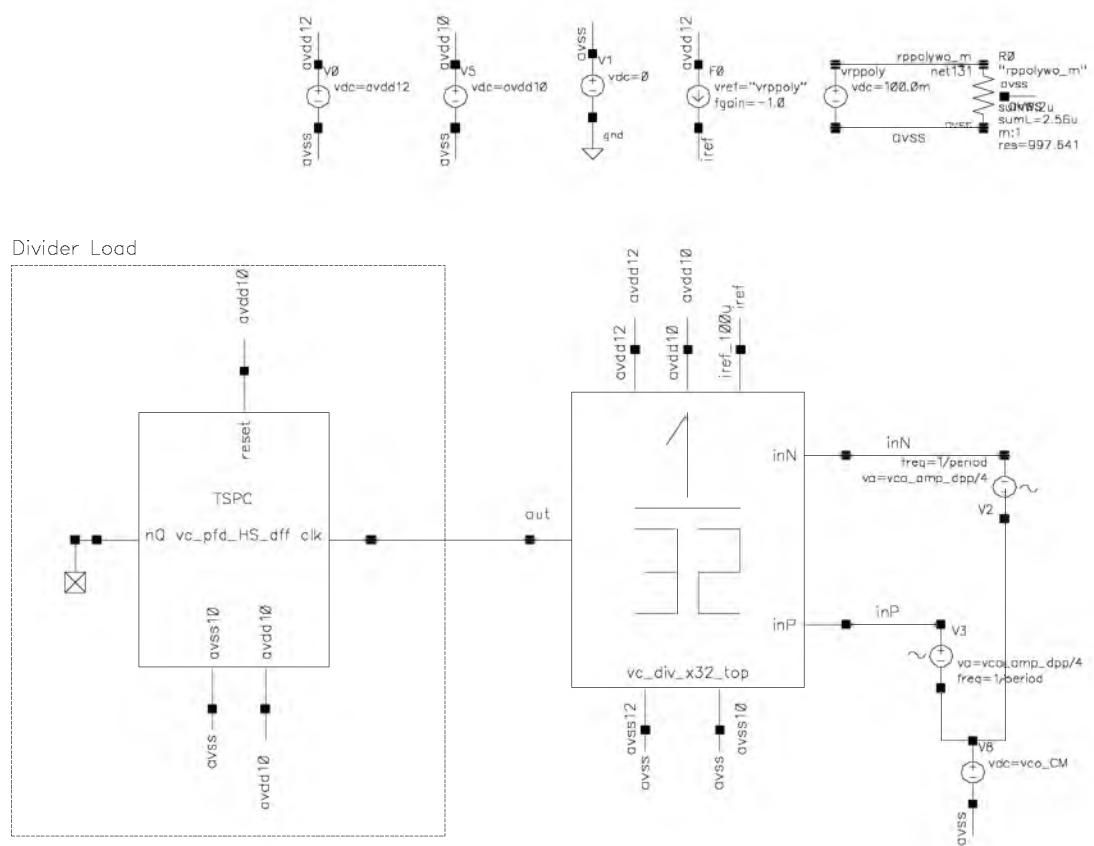


Figura 10.1: TestBench

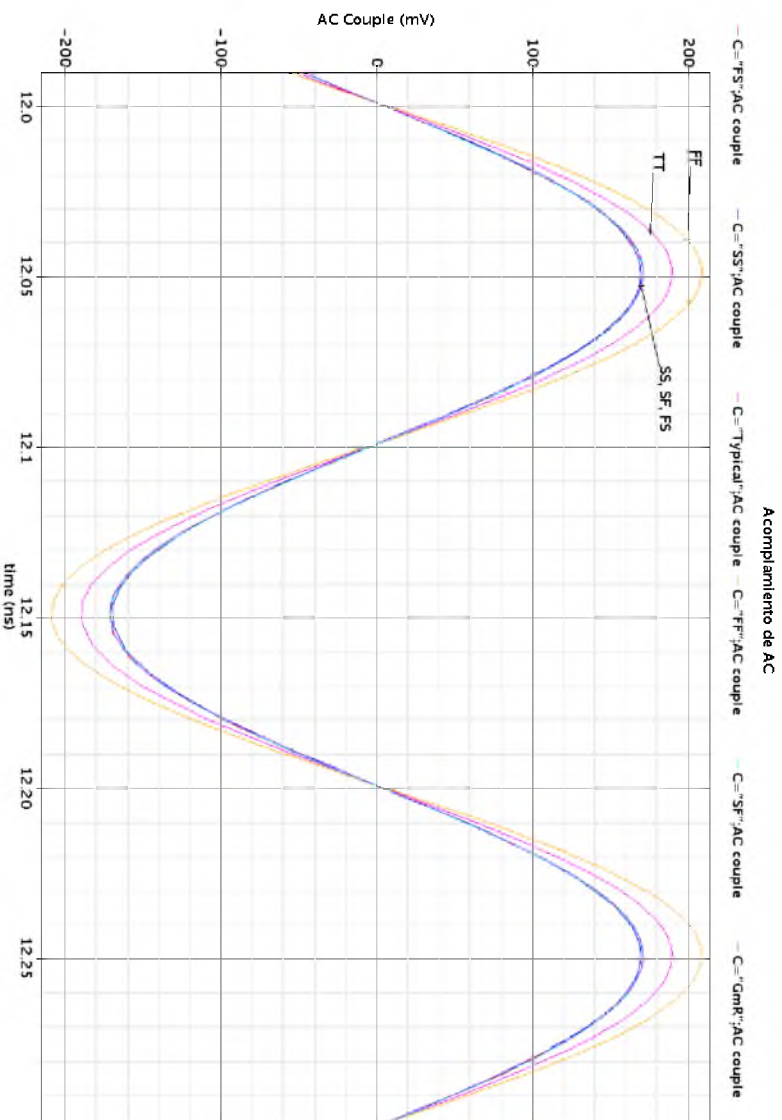


Figura 10.3: Señal de salida del acoplamiento de AC

Respuesta transitoria

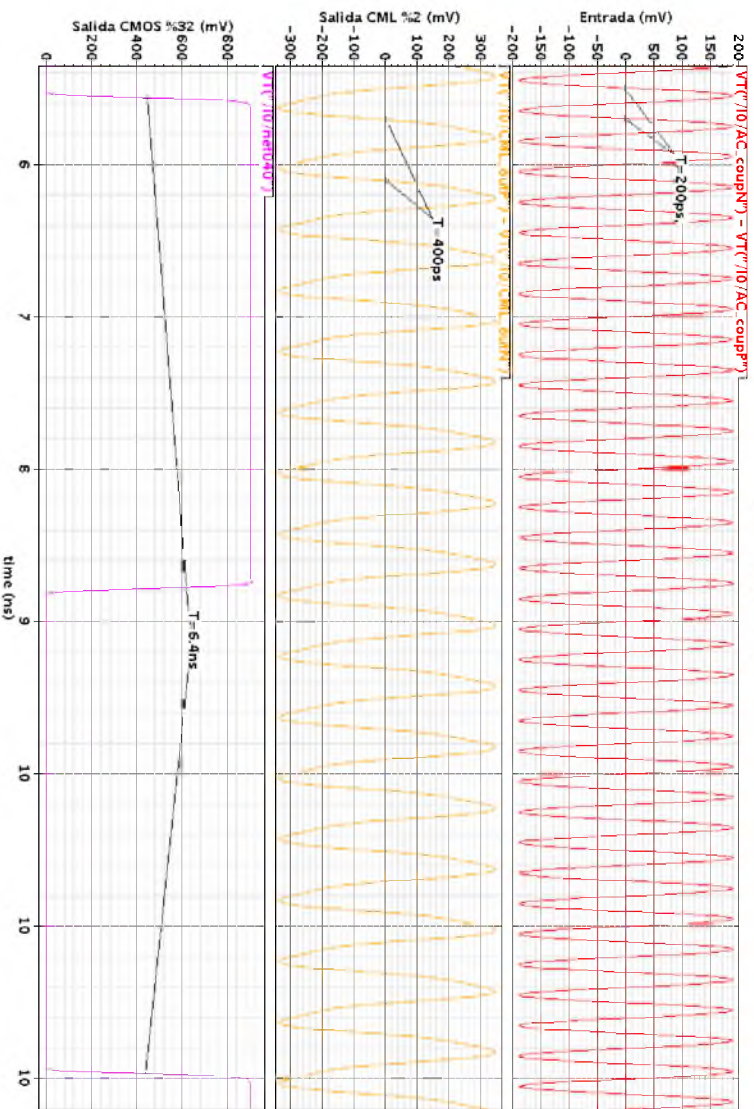


Figura 10.2: Señales de entrada y salida del divisor x32

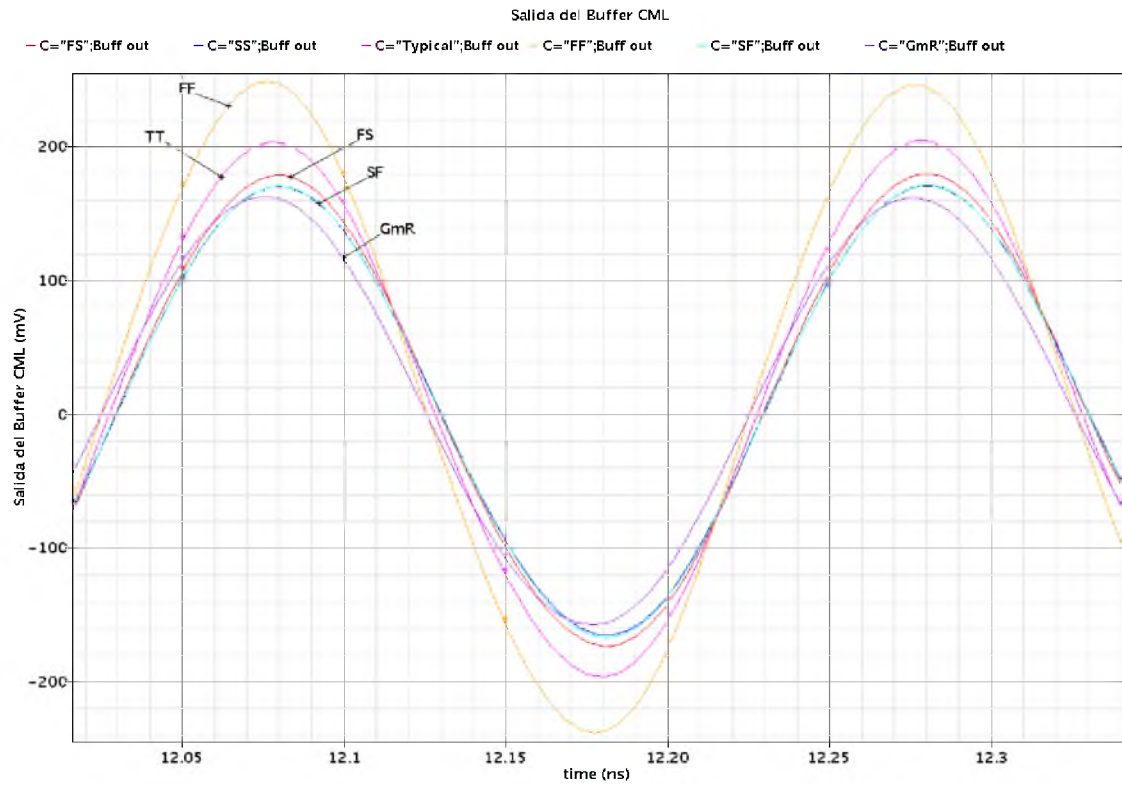


Figura 10.4: Señal de salida del buffer CML de entrada al divisor

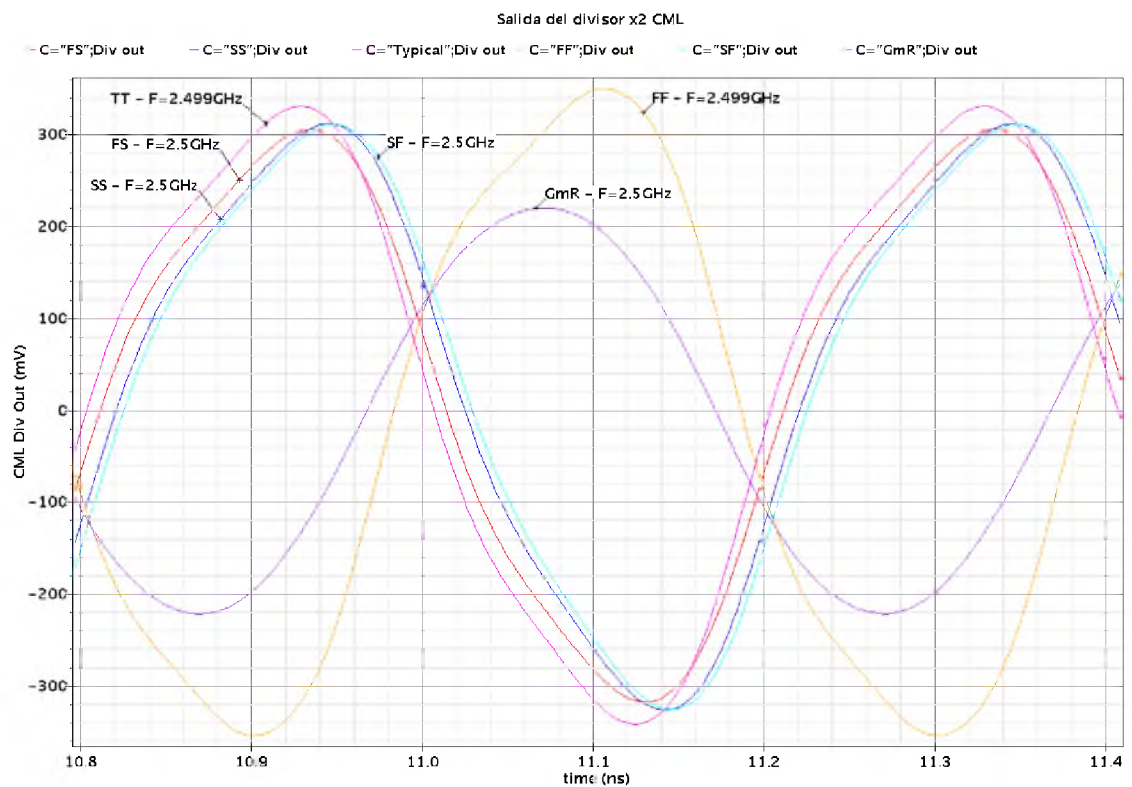


Figura 10.5: Salida del divisor CML

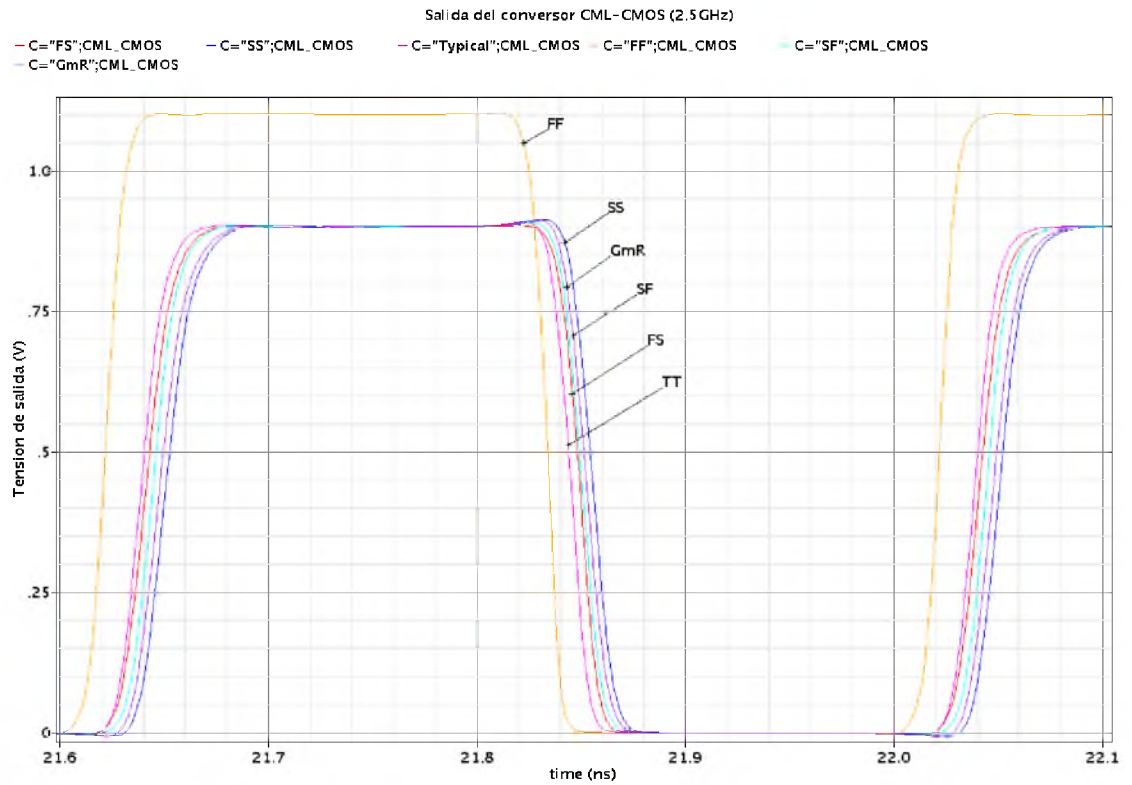


Figura 10.6: Salida del convertor CML-CMOS

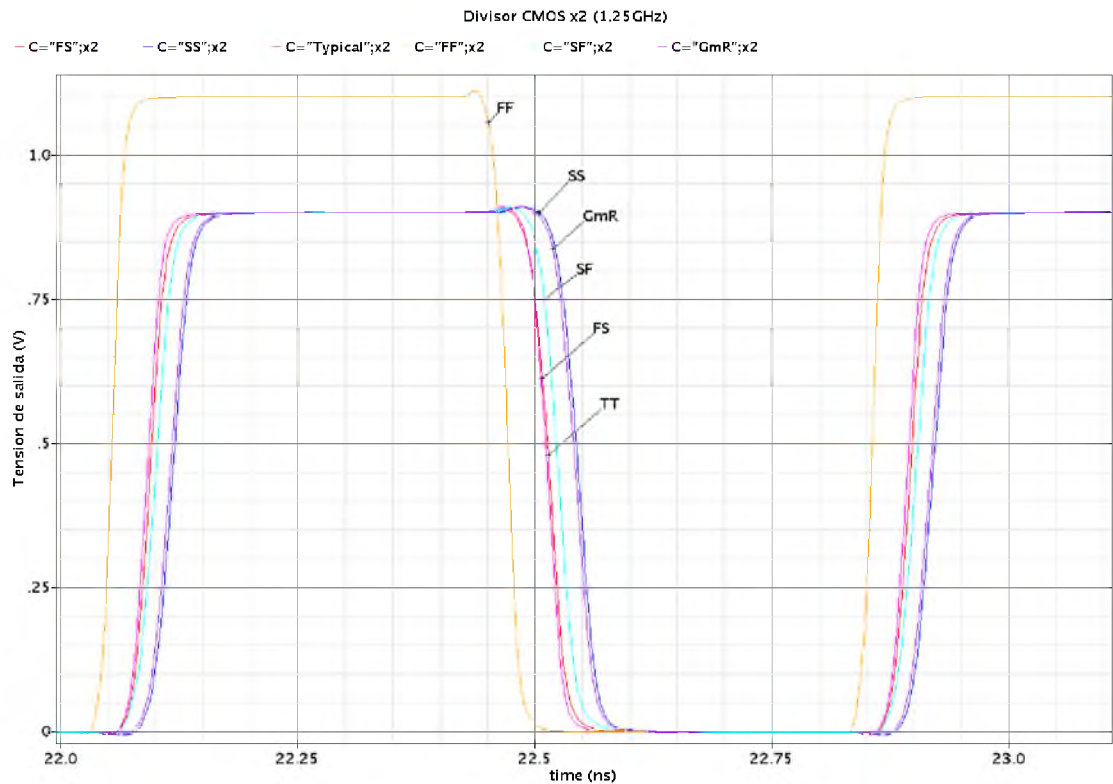


Figura 10.7: Salida del primer divisor CMOS (división total x4)

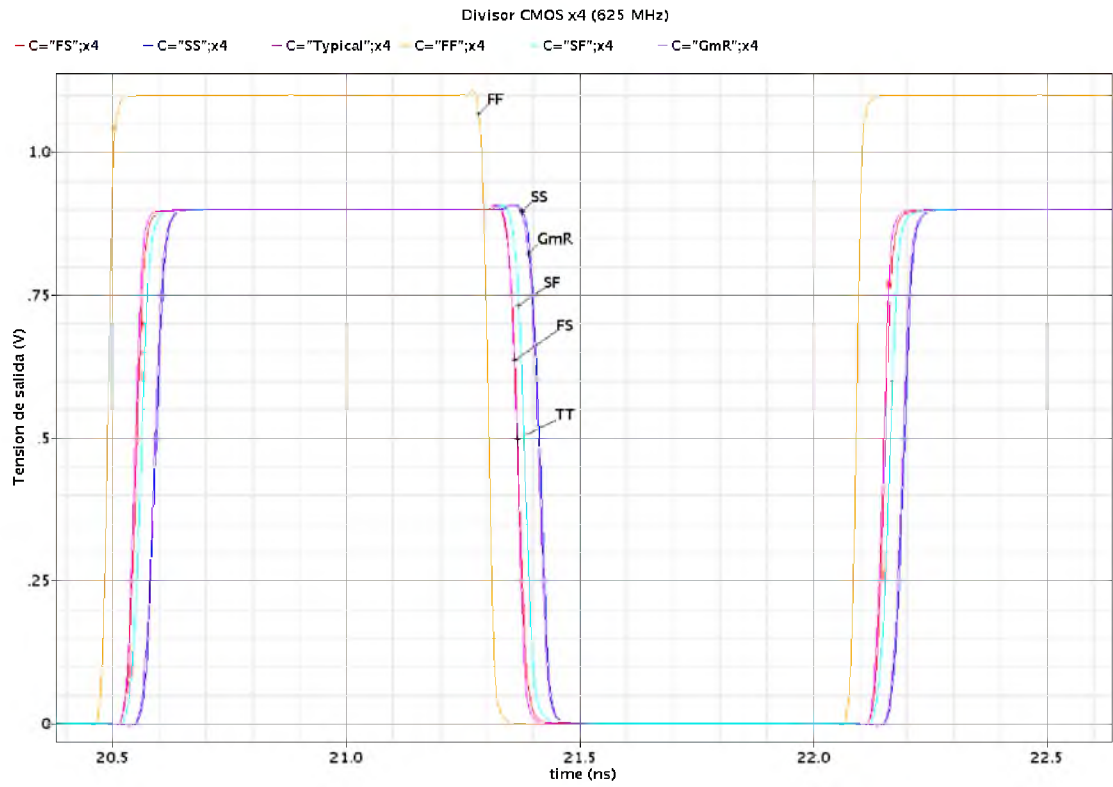


Figura 10.8: Salida del primer segundo CMOS (división total x8)

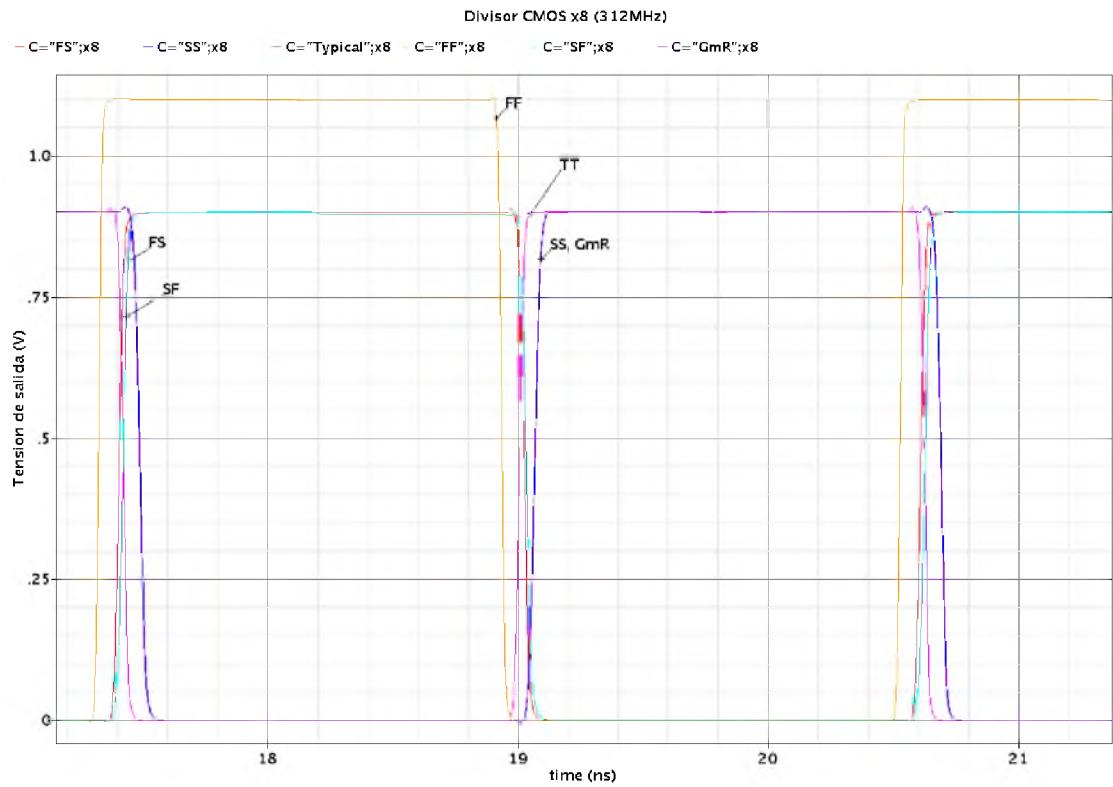


Figura 10.9: Salida del tercer divisor CMOS (división total x16)

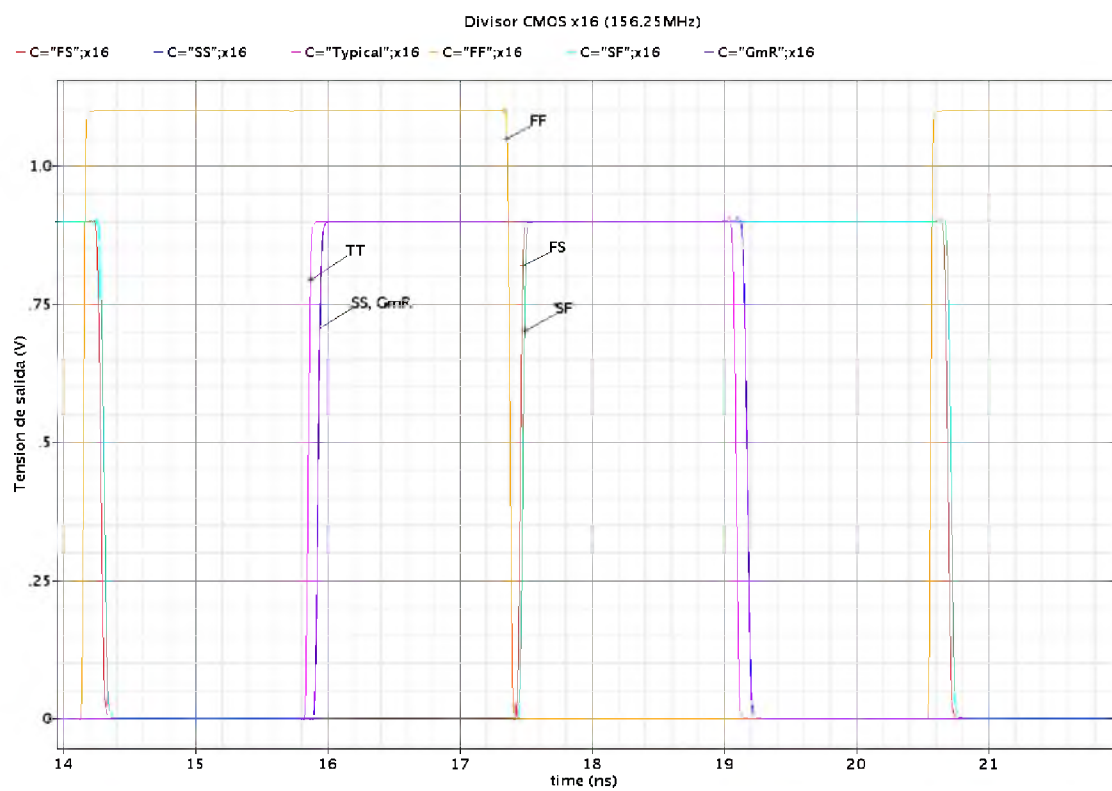


Figura 10.10: Salida del cuarto divisor CMOS (división total x32)

PARTE C: Modelos y Simulaciones

11 . MODELADO DEL PLL EN AC

12 . MODELADO DEL PLL CON MATLAB

13 . SIMULACIÓN DE LAZO CERRADO

Capítulo 11

MODELADO DEL PLL EN AC

Debido a que la potencia necesaria de cálculo para simular un PLL y obtener valores significativos es muy elevada, es indispensable caracterizar lo mejor posible el sistema utilizando modelos.

Esta caracterización puede hacerse de manera analítica según la [Sección 1.5](#) e implementarse mediante *MATCAD*, *MATLAB*, *EXCEL* o cualquier software similar. En este capítulo se mostrará un modelo lineal de lazo cerrado desarrollado para implementarse en cualquier motor de simulación, en nuestro caso *CADENCE VIRTUOSO*.

El modelo fue desarrollado para simular el comportamiento en AC del circuito, representando las variables de fase como variables de voltaje y convirtiendo ruido de fase en ruido de tensión. Se eligió por su sencillez, por tener la flexibilidad de cambiar los parámetros fácilmente, por su velocidad de simulación, porque pueden simularse diferentes tipos de filtros y también los efectos de las capacidades parásitas.

En la [Figura 11.1](#) se muestra el modelo que fue utilizado. Como se dijo, en este caso sólo se modeló el comportamiento en AC, y por lo tanto la estabilidad del sistema. Al ruido se decidió modelarlo utilizando *MATLAB* como se explica en el [Capítulo 12](#).

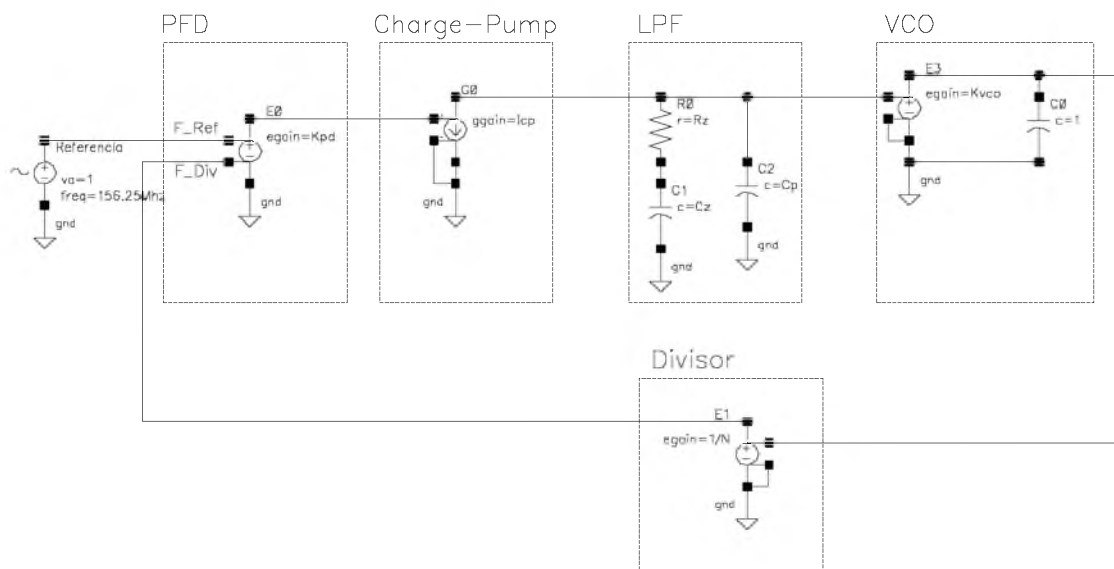


Figura 11.1: Modelo de comportamiento en AC del sistema

En la [Figura 11.2](#) puede verse la respuesta en lazo abierto (rojo) y de lazo cerrado (azul) de

un PLL con 1MHz de ancho de banda mientras que en la *Figura 11.3* se presenta su respuesta transitoria. Además se probó también con un ancho de banda de 3MHz *Figura 11.4* y *Figura 11.5* . Por último, en la *Figura 11.6* , se simularon paramétricamente diferentes valores de resistencias para observar la dependencia del factor de amortiguamiento.

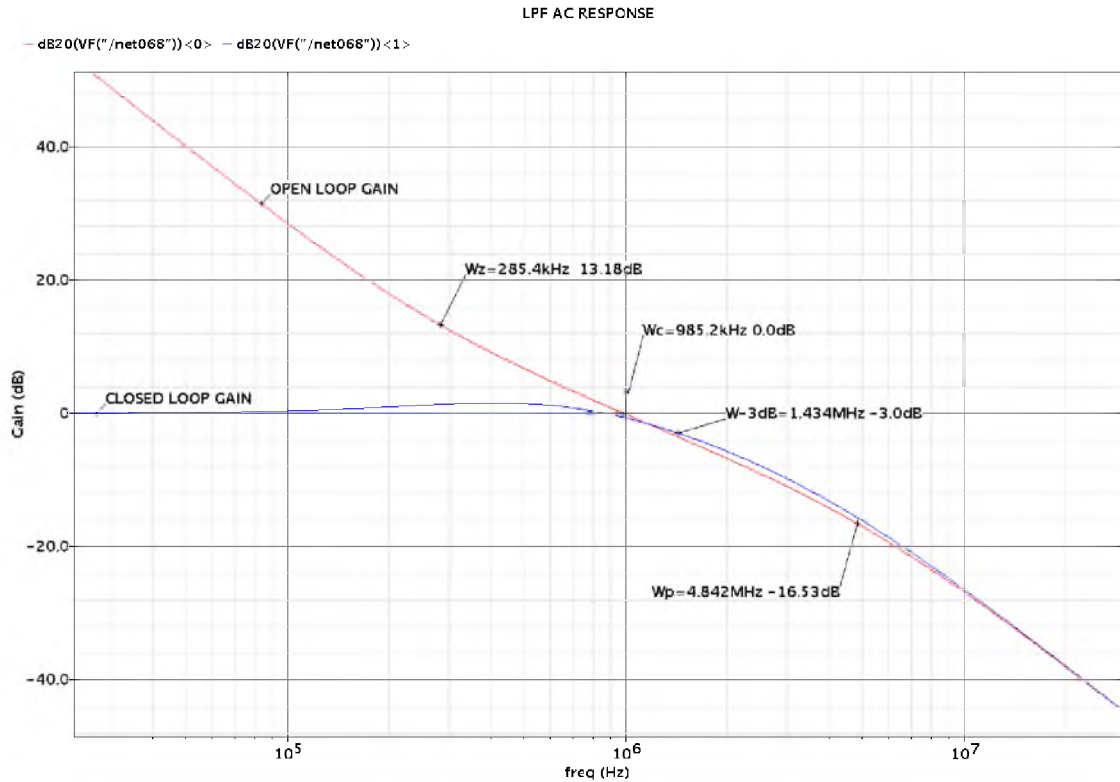


Figura 11.2: Respuesta de AC para $W_c = 1\text{MHz}$

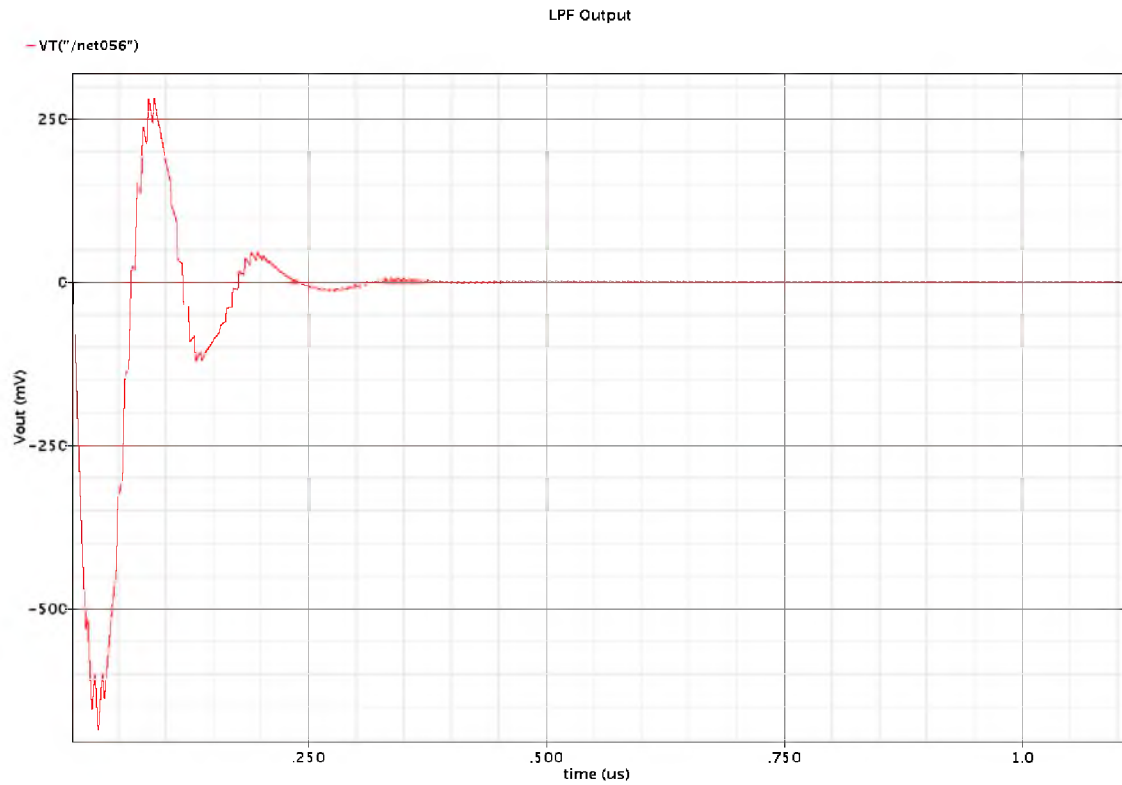


Figura 11.3: Respuesta Transitoria para $W_c = 1MHz$

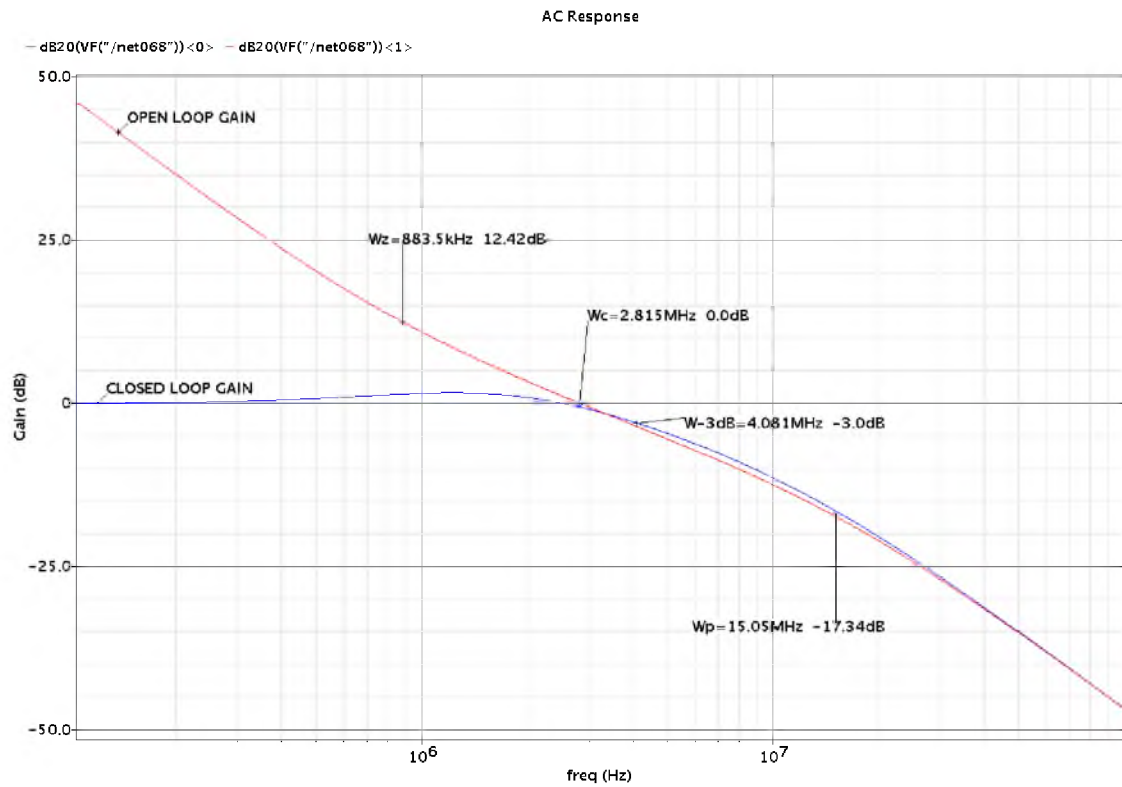


Figura 11.4: Respuesta de AC para $W_c = 3MHz$

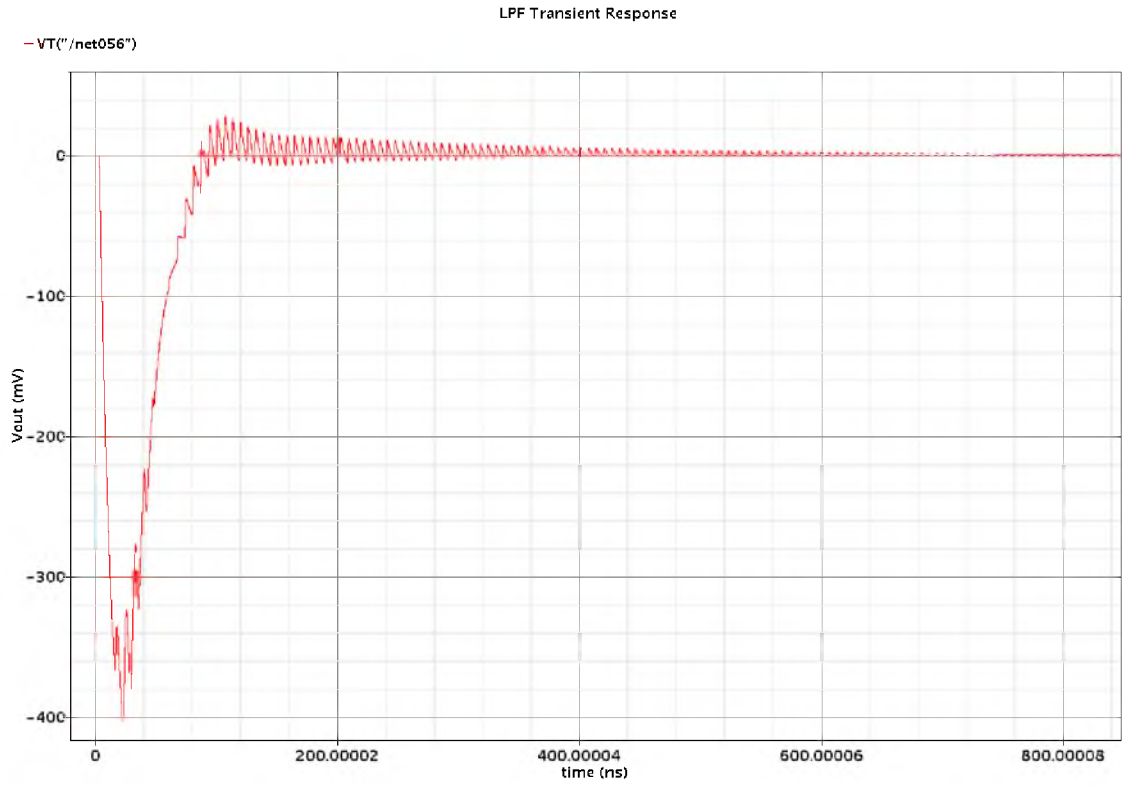


Figura 11.5: Respuesta Transitoria para $W_c = 3MHz$

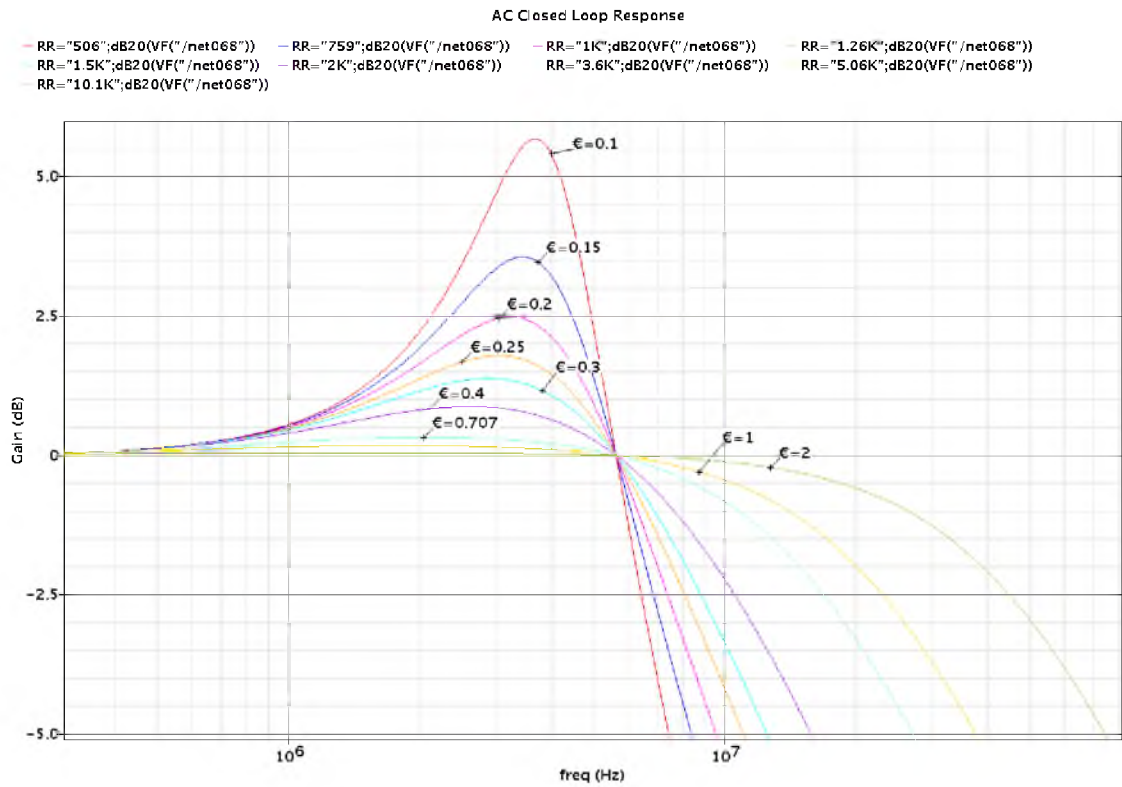


Figura 11.6: Respuesta de lazo cerrado para diferentes resistencias

Capítulo 12

MODELADO DEL PLL CON MATLAB

En este capítulo se mostrarán simulaciones realizadas con el modelo desarrollado en Matlab de donde se obtuvieron los valores de diseño para el circuito real.

El script requiere como parámetros de entrada todas las variables de diseño que se muestran en el lado izquierdo de la *Figura 12.1*, además de los archivos con los perfiles de ruido de cada uno de los bloques del PLL extraídos de las simulaciones de pss-pnoise realizadas con cadence.

Como resultado, el programa proporciona el ancho de banda óptimo para el menor nivel de ruido de fase así como también el jitter aleatorio total a la salida del PLL y los valores de los componentes del LPF. Hay que recordar que el valor de jitter de éste modelado corresponde sólo a la parte del jitter aleatorio de la salida. Para computar el jitter total, deberán sumarse las cantidades RMS del jitter aleatorio y determinístico calculado como en la *Sección 2.7* ó simulado como lo fue en nuestro caso.

The screenshot displays a MATLAB GUI for PLL modeling, organized into three main sections: Input Parameters, Noise Files, and Output Results.

Parametros de Entrada (Input Parameters):

- Frecuencia de Referencia: 156.25 MHz
- Frecuencia de salida: 5 GHz
- Factor de division N: 32
- Kvco: 380 MHz/V
- I Charge-Pump: 1 m
- Margen de Fase: 70 Grados
- Separacion Fc/Fz: 10
- Separacion Fp/Fc: 3.93
- Error de frecuencia: 10 KHz
- Salto de frecuencia: 1 MHz

Archivos de Ruido (Noise Files):

- Ruido VCO
- Ruido Divider
- Ruido ITD+CP

Parametros de Salida (Output Results):

- Factor de amortiguamiento: 1.56
- SobrePico: 0.64 dB
- Tiempo de enganche: 1.18 uSeg
- Ancho de banda optimo: 2.60 MHz
- Margen de Fase (Real): 70.69 Grad
- Frecuencia del Cero: 260 KHz
- Frecuencia del Polo: 10.21 MHz
- Capacitor del Cero (Cz): 445 pF
- Resistencia del Cero (Rz): 1.38 Kohms
- Capacitor del Polo (Cp): 11.33 pF

Jitter RMS de lazo cerrado (Closed-loop Jitter RMS):

| Component | Value (fSeg) | Value (%) |
|-------------------|--------------|-----------|
| VCO | 151.65 | 41.62 |
| Filtro Pasa Bajos | 51.57 | 4.81 |
| PFD+CP | 159.13 | 45.82 |
| Divisor | 65.42 | 7.74 |
| Total del PLL | 235.07 | |

Buttons: FIGURA PLL, Calcular, Resetear.

Figura 12.1: Interfaz grafica de usuario con los resultados

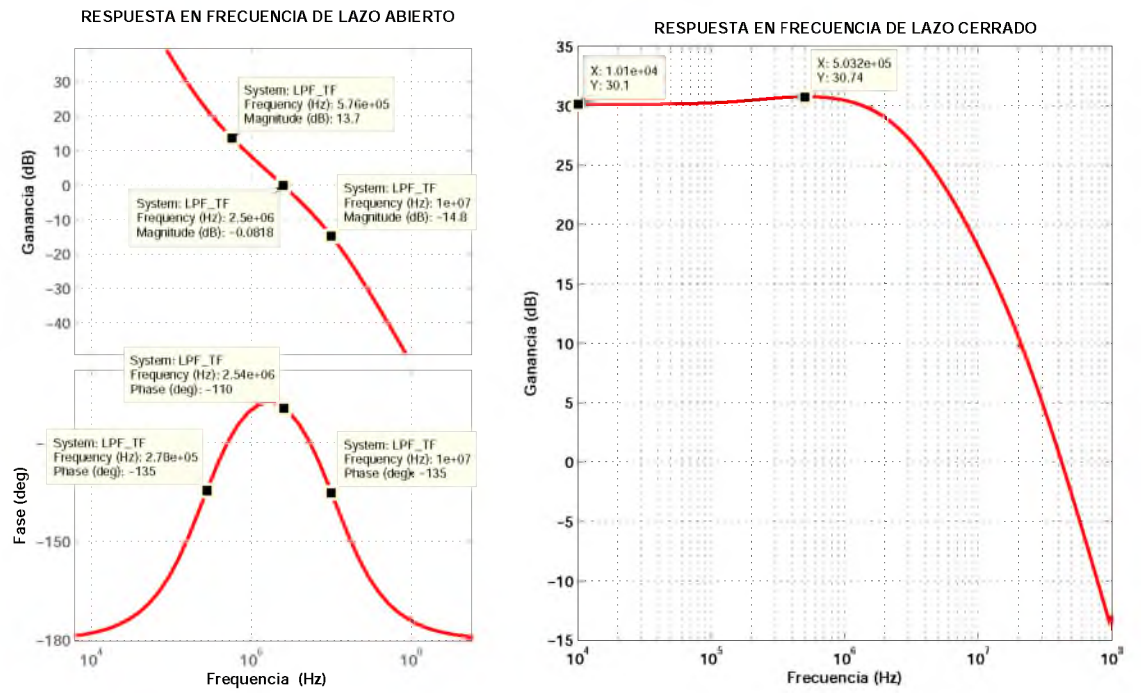


Figura 12.2: Respuesta del sistema en lazo abierto y lazo cerrado

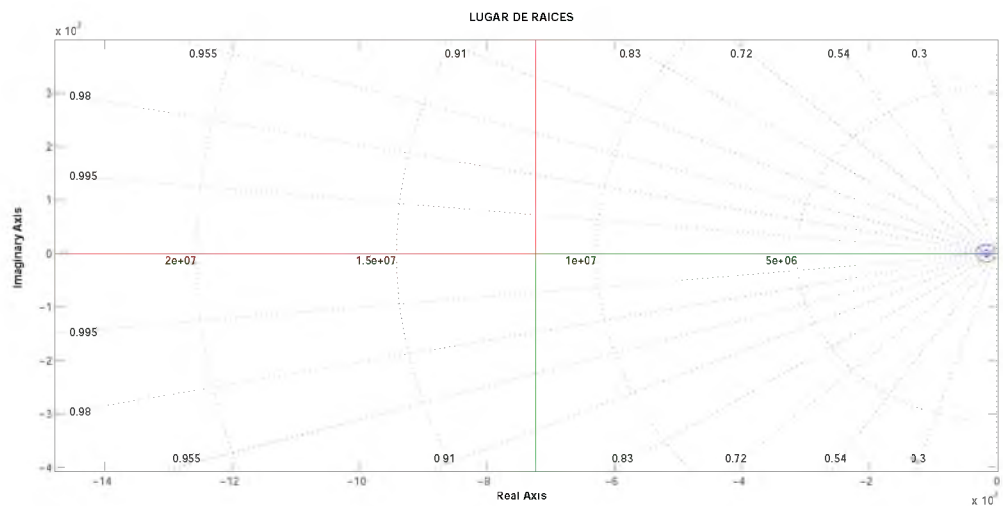


Figura 12.3: Lugar de raices de la función de transferencia del PLL

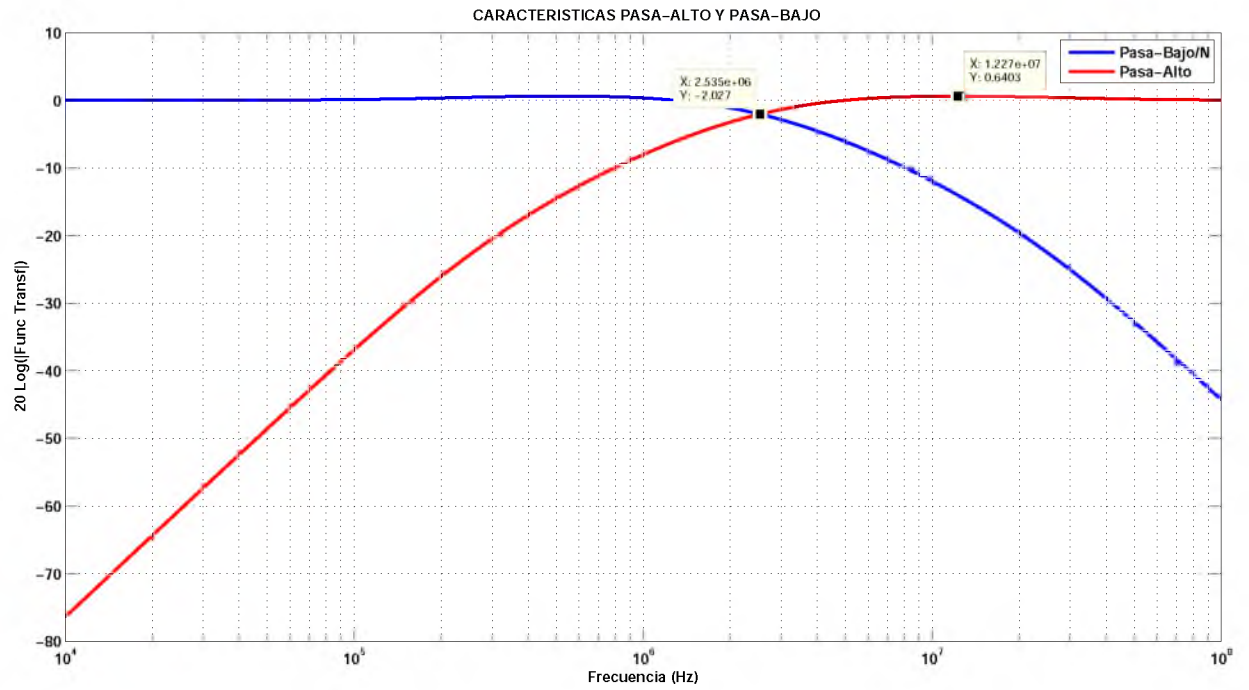


Figura 12.4: Características pasa alto y pasa bajo del sistema

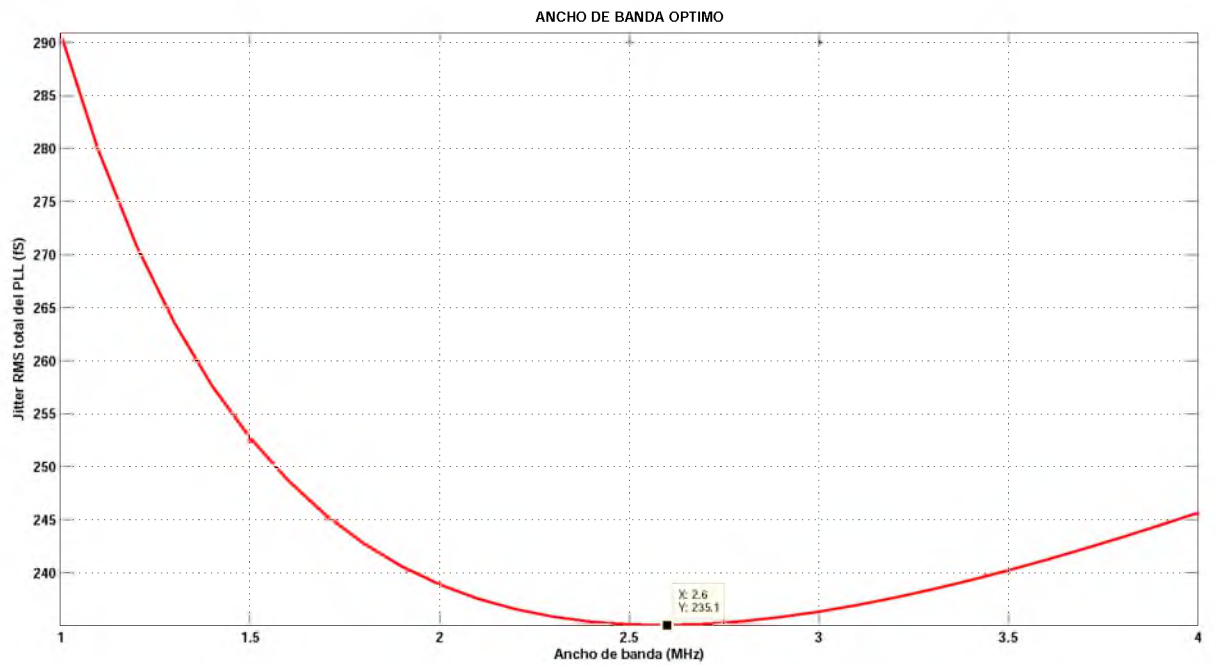


Figura 12.5: Ancho de banda optimo del lazo

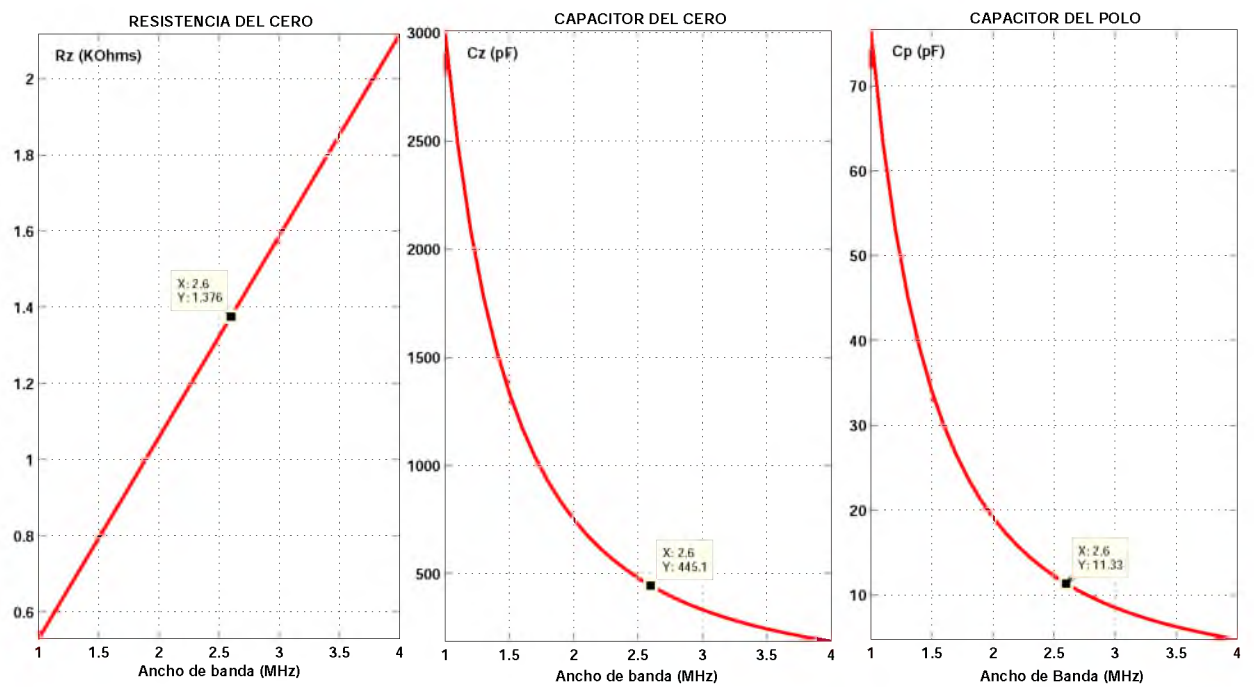


Figura 12.6: Parámetros del filtro en función del ancho de banda

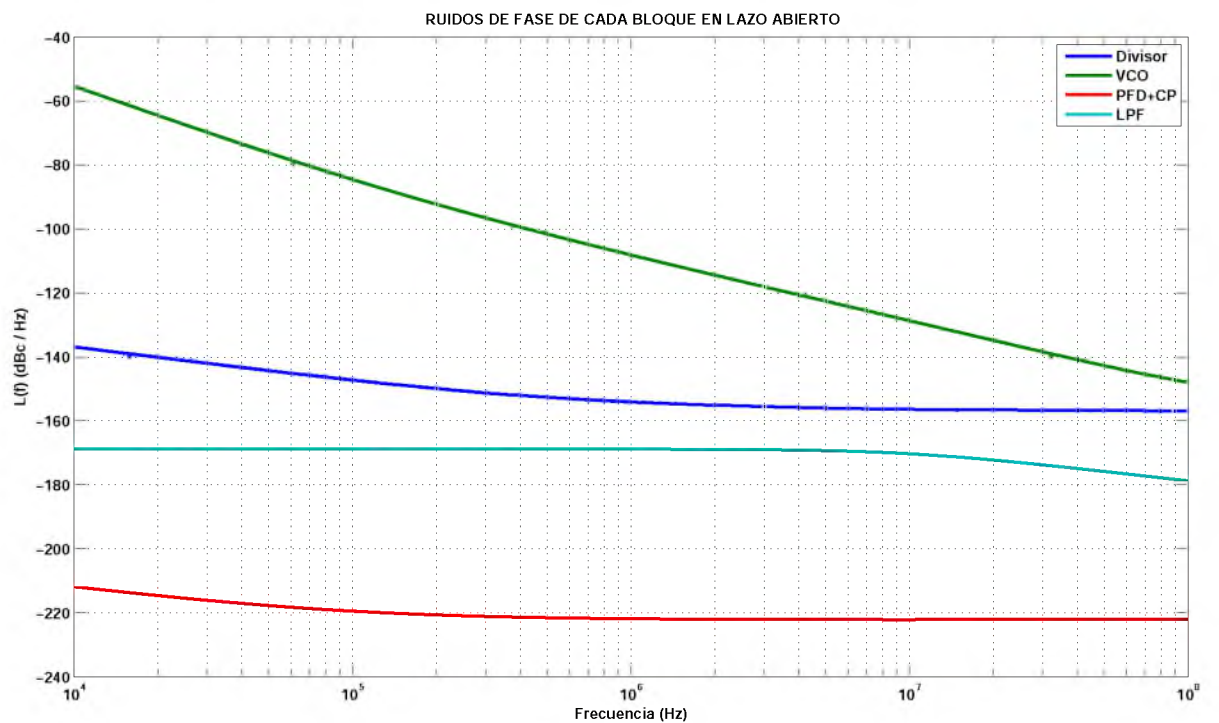


Figura 12.7: Ruidos de lazo abierto extraídos de Cadence

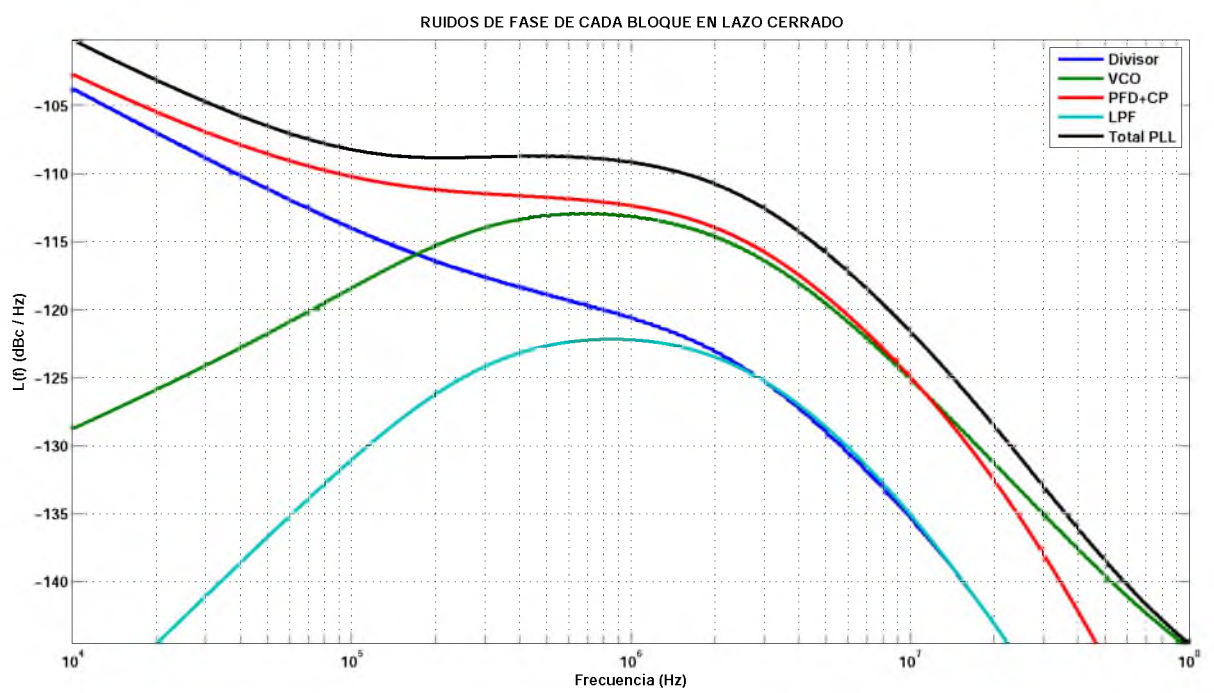


Figura 12.8: Ruido en lazo cerrado total del PLL y de cada bloque

Capítulo 13

SIMULACIÓN DE LAZO CERRADO

Como finalización de este trabajo se realizó una única simulación de lazo cerrado para corroborar que todas las señales que involucran al PLL sean las correctas así como también poder verificar que se cumple con las especificaciones de diseño.

Esta simulación fue realizada en una PC que posee 4 microprocesadores Xeon Dual-core de 2.8GHz cada uno y una memoria RAM de 32GB. Para lograr una resolución considerable, el tiempo de simulación de un transitorio de 10 μ Segundos fue de aproximadamente 4 días. El resultado de dicha simulación puede observarse en las gráficas que se presentan a continuación:

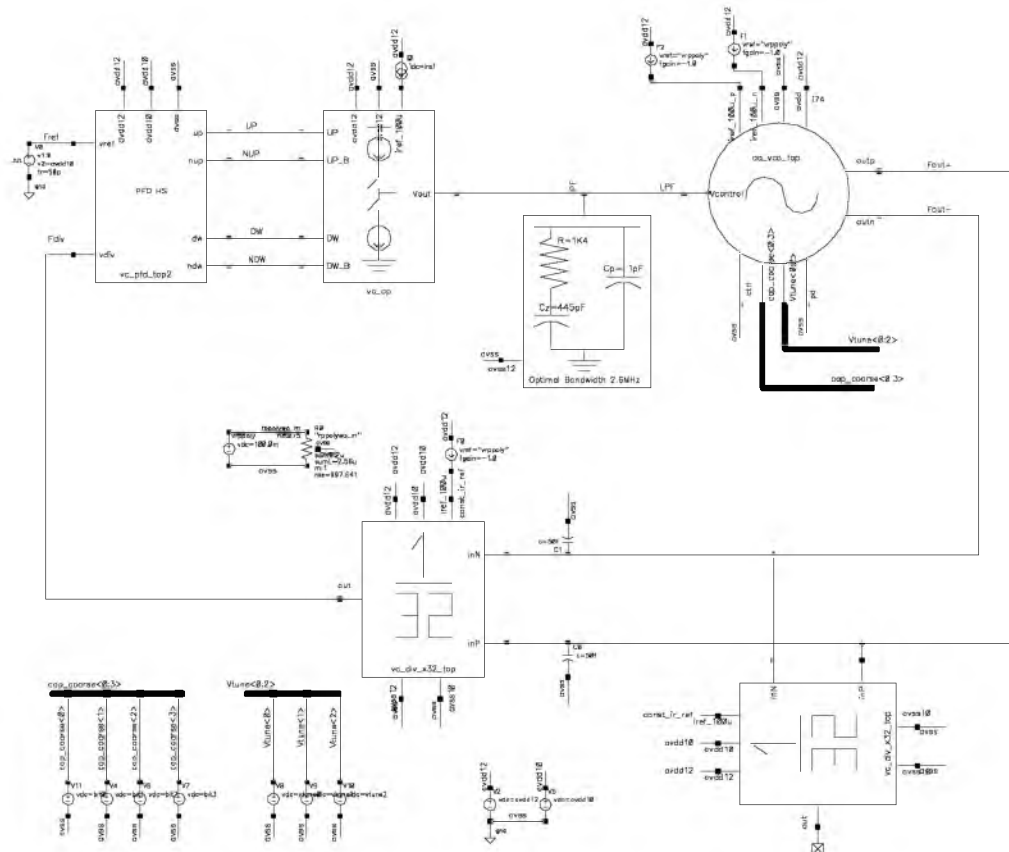


Figura 13.1: TestBench para la simulación de lazo cerrado

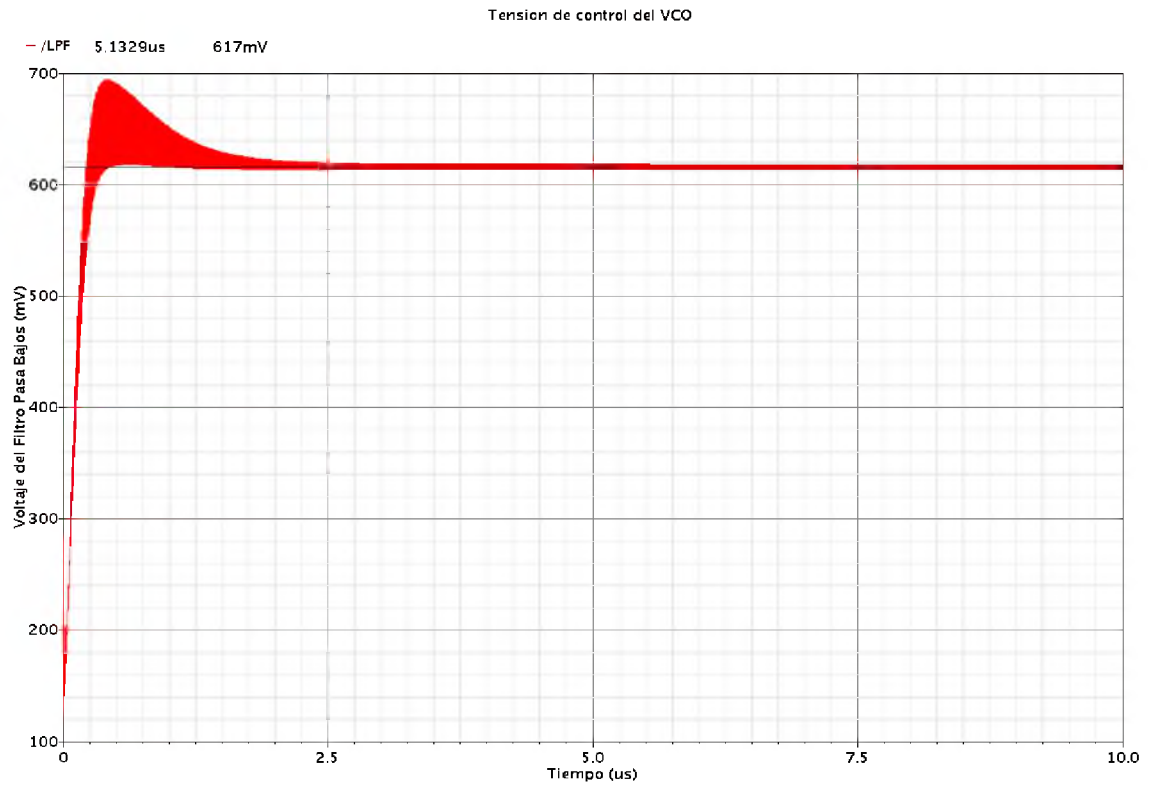


Figura 13.2: Tensión de control del VCO

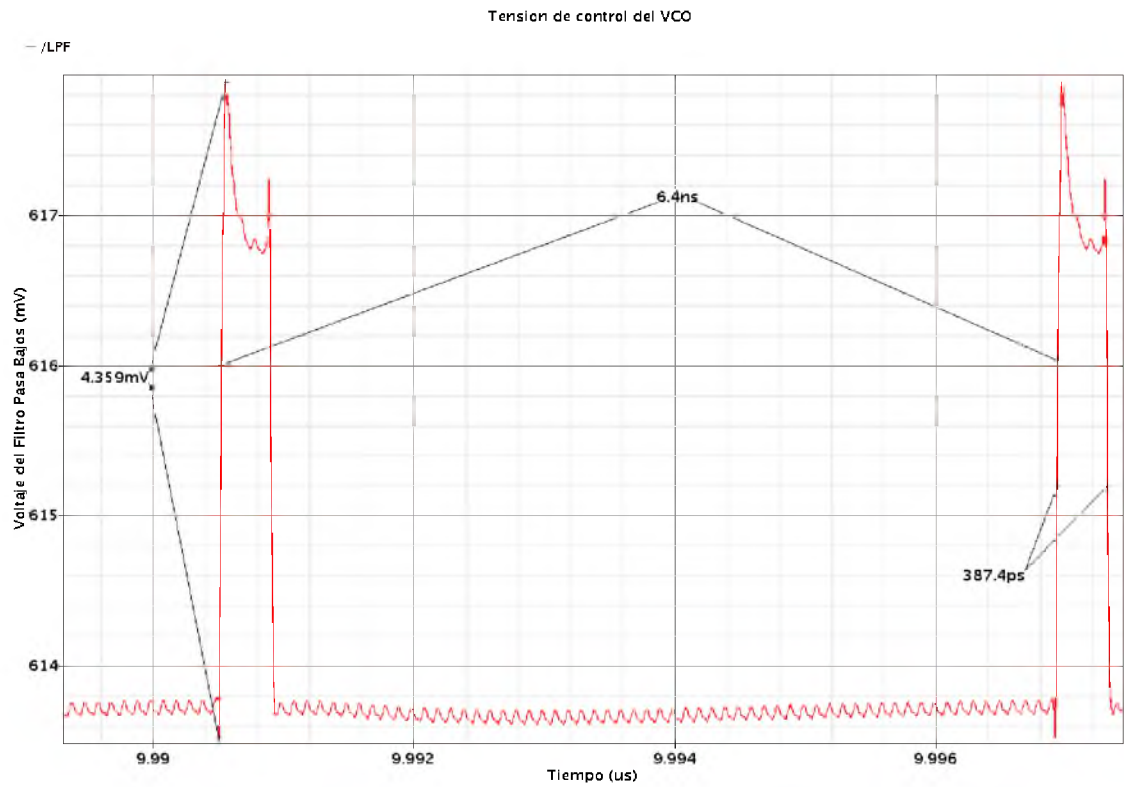


Figura 13.3: Espúreas sobre la tensión de control del VCO con el PLL enganchado

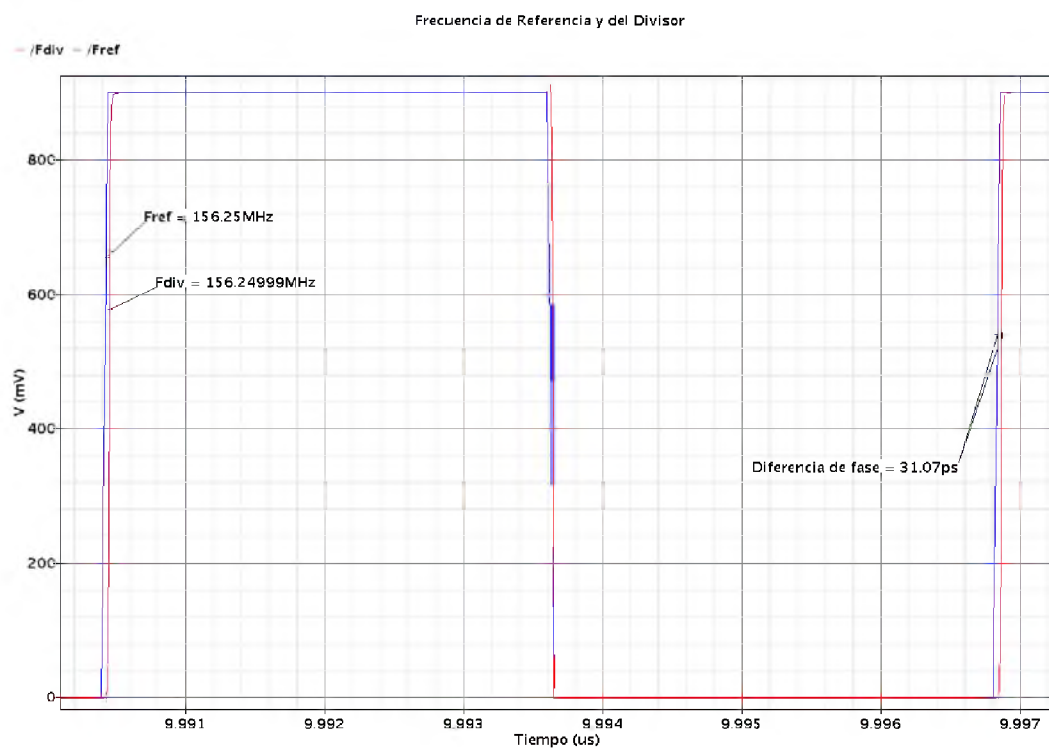


Figura 13.4: Frecuencias de entrada al PFD

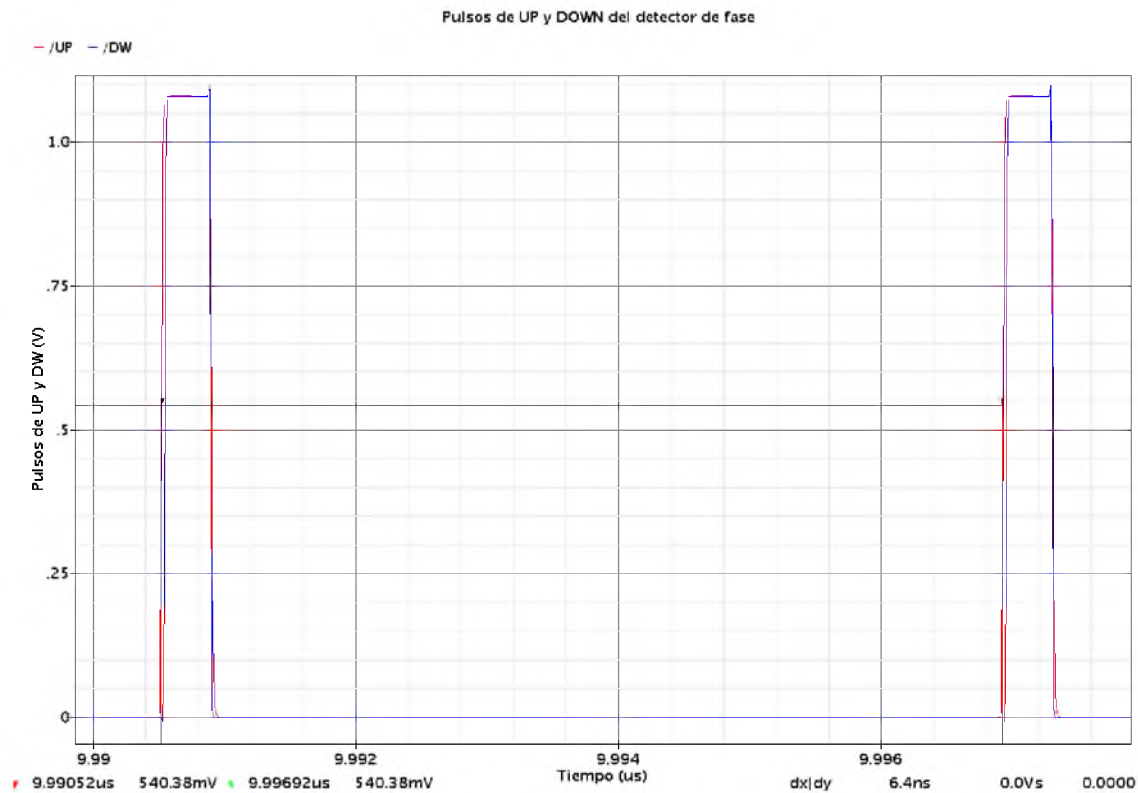


Figura 13.5: Pulsos de UP y DOWN de salida del PFD

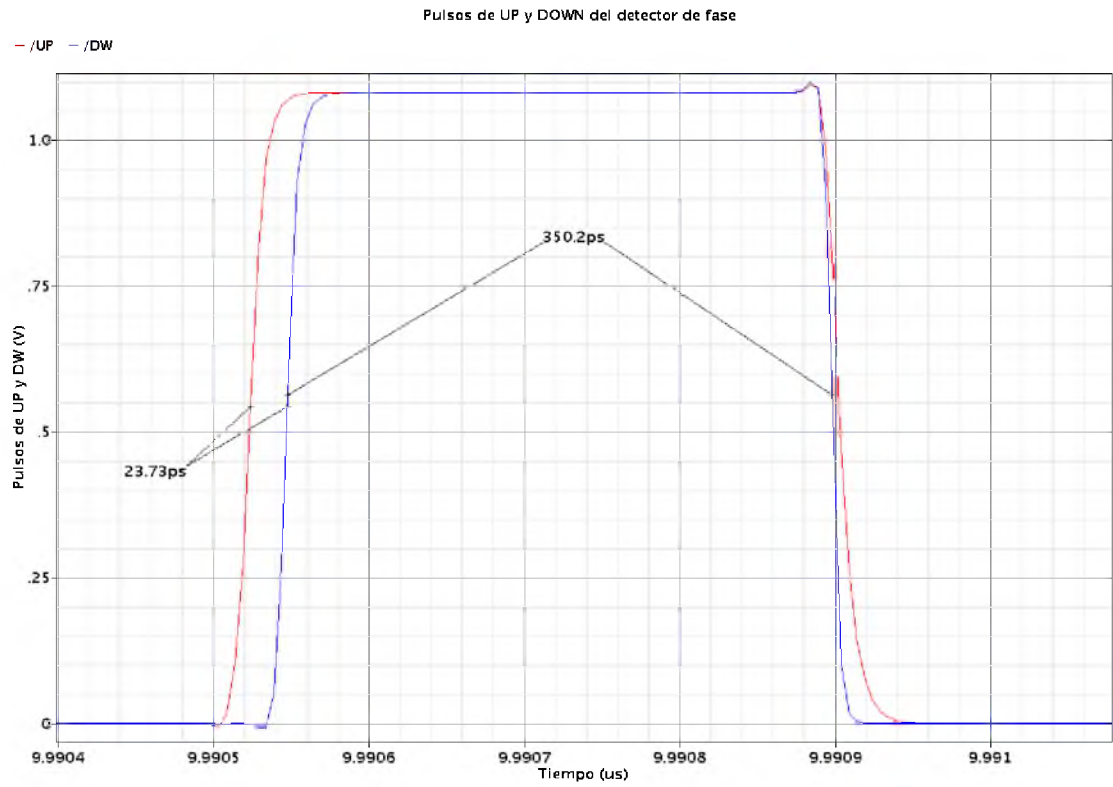


Figura 13.6: Pulsos de UP y DOWN de salida del PFD

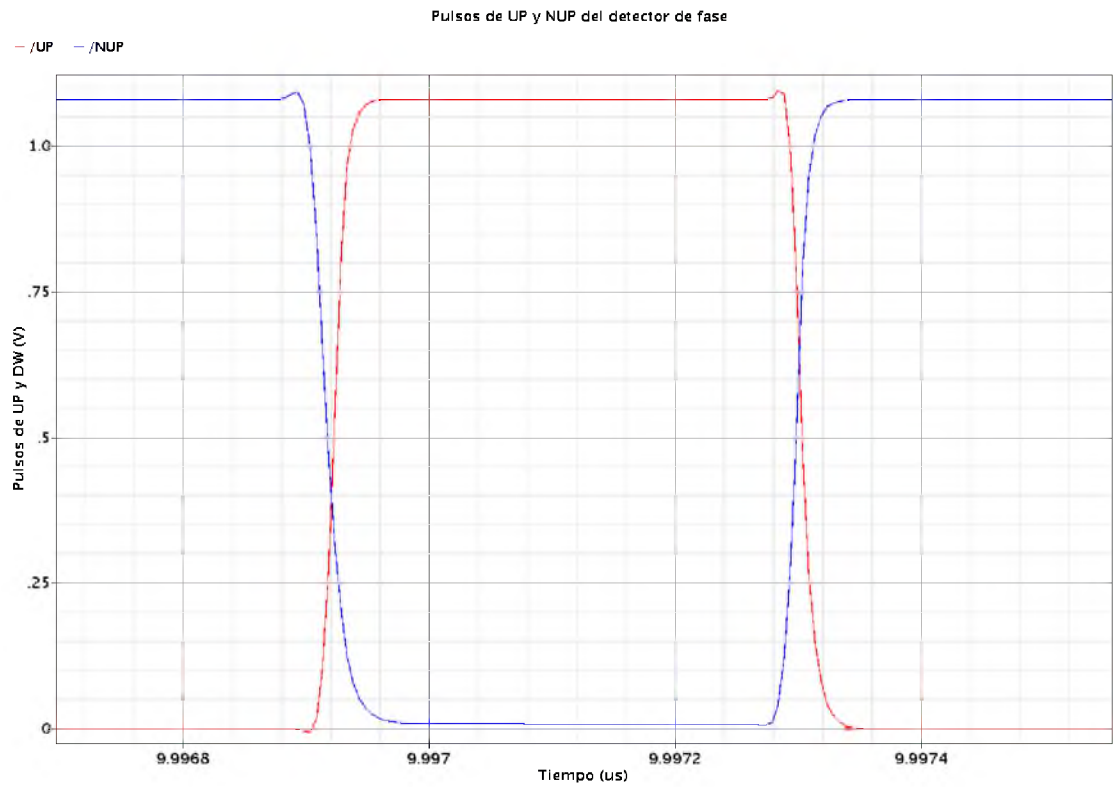


Figura 13.7: Pulsos UP y UP negado de salida del PFD

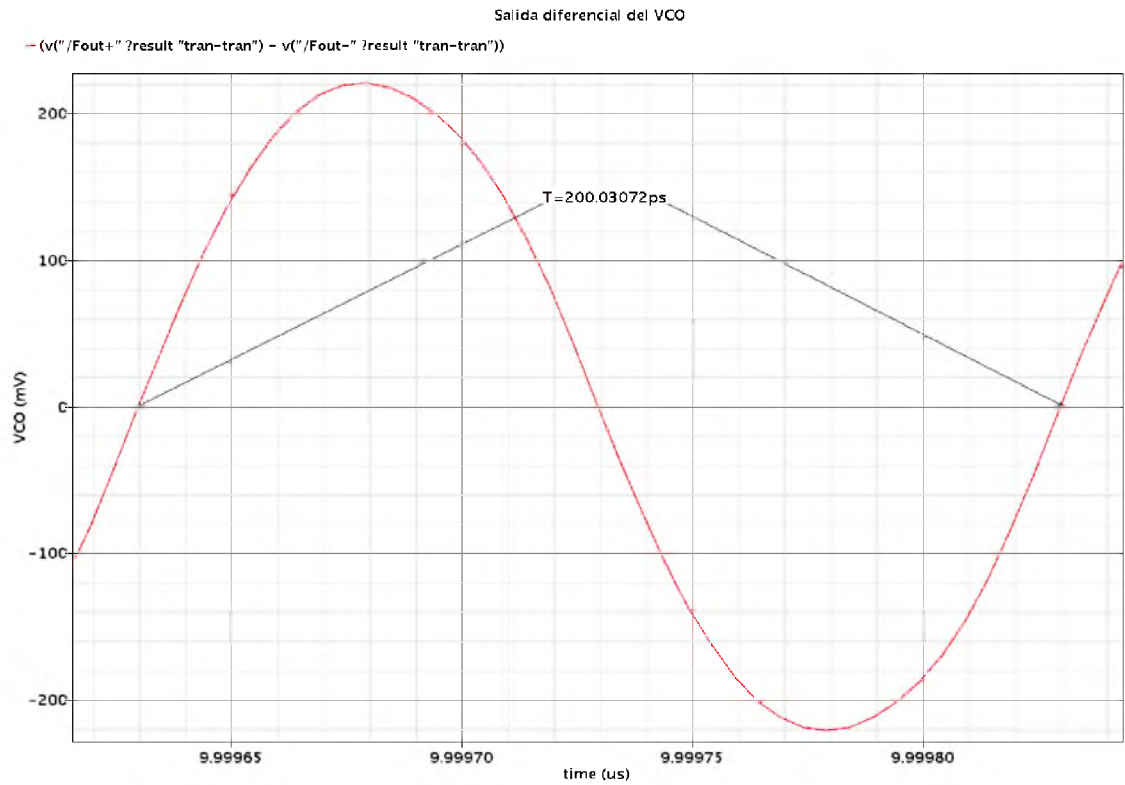


Figura 13.8: Salida del PLL

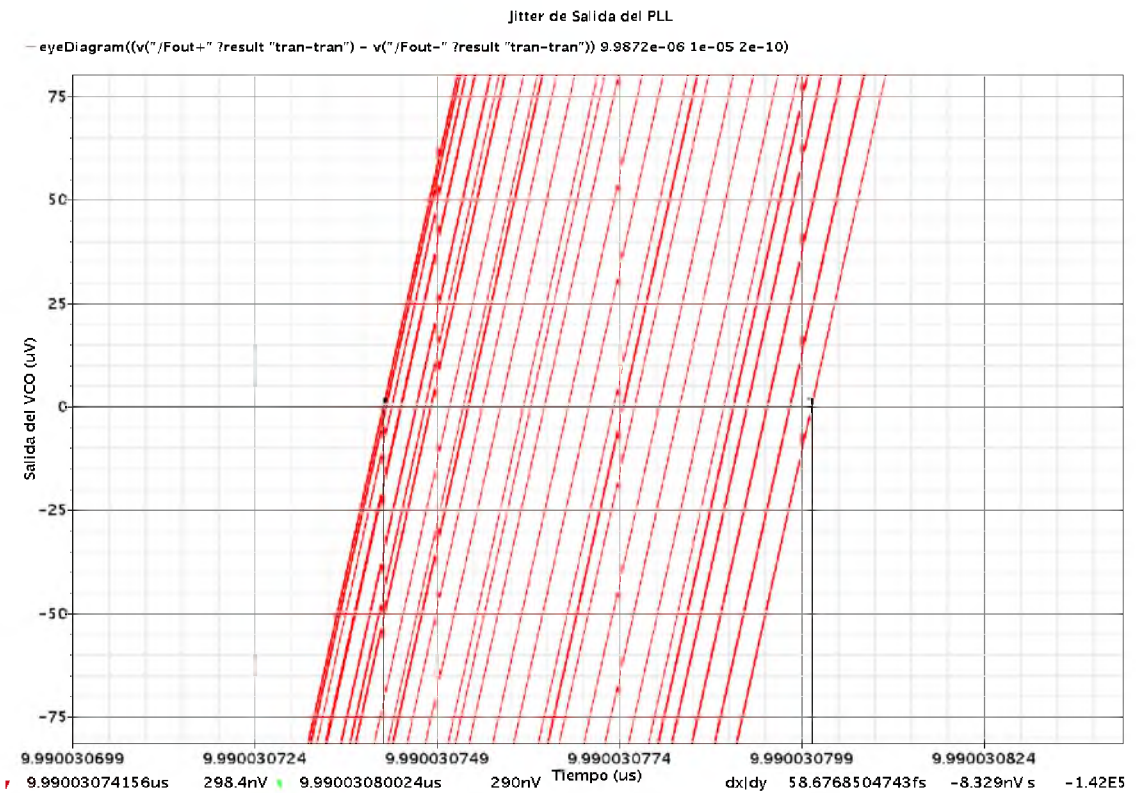


Figura 13.9: Jitter de salida del PLL

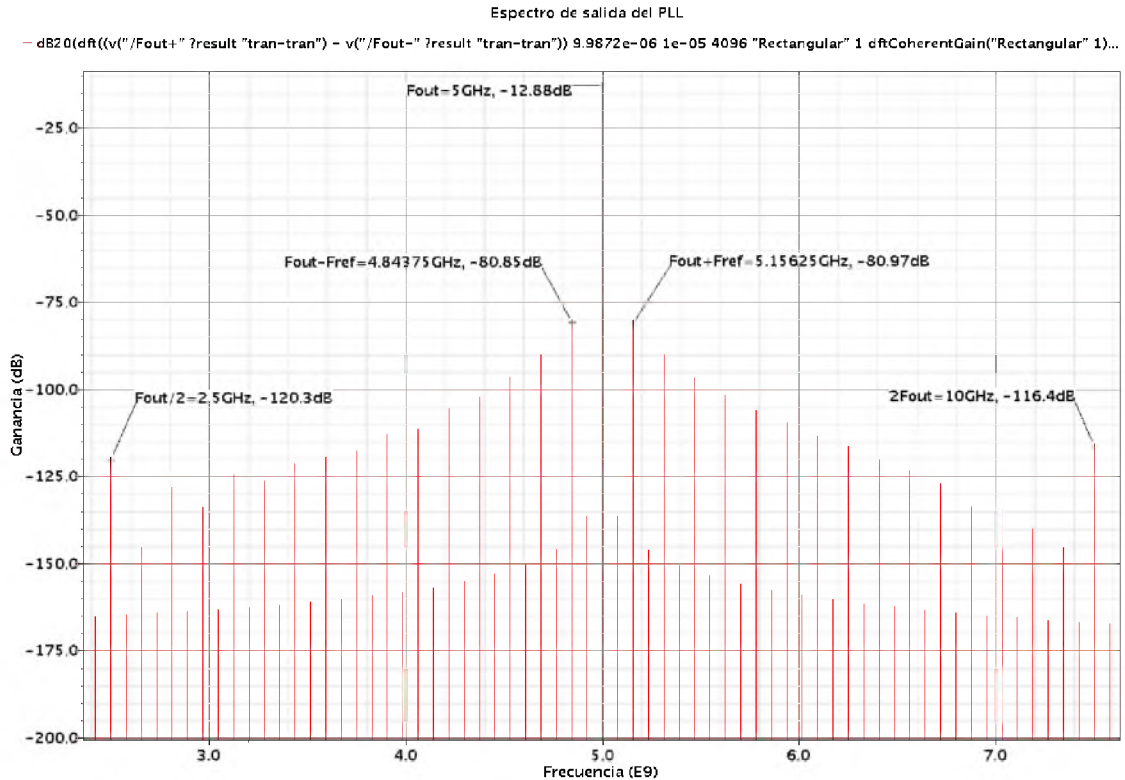


Figura 13.10: Espectro de salida del PLL

13.1. Especificaciones vs Resultados

| | Especificaciones de diseño | Resultado final |
|---------------------------------|----------------------------|------------------------------------------|
| Jitter total | $< 500 fS$ | $\sqrt{235^2 + 58,7^2} = 242,3 fS$ |
| Ruido del VCO | $< -110 d\beta_c @ 10 MHz$ | $-148 d\beta_c @ 10 MHz$ |
| Sobre-pico | $< 0,5 d\beta_c$ | $0,64 d\beta_c^{*1}$ |
| Ancho de banda | Entre $1 MHz$ y $3 MHz$ | $2,6 MHz$ (óptimo) |
| Capacidad del Cero | | $C_z = 445 pF$ |
| Resistencia del Cero | | $R_z = 1,4 K\Omega$ |
| Capacidad del Polo | | $C_p = 11,4 pF$ |
| Kvco | | $360 MHz$ |
| Marge de fase | | $70,7^\circ$ |
| Tiempo de enganche | | $\approx 3,1 \mu Seg$ |
| Rango lineal de enganche | | Entre $4,63 GHz$ – $5,63 GHz$ |
| Corriente (1.2V) | | $19,3 mA / 23,6 mA$ (Tip) / (Máx) |
| Corriente (1V) | | $1,3 mA / 7,4 mA$ (Tip) / (Máx) |
| Potencia PFD | | $815 \mu W / 7,34 mW^{*2}$ (Tip) / (Máx) |
| Potencia CP | | $11 mW / 9,8 mW$ (Tip) / (Máx) |
| Potencia VCO | | $9,7 mW / 15 mW$ (Tip) / (Máx) |
| Potencia DIV | | $2,8 mW / 6,4 mW$ (Tip) / (Máx) |
| Potencia Total | $La menor posible^{*3}$ | $24,3 mW / 38,5 mW$ (Tip) / (Máx) |

*₁: El valor obtenido en la simulación es un poco mayor que el de la especificación, aunque debido al jitter mínimo localizado en $BW = 2,6MHz$ el valor óptimo de sobre-pico es $0,64d\beta$. De cualquier manera, éste no degrada demasiado la performance del PLL (recordando que el diseño se utilizará para generación de clock). De haberlo bajado al valor de la especificación las capacidades del filtro se hubieran incrementado demasiado (y por lo tanto su área) a costa de no mejorar demasiado la performance.

*₂: Aparentemente existe un problema con este circuito que afecta drásticamente al consumo en el corner FF. Por cuestiones de tiempo no pudo corroborarse, pero en el futuro será corregido.

*₃: La potencia de diseño no fue especificada aunque de otros trabajos se estima que no puede superar los 50mW. El valor obtenido en este diseño fue simulado teniendo en cuenta el valor promedio (sobre 400 períodos de la referencia) de las corrientes de alimentación de todo el circuito.

13.2. Comparaciones

| | Paper (26) | Este trabajo |
|-------------------------------------|-------------------------------------------|----------------------------------|
| Tecnología | 65nm | 65nm |
| Alimentación | 1V y 1.8V | 1V y 1.2V |
| Frecuencia de referencia | 156,25MHz | 156,25MHz |
| Frecuencia de Salida | 2,3 a 5GHz | 5GHz |
| Rango de frecuencias del VCO | | |
| Ajuste grueso | 2,3 a 4,65GHz (67%) | 4,63 a 5,63GHz (18%) |
| Ruido de fase @ 1MHz | -109,31dβ _c @ 4,65GHz (Medido) | -109,2dβ _c (Modelado) |
| Jitter RMS | 460 fS @ 4,65GHz | < 250 fS |
| Performance del lazo | | |
| Ancho de banda | 1,5 a 10MHz (Programable) | 2,6MHz (Fijo) |
| Sobre-pico | 1,6dβ (Máx) | 0,64dβ (Máx) |
| Tiempo de enganche | 58 μS @ 5GHz | ≈ 3,2μS |
| Divisor | 2 a 64 (Incrementos de a 1) | 32 (Fijo) |
| Potencia | 29 mW @ 5GHz | 24,3 mW (Típico) |

CONCLUSIÓN

Podemos decir que se han alcanzado los objetivos que se detallaron en la introducción de este trabajo. Existen aspectos y características especiales que tienen que ver con el desafío, oportunidades y valor agregado que me gustaria remarcar a continuación.

El aspecto industrial es uno de los puntos a destacar, el diseño aquí presentado esta listo para ser implementado en layout y con muy poca iteración estaría listo para ser implementado en un circuito integrado y garantizar su funcionamiento. Para asegurar lo dicho anteriormente se ha tenido que aprender a trabajar en microelectrónica y a entrenar un criterio conservativo aplicado al diseño, se ha aprendido a utilizar herramientas de CAD de avanzada, tanto propietaria como gratuita, se ha completado el flujo de diseño analógico, desde el estudio del problema e implementación a nivel de sistemas, llevando a cabo las simulaciones correspondientes para verificar que se conocen los parámetros clave del diseño, hasta la elección e implementación de la arquitectura que mejor se adapte a los requerimientos, donde fue necesario no solo el conocimiento teórico del diseño sino también del proceso que se usa y sus efectos físicos que influyen en el desempeño del circuito, para luego pasar la validación utilizando los modelos que nos aseguran el comportamiento final del circuito diseñado en papel.

Otro aspecto importante es el diseño de los bancos de pruebas, los mismos requirieron un estudio aparte y no fueron minimizados, ya que el impacto de un banco de pruebas mal hecho puede ser decisivo en el éxito o fracaso de nuestro diseño, si no somos capaces de recrear las condiciones reales de funcionamiento con cierto grado de exactitud del circuito, no se puede garantizar que este circuito funcione en la realidad.

Una de las características importantes del diseño de un lazo enganchado en fase es el alto consumo en tiempo de simulación, esto es una gran desventaja para el proceso productivo, ya que obliga a los diseñadores a asegurarse de no cometer errores a la hora de configurar los bancos de prueba, ya que un error nos puede costar días de simulación, en nuestro caso las simulaciones con el circuito completo duraron aproximadamente 5 a 6 días. Un problema relacionado indirectamente con el tiempo de simulación es la limitación en espacio de memoria que requiere para guardar los resultados de las simulaciones. Para acortar estos tiempos de simulación y obtener rápidas iteraciones se ha tenido que aprender a utilizar diferentes herramientas para modelar ciertos bloques y reducir considerablemente el tiempo de computo, para esto se aprendió a modelar los comportamientos con verilog-a. Otra característica es que al trabajar con un determinado proceso, se hizo imprescindible estudiarlo para conocer como aprovechar las ventajas y evitar las desventajas del mismo para poder sacar el mayor provecho posible, para ello se caracterizaron los transistores provistos en el proceso de TSMC de 65nm.

Para resumir, se ha presentado la manera de diseñar un lazo enganchado en fase con frecuencia de 5Ghz apto para su implementación en circuito integrado con proceso de 65nm, utilizando herramientas de avanzada, aplicando criterios de microelectrónica, maximizando los recursos de

computo mediante diferentes soluciones aprendidas a lo largo del desarrollo del trabajo, se ha documentado todo el desarrollo de manera detallada y lo mas claras posibles, con referencias para que se pueda profundizar los temas que puedan ser de mayor interés para el lector. Creo profundamente que la conclusión mas importante tiene que ver con que este tipo de desarrollo se puede realizar en la Argentina y ser enteramente llevado a cabo por Argentinos.

Anexos

IV . ANEXO A: IMPLEMENTACIÓN DE LOS CIRCUITOS

IV . ANEXO B: TECNOLOGÍA TSMC 65NM

IV . ANEXO C: SCRIPT DE MATLAB PARA EL MODELADO DEL RUIDO DE FASE

ANEXO A: IMPLEMENTACIÓN DE LOS CIRCUITOS

Detector de Frecuencia y Fase

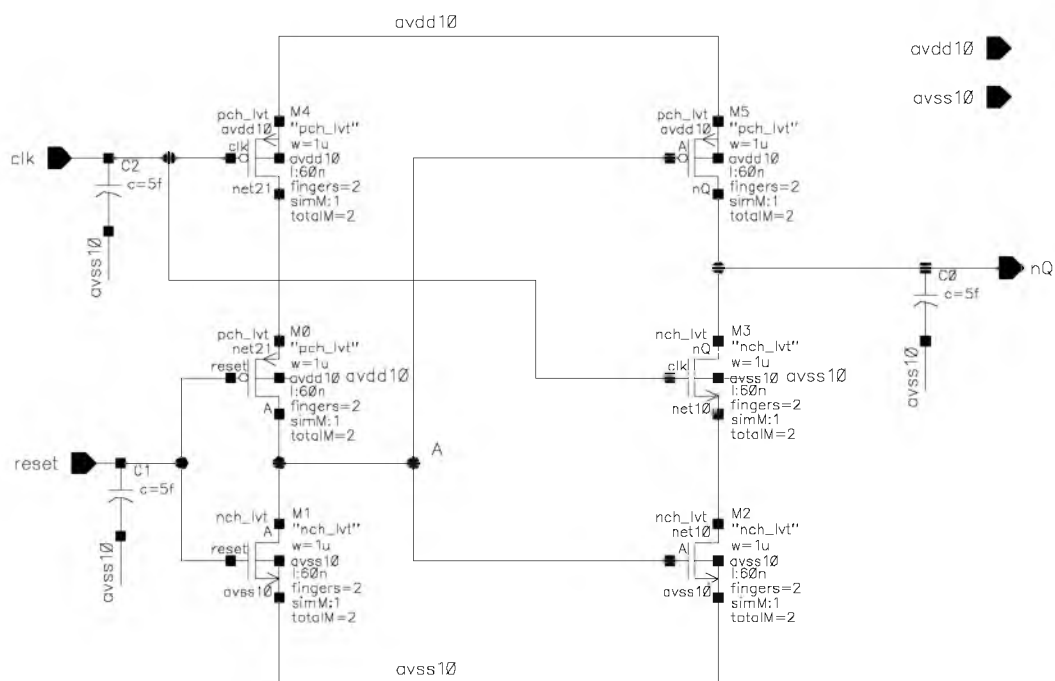
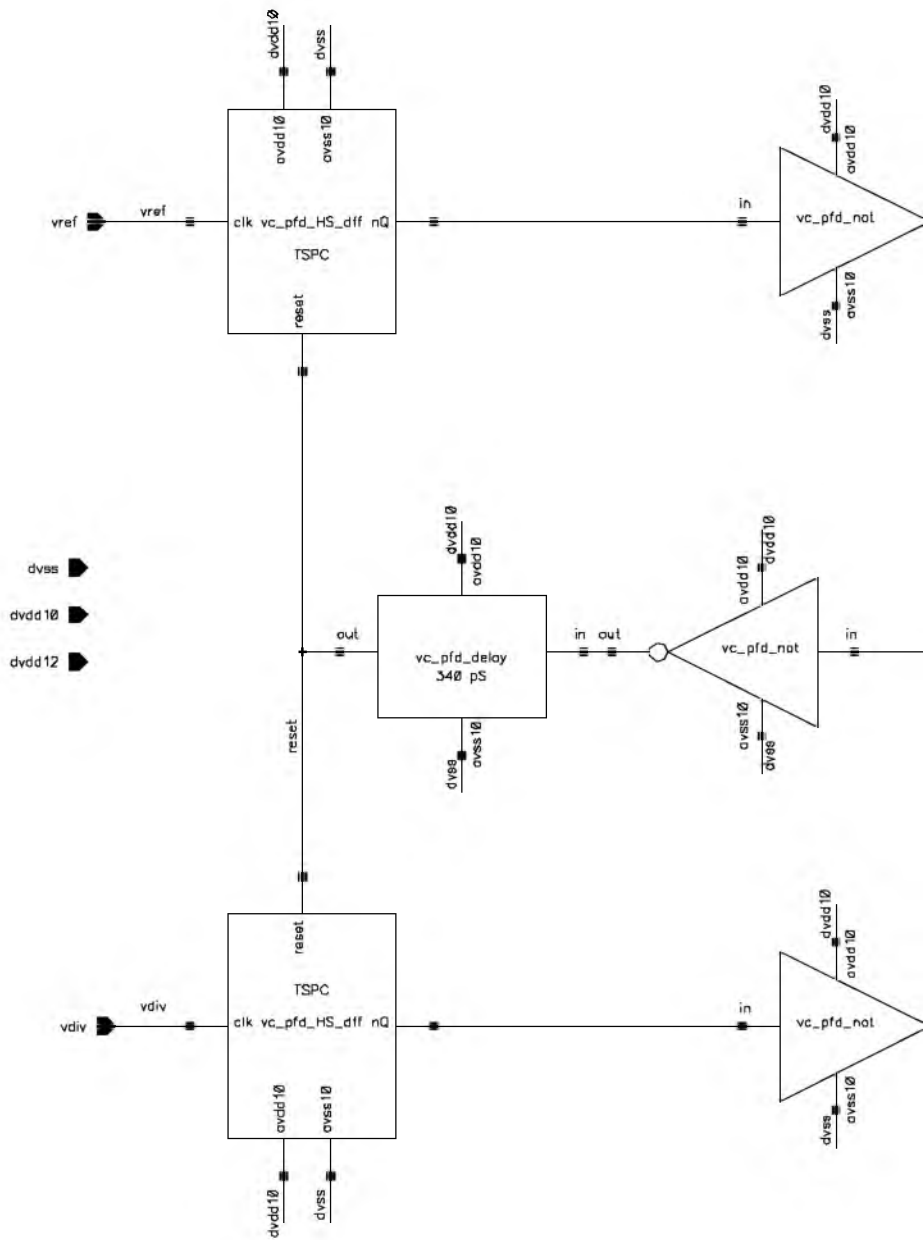


Figura 11: TSPC Flop-Flop D



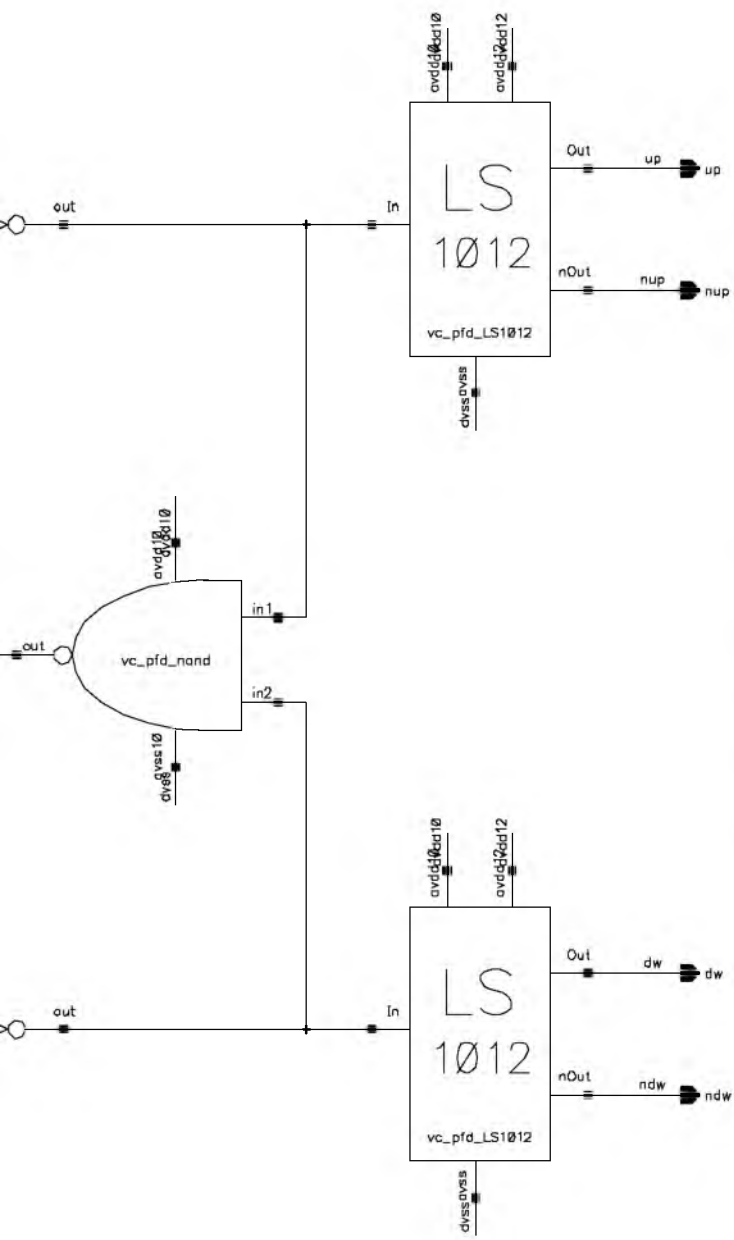


Figura 12: Diagrama en bloques del PFD

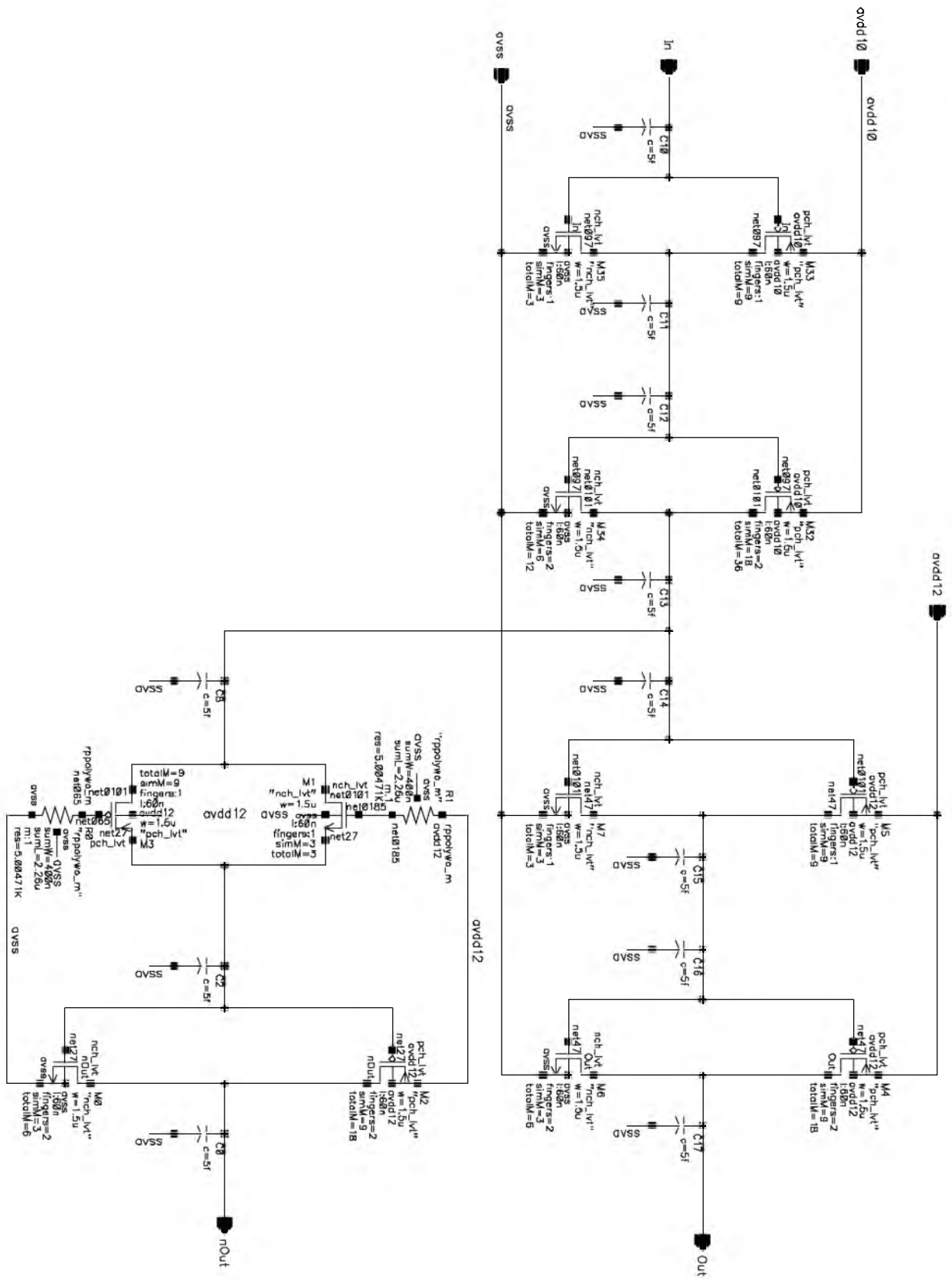


Figure 13: Level Shifter 1V-1.2V

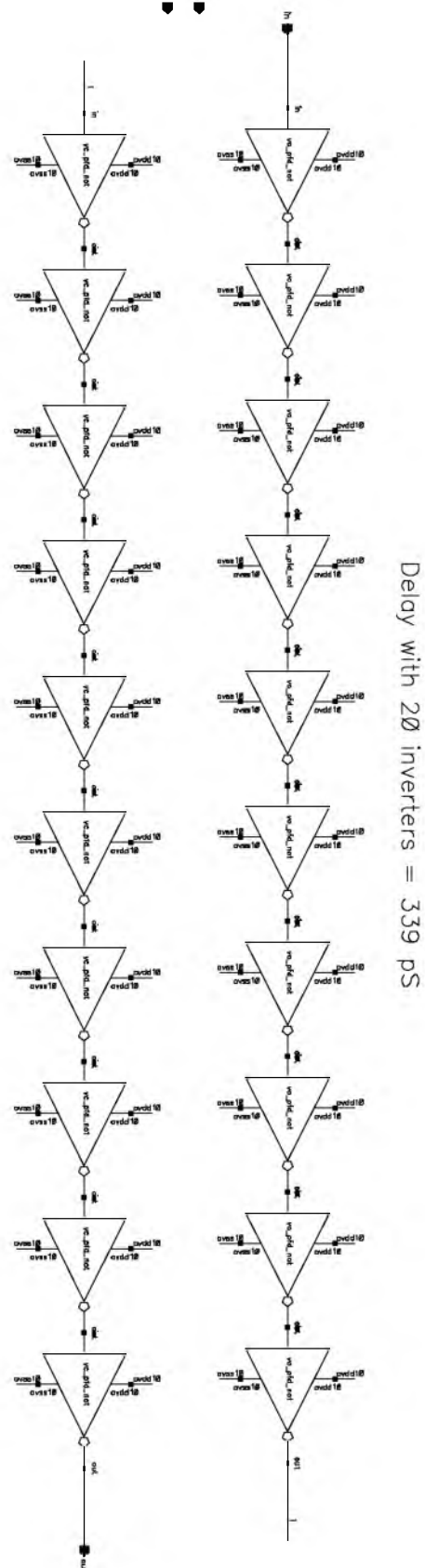


Figura 14: Delay

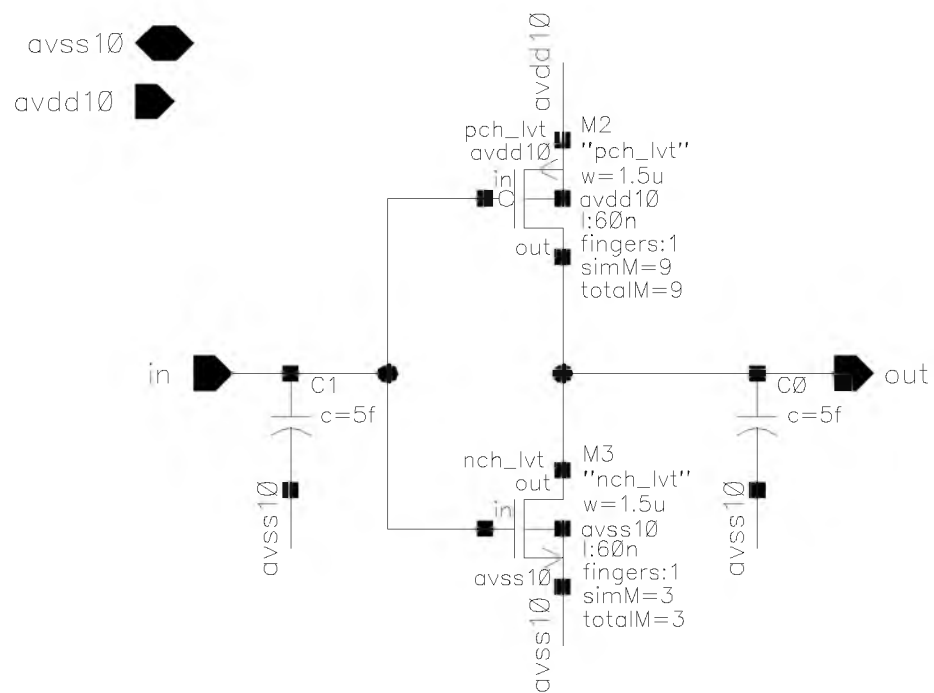


Figura 15: Inversor

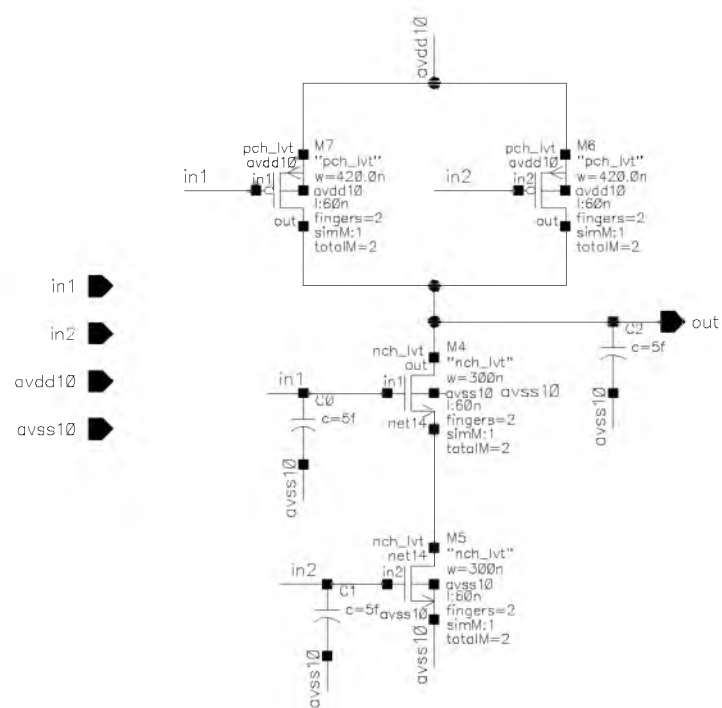


Figura 16: Compuerta Nand

Charge-Pump

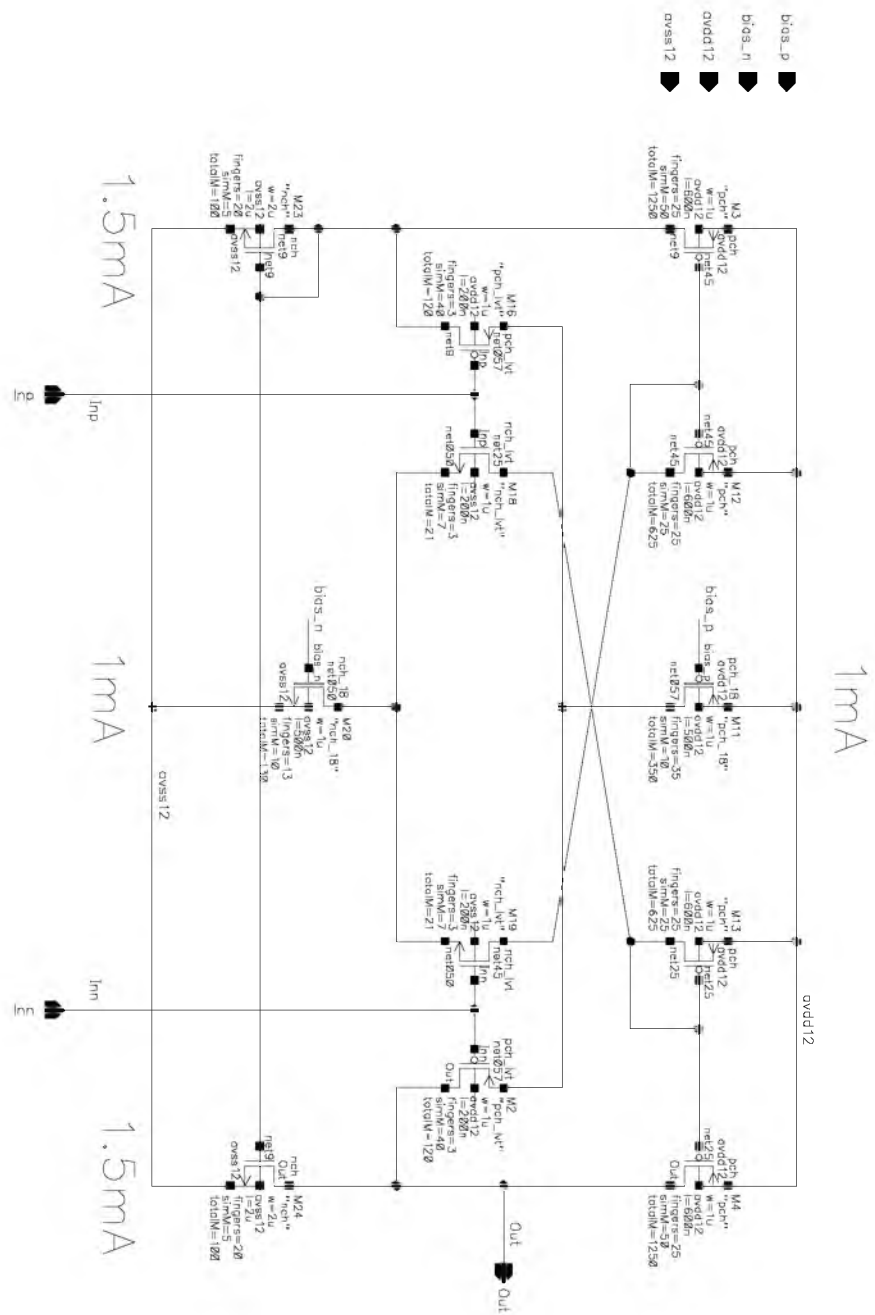


Figura 17: Amplificador Operacional Rail-to-rail

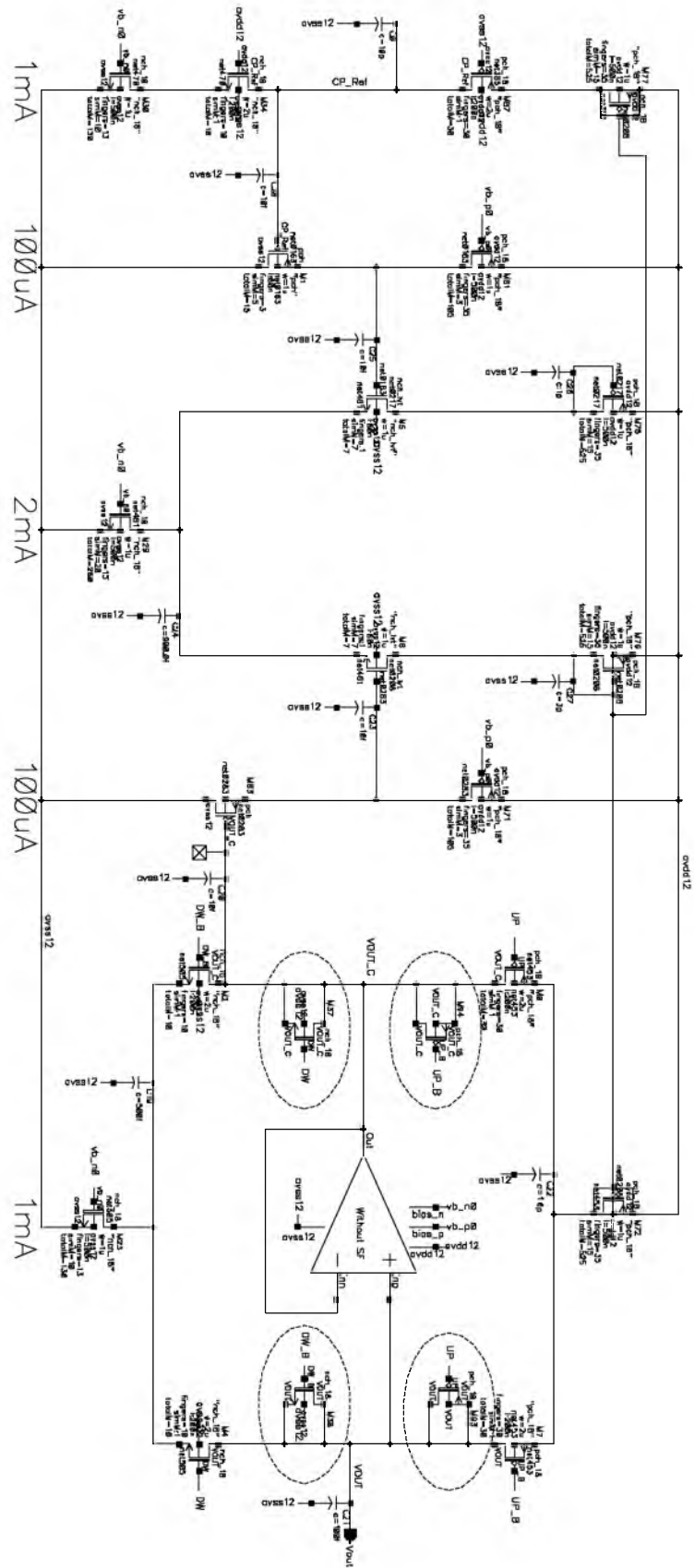


Figura 18: Esquemático del Charge-Pump

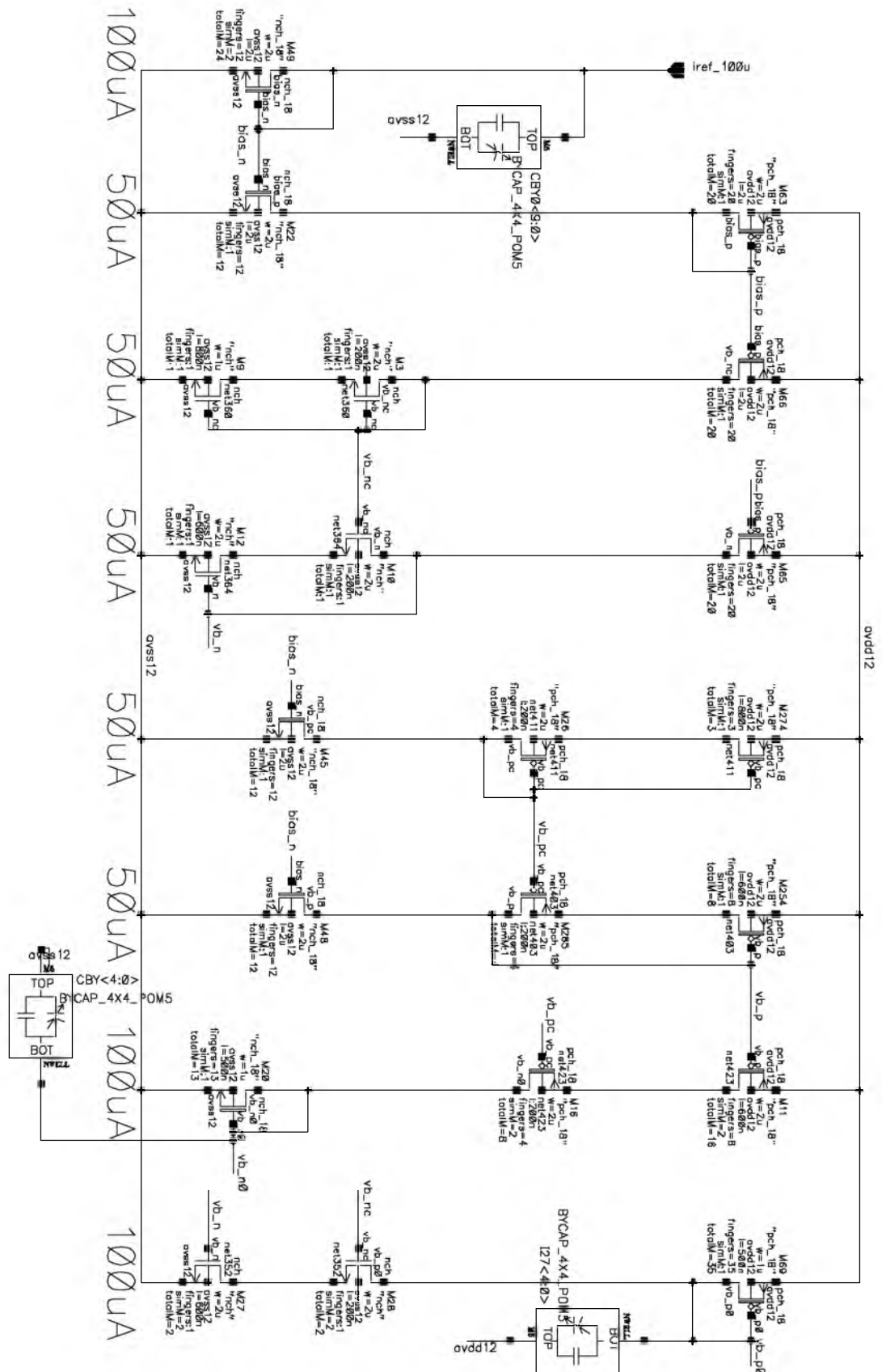


Figura 19: Circuito de bias del Charge-Pump

VCO

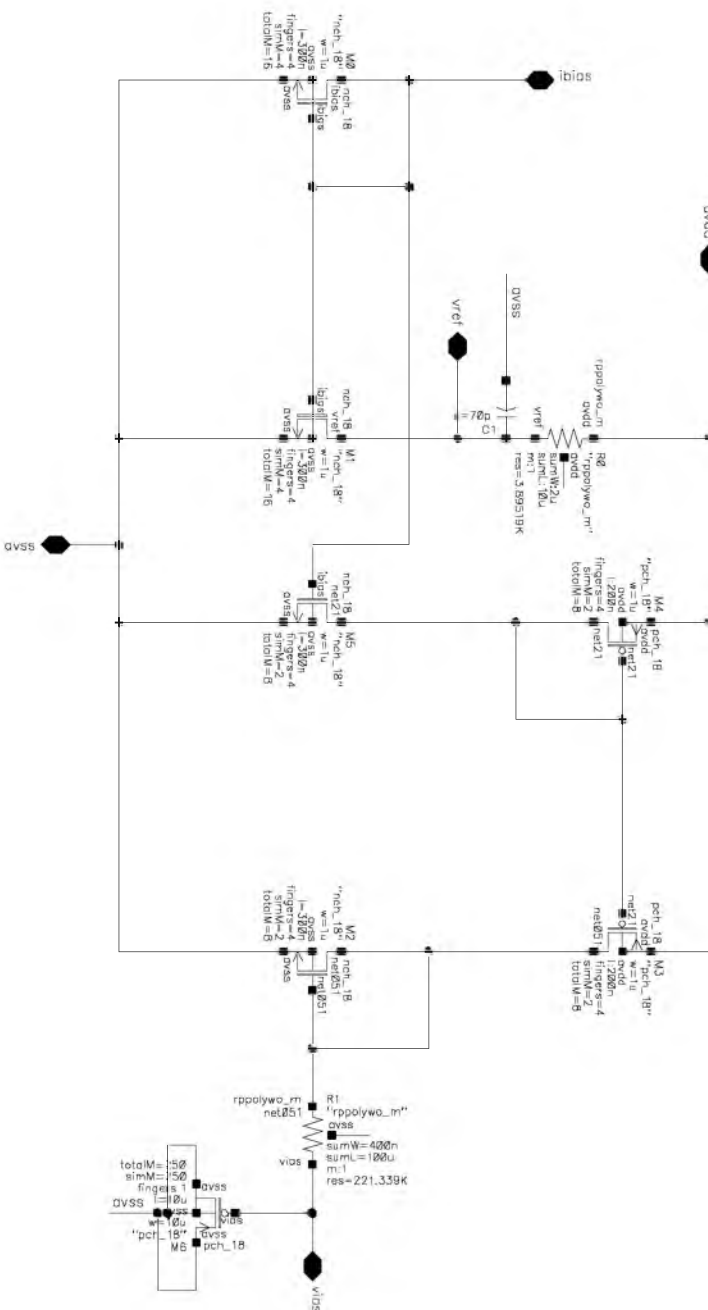


Figura 20: Circuito de bias

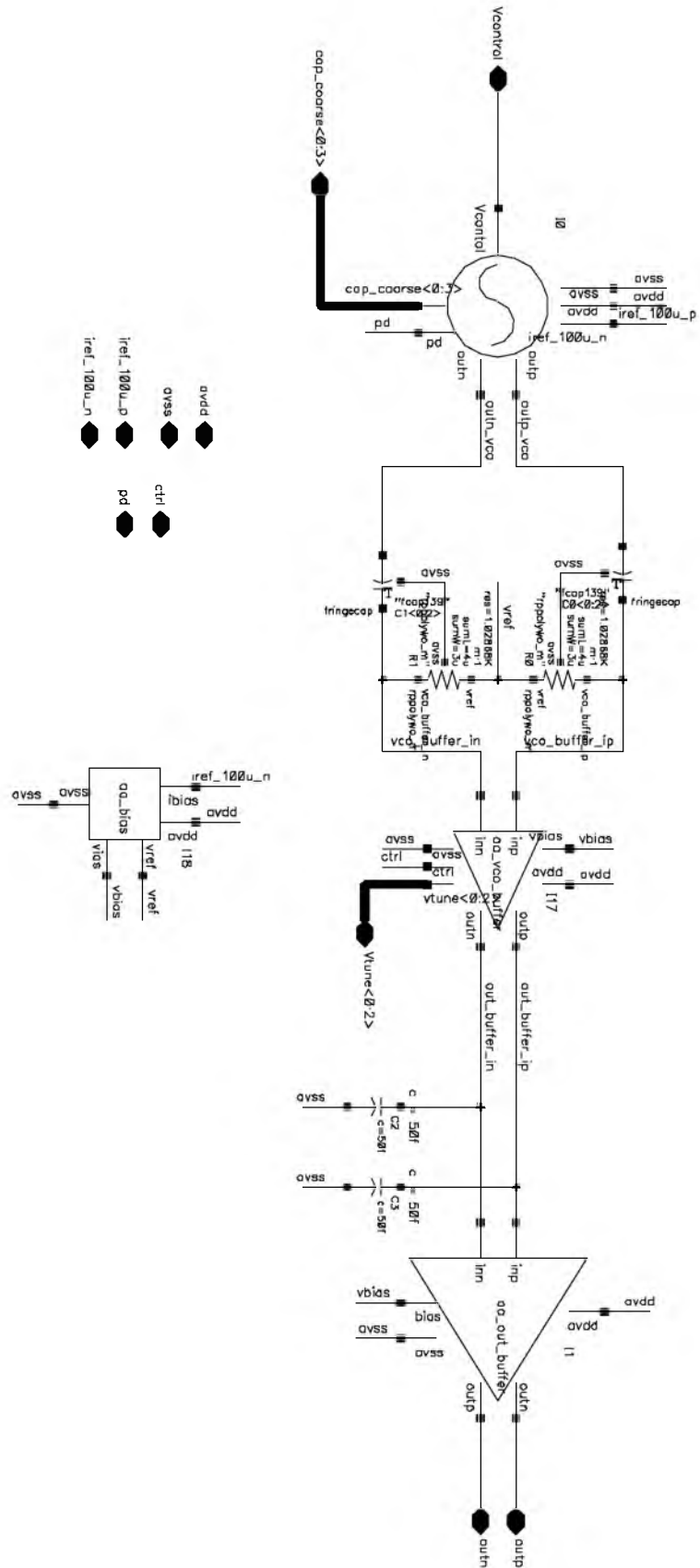


Figura 21: VCO nivel superior

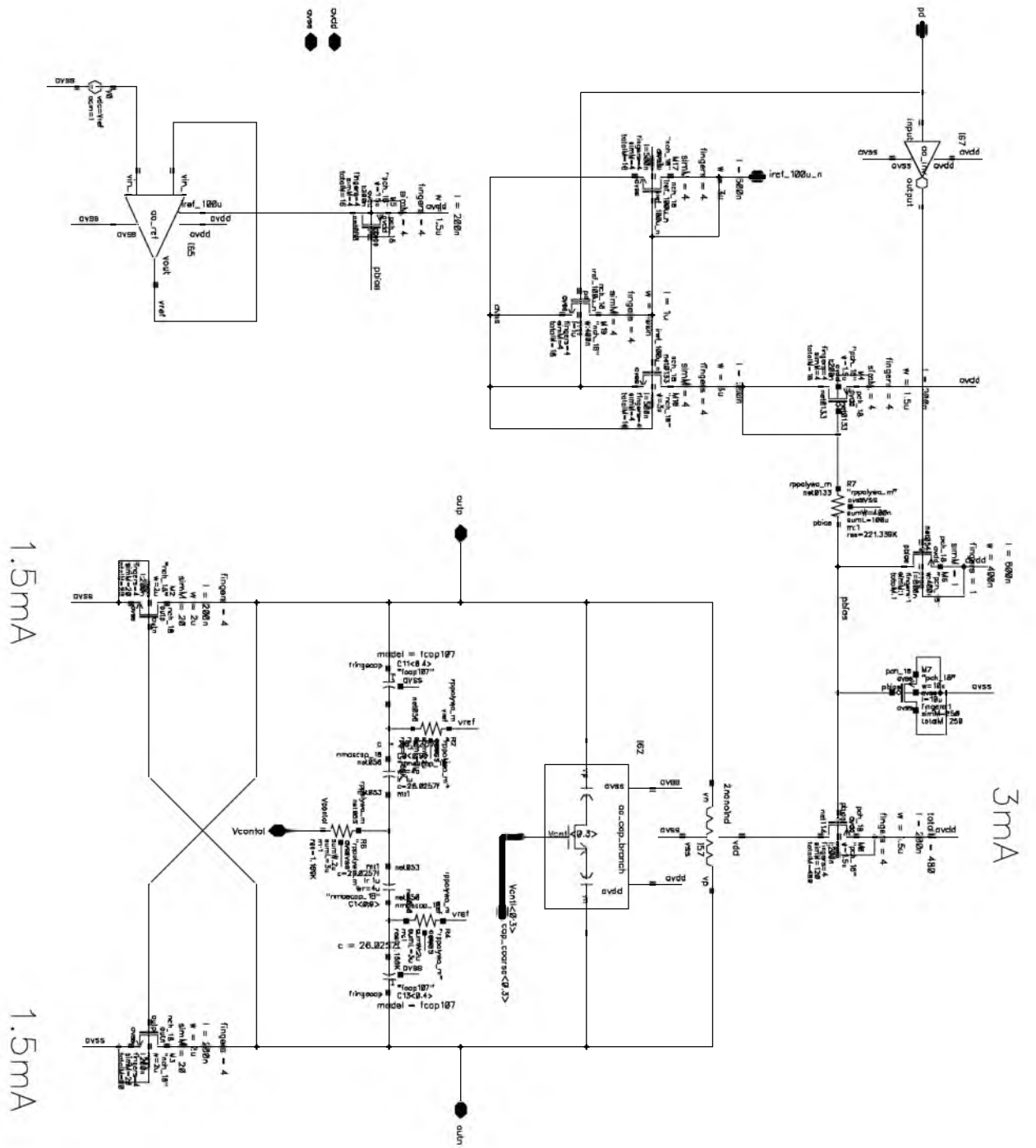


Figura 22: VCO

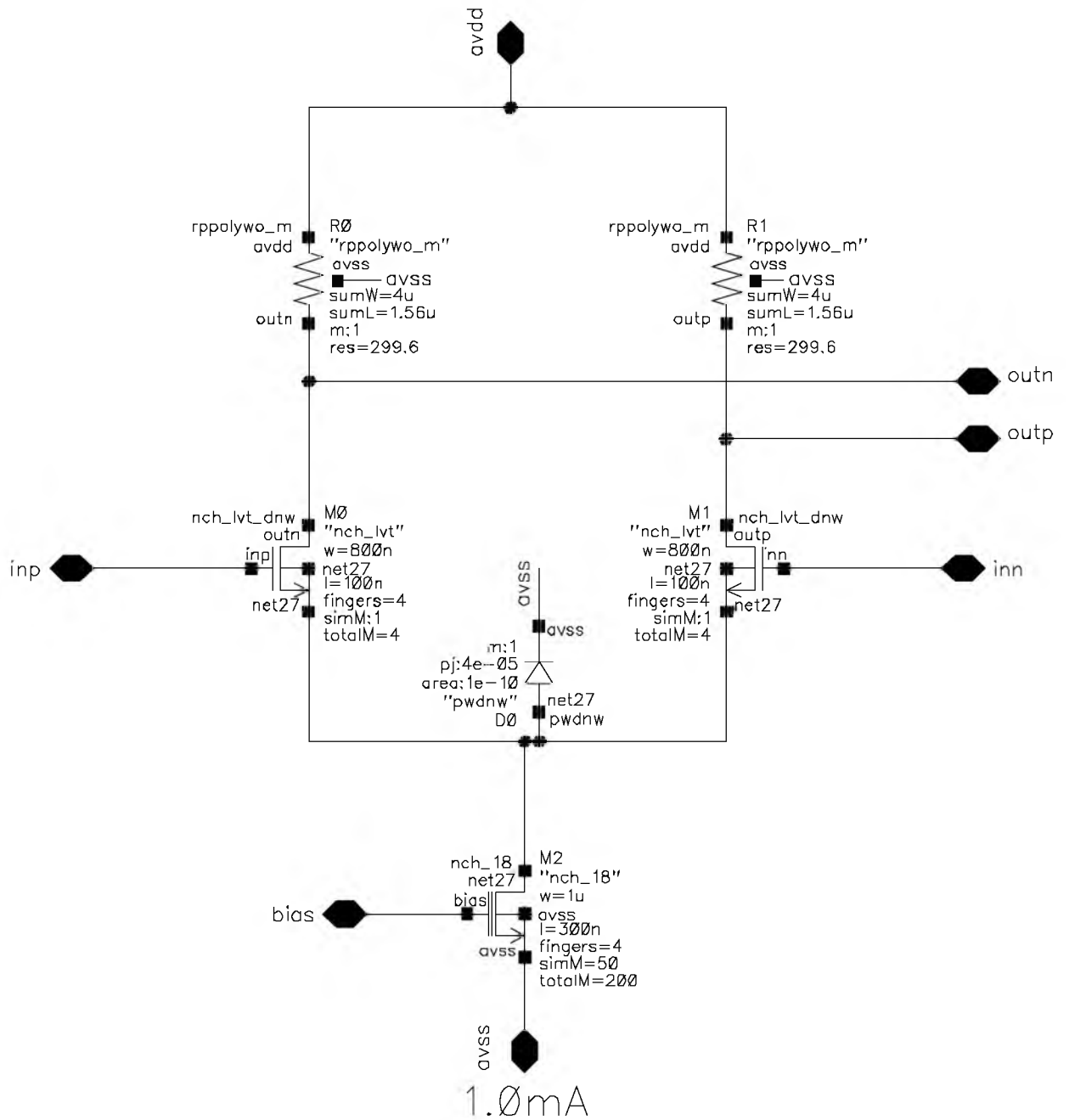


Figura 24: Buffer de salida

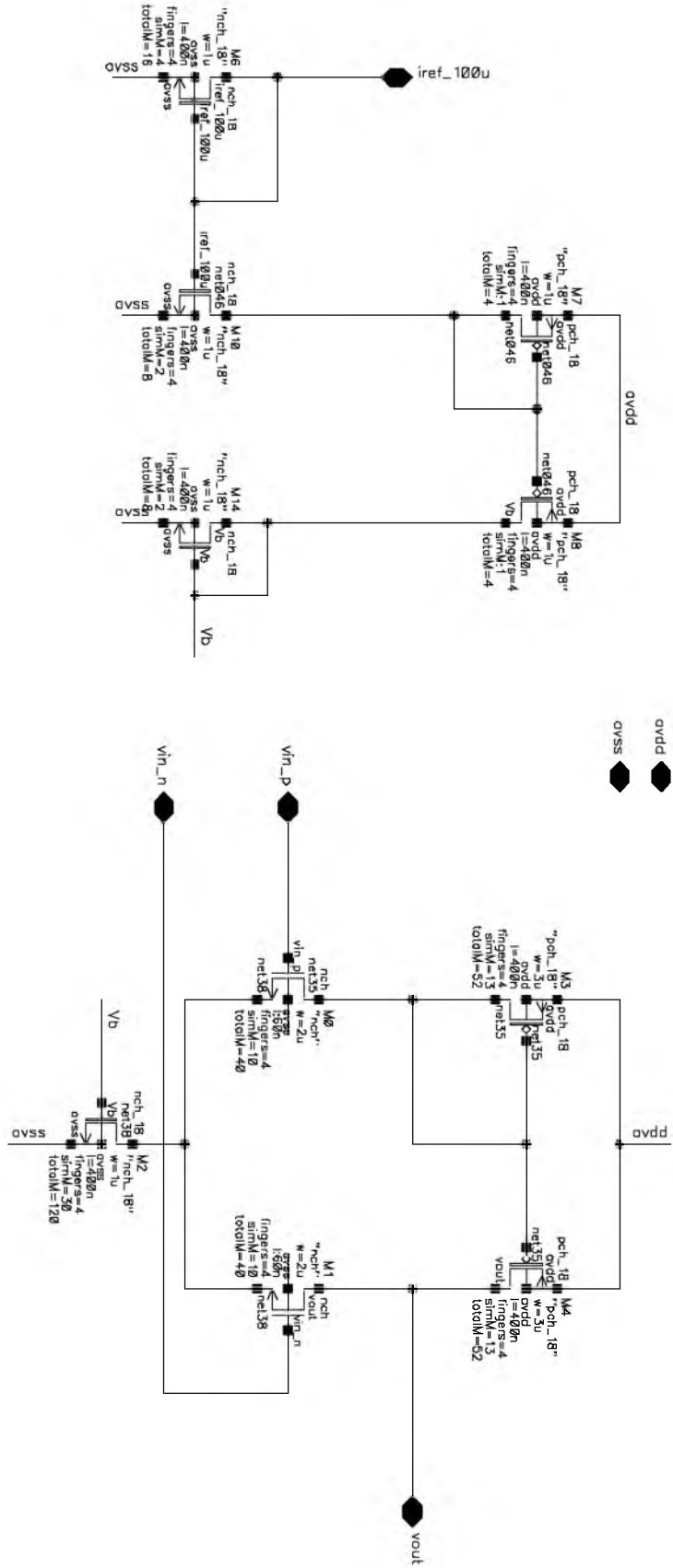


Figura 25: Amplificador Operacional

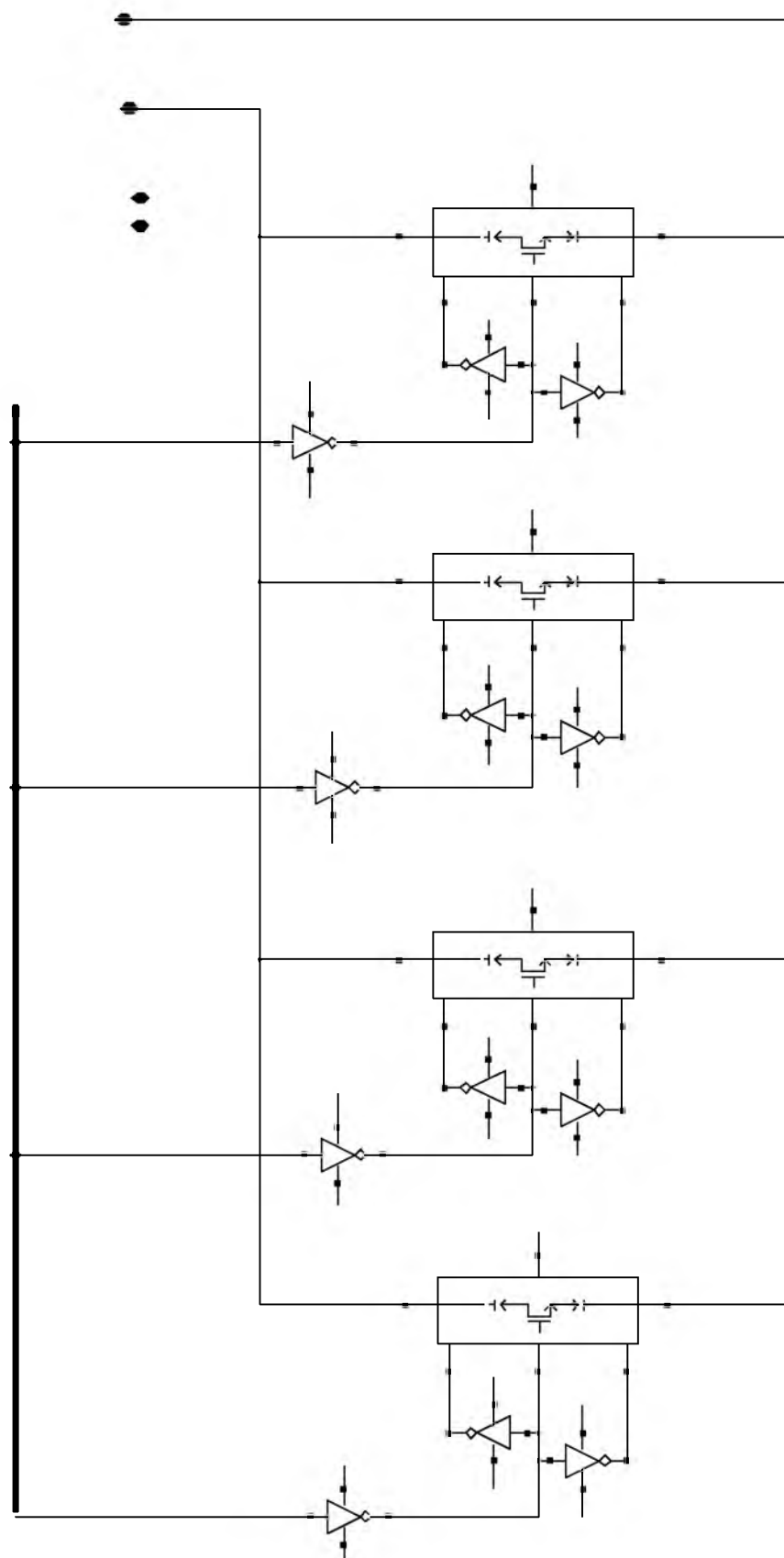


Figura 26: Capacitores de sintonizacion nivel superior

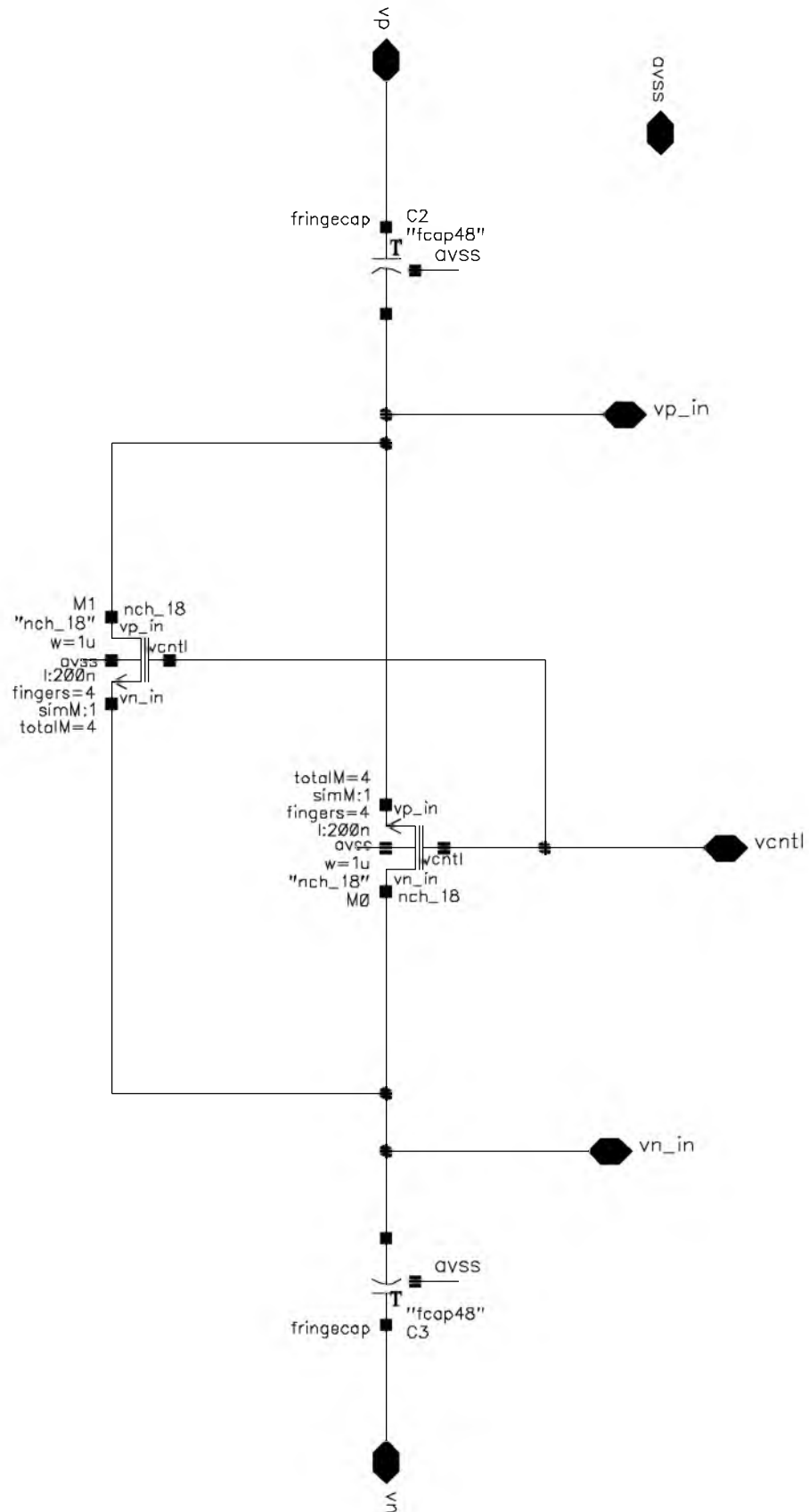


Figura 27: Una de las ramas de los capacitores de sintonización

[illegible]

Figura 28: Buffer CML

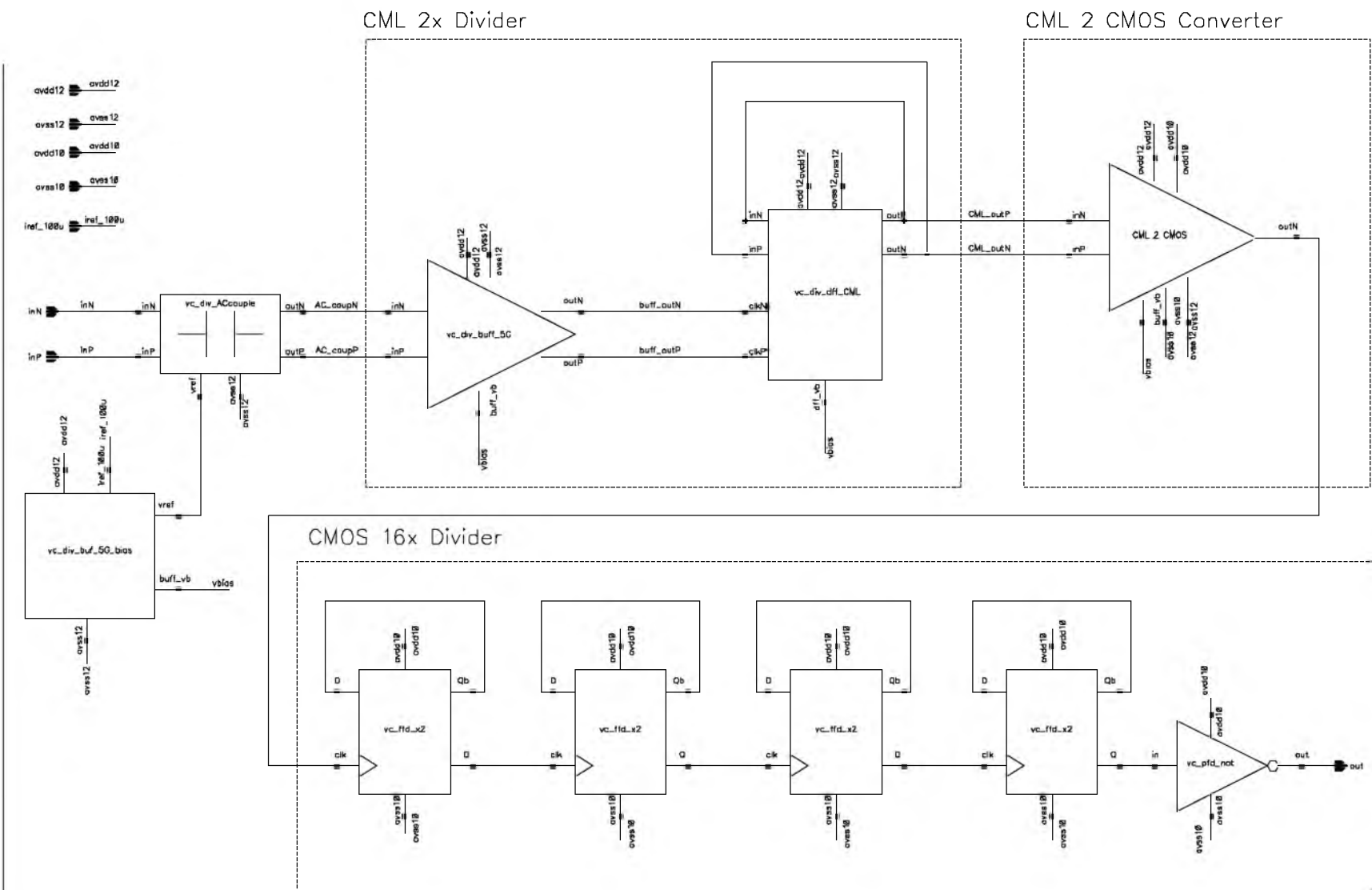


Figura 29: Diagrama en bloques del divisor

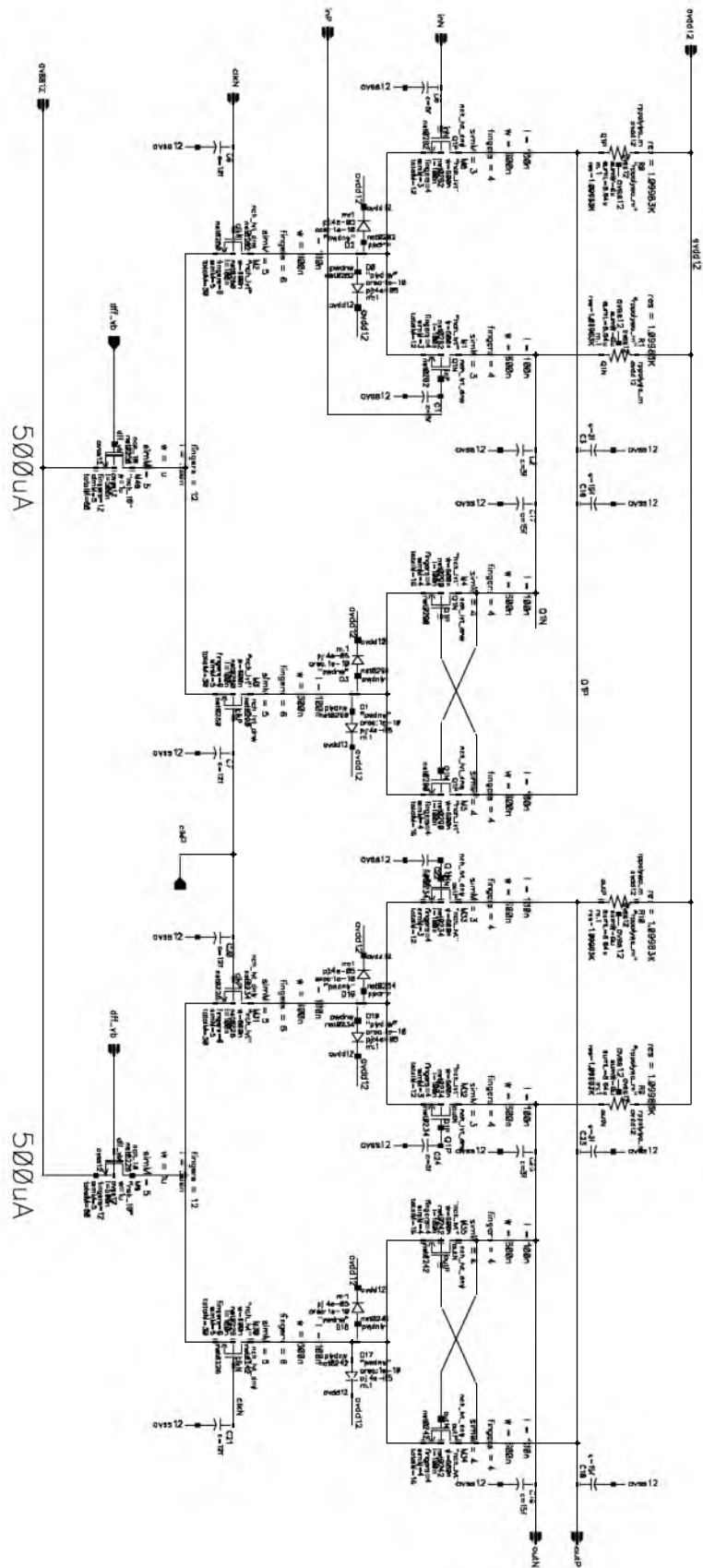


Figura 30: Divisor x2 CML

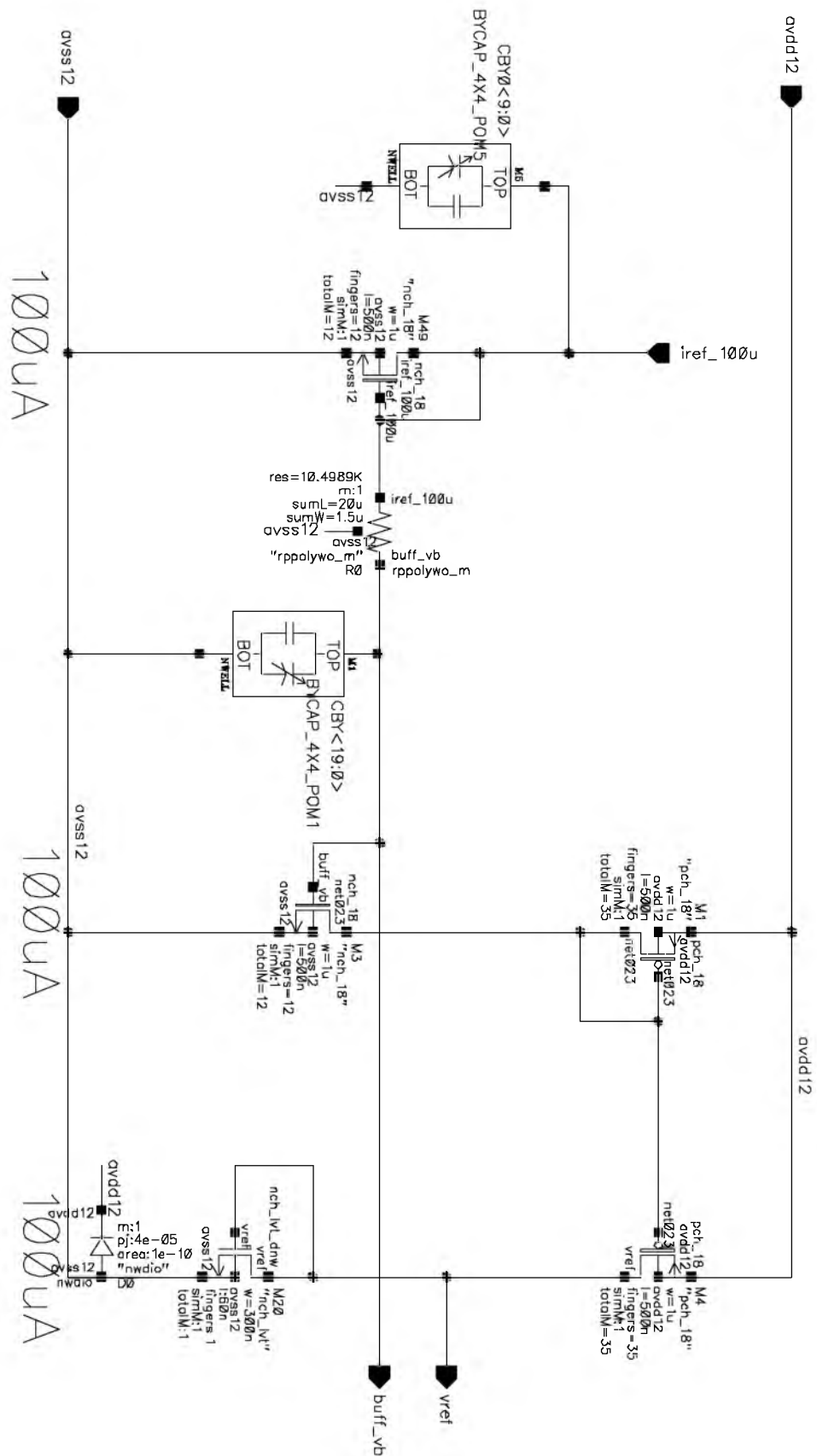
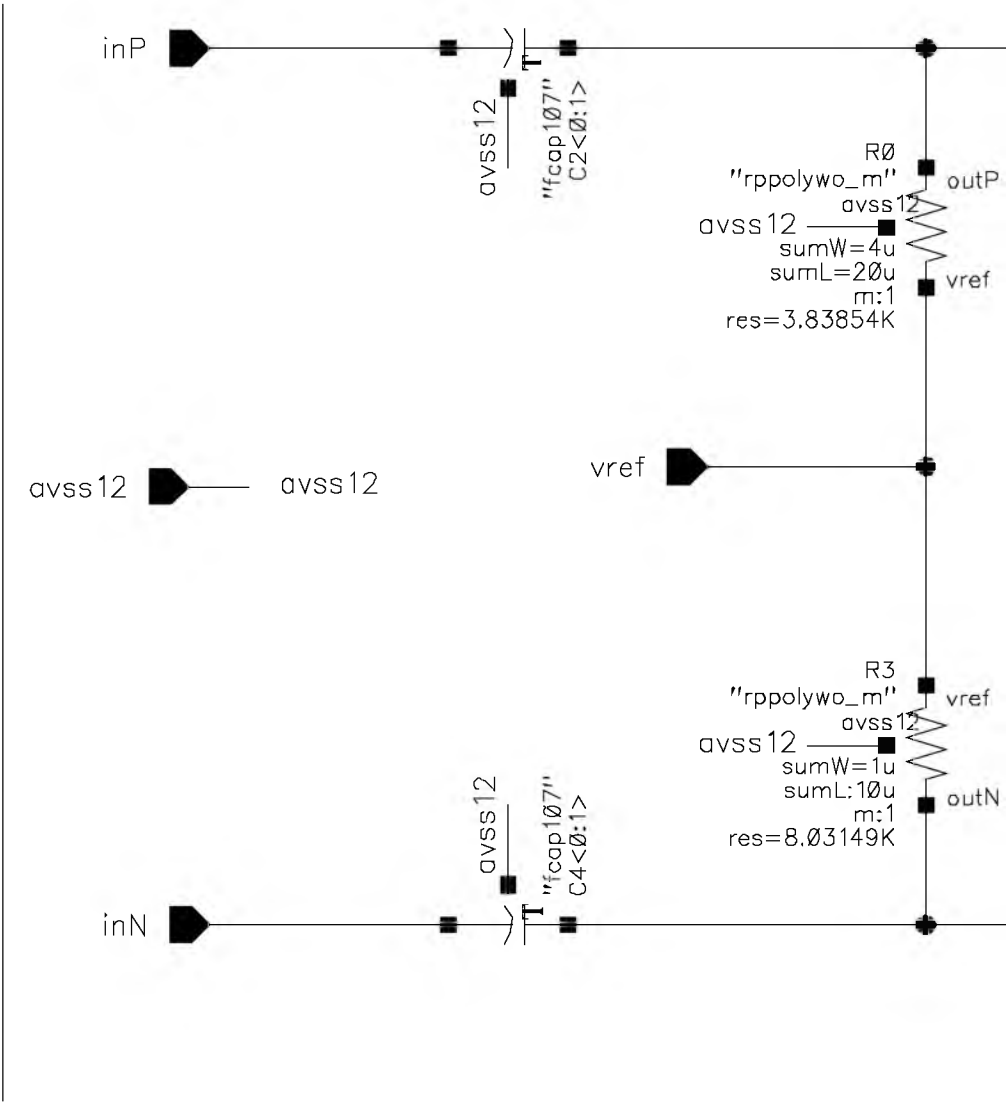


Figura 33: Circuito de Bias



$$R = 3K8$$

$$C = 107\text{fF} \times 2 = 214 \text{ fF}$$

$$\text{Pole} = 194.18 \text{ MHz}$$

outP

outN

Figura 34: Acoplamiento de AC

ANEXO B: TECNOLOGÍA TSMC 65NM

En la fabricación de circuitos integrados con muy alta escala de integración (VLSI) existen muchos de parámetros como el dopaje de los semiconductores, el cambio de la movilidad de los portadores, los espesores y distancias entre los semiconductores o los metales, etc que pueden cambiar de acuerdo a ciertas condiciones de fabricación. Estos parámetros dependen críticamente factores como cambios muy pequeños en la humedad o temperatura de la sala limpia, el transporte de los wafers de silicio o según la posición que tiene cada transistor dentro del wafer entre muchos otros.

Tipos de corners

Los corners del proceso representan una variación de 3σ o 6σ de ciertos parámetros importantes que, de no asegurar el funcionamiento del circuito dentro de todas las combinaciones posibles, el resultado de la fabricación puede hacer que lo que se está fabricando no funcione.

Para nombrar a cada corner se utilizan dos letras, donde la primera se refiere a los transistores NMOS y la segunda a los PMOS. En esta convención existen tres tipos de corners diferentes: *TYPICAL*, *FAST* y *SLOW*. En *TYPICAL* la movilidad de los portadores es la nominal, mientras que en *FAST* y *SLOW* es mayor y menor respectivamente.

Además de los mosfets, las resistencias y capacitores fabricados con el proceso también poseen variaciones. De acuerdo a cada corner que se desea simular es la combinación de los parámetros que se elige. Estas simulaciones se realizan en base a los modelos que provee el fabricante de manera que el diseñador tenga el control sobre las variables del proceso. Si sólo se tienen en cuenta los mosfets, existen cinco corners diferentes:

- *TYPICAL-TYPICAL (TT)*
- *FAST-FAST (FF)*
- *SLOW-SLOW (SS)*
- *FAST-SLOW (FS)*
- *SLOW-FAST (SF)*

Los tres primeros se denominan *corners pares* debido a que ambos tipos de transistores son afectados de la misma manera y generalmente estos cambios afectan la velocidad de funcionamiento pero no el correcto funcionamiento de la lógica del circuito. Por otro lado, los últimos dos corners se llaman *corners asimétricos* debido a que un tipo de transistor funcionará a una mayor velocidad que la nominal, mientras que la del otro será menor, haciendo que las velocidades entre

PMOS y NMOS sean muy diferentes. Por lo tanto, desde el punto de vista digital, al momento de producirse las transiciones (bajo-alto ó alto-bajo) uno responderá mas rápido que el otro perdiéndose la simetría en la lógica. Desde el punto de vista analógico, cambiar el corner de los transistores implica cambios en la ganancia, la resistencia de salida, la corriente de drain, etc.

Como se dijo anteriormente, la resistencias y capacitores fabricados en el silicio junto con los transistores, también tienen variaciones con el proceso. Por esto, el fabricante proporciona los datos necesarios para modelar en simulación el comportamiento en cada corner, de la misma manera que se hace con los transistores.

Por último, las especificaciones para los corners de tensión de alimentación son del $\pm 10\%$ mientras que para las corrientes de referencia es el $\pm 5\%$ con respecto a la nominal. En la nomenclatura, $avdd10=1V$ y $avdd12=1.2V$.

Para este trabajo, la definición de cada corner puede verse en la siguiente figura:

| Corner Definitions | | | | | | |
|--------------------|-------------|-------------|-------------|-------------|-------------|-------------|
| Variables | Typical | FF | SS | GmR | SF | FS |
| resmodel | res_t | res_l | res_h | res_l | res_h | res_h |
| Mos | mos_tt | mos_ff | mos_ss | mos_ss | mos_sf | mos_fs |
| capbipdio | capbipdio_t | capbipdio_s | capbipdio_f | capbipdio_s | capbipdio_s | capbipdio_s |
| temp | 75 | 20 | 125 | 125 | 125 | 125 |
| iref | 100u | 105u | 95u | 95u | 95u | 95u |
| avdd10 | 900m | 1.1 | 900m | 900m | 900m | 900m |
| avdd12 | 1.08 | 1.32 | 1.08 | 1.08 | 1.08 | 1.08 |

Figura 35: Definición de los corners simulados

Curvas de caracterización

Para poder diseñar cualquier circuito es necesario conocer la tecnología que se va a utilizar. Por eso, se realizó una caracterización de cada uno de los transistores utilizados. TSMC provee cuatro tipos de transistores PMOS y cinco tipos NMOS. Tanto PMOS como NMOS poseen transistores con tensión de ruptura de $V_{ruptura} = 1.8V$ y ($V_{ruptura} = 1V$). En estos últimos existen a su vez tres tipos diferentes según sea su tensión umbral:

- **HVT: High voltage threshold:** Tensión de umbral de valor mayor la nominal.
 $V_{th0p} \approx 390mV$ y $V_{th0n} \approx 450mV$
- **SVT: Standard voltage threshold:** Tensión de umbral de valor nominal.
 $V_{th0p} \approx 300mV$ y $V_{th0n} \approx 320mV$
- **LVT: Standard voltage threshold:** Tensión de umbral de valor menor a la nominal.
 $V_{th0p} \approx 190mV$ y $V_{th0n} \approx 170mV$

Además, en el caso especial de los transistores NMOS, existe un tipo de transistor que se denomina *DNW - Deep N-Well* que posee un modelo igual al NMOS SVT, pero cada transistor es fabricado en un pozo separado con el fin de poder conectar el sustrato al source para evitar el efecto body, entre otras cosas. Los transistores de 1.8V poseen tensiones de umbral de: $V_{th0p} \approx 360mV$ y $V_{th0n} \approx 360mV$

A continuación se muestran las gráficas de caracterización de los dispositivos.

Transistores NMOS HVT ($V_{ruptura} = 1V$)

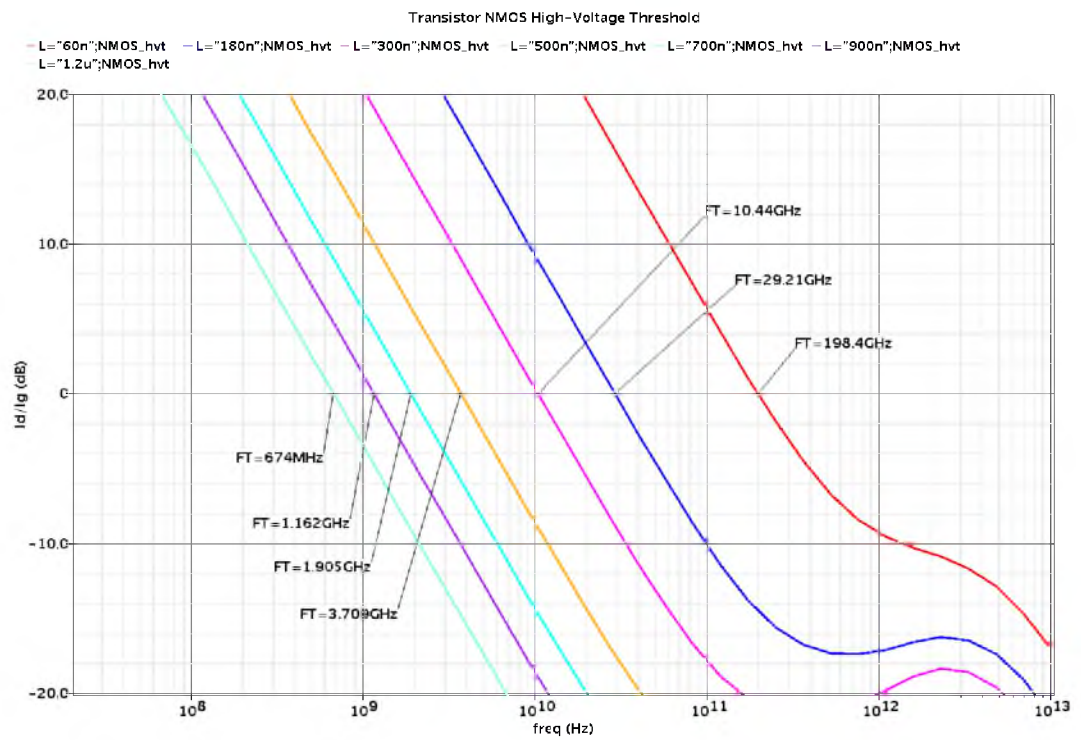


Figura 36: Transistor NMOS HVT - Frecuencia de transición

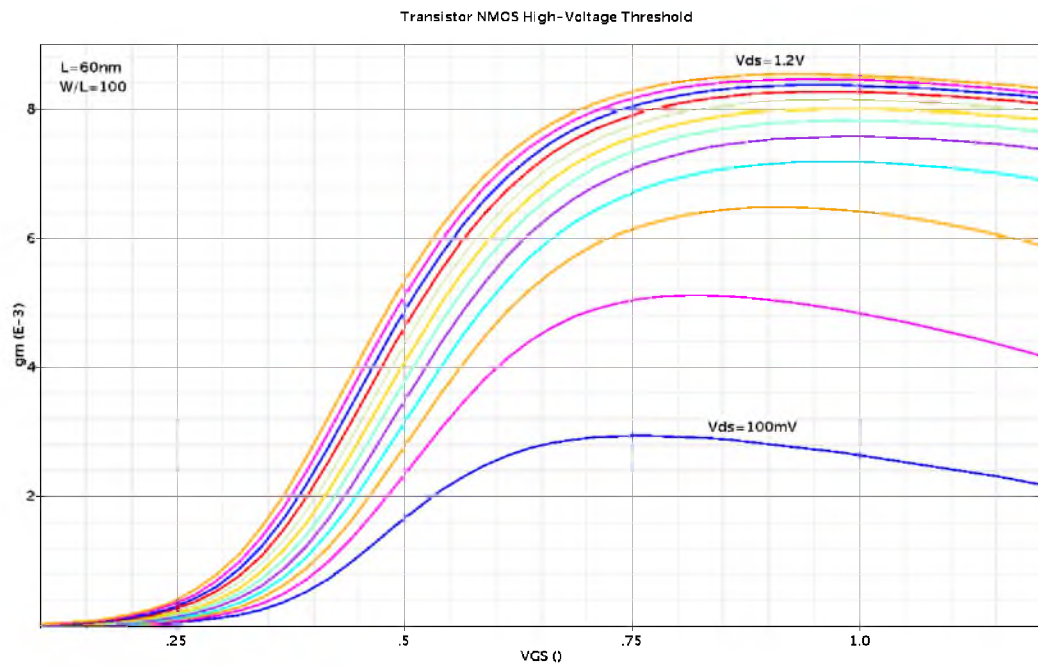


Figura 37: Transistor NMOS HVT - Ganancia vs tensión VGS

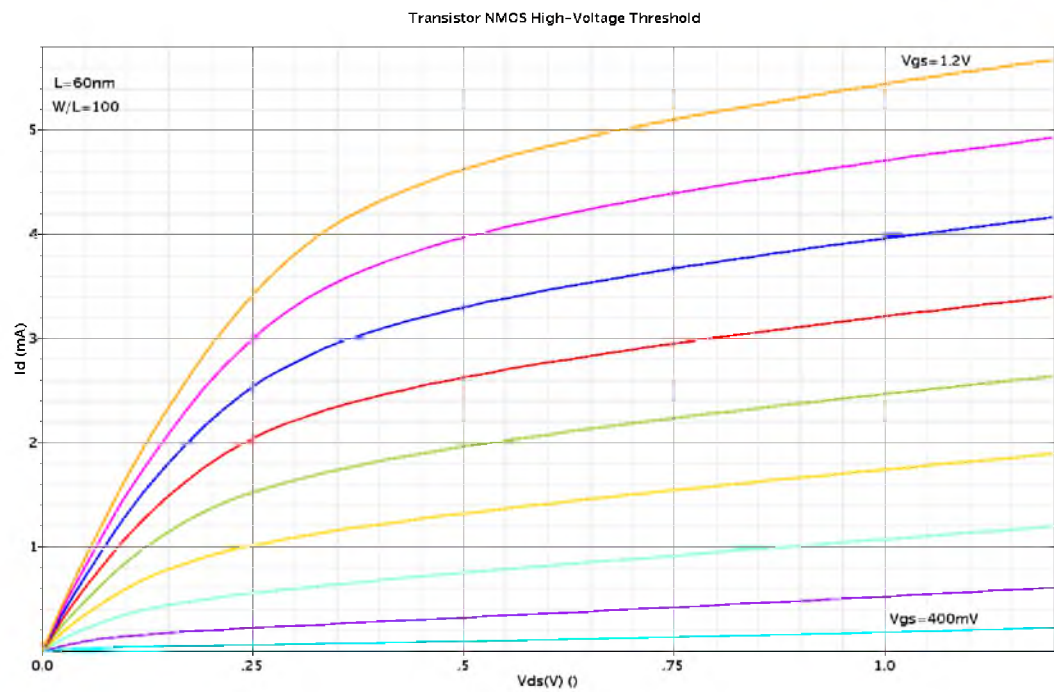


Figura 38: Transistor NMOS HVT - Corriente Id vs tensión VDS

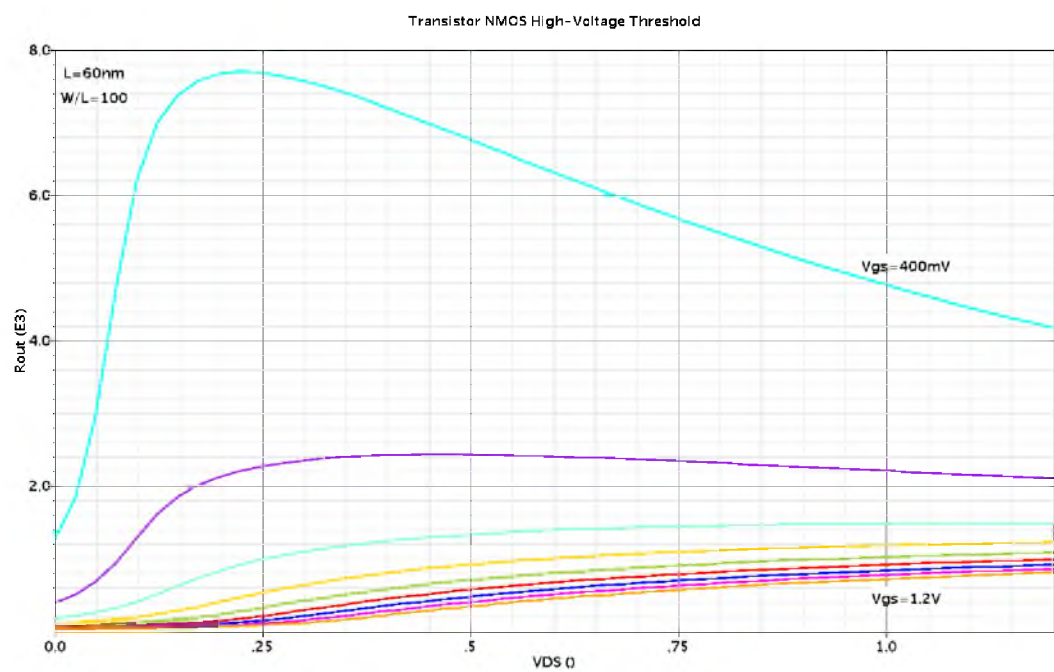


Figura 39: Transistor NMOS HVT - Resistencia de salida vs tensión VDS

Transistores NMOS SVT ($V_{ruptura} = 1V$)

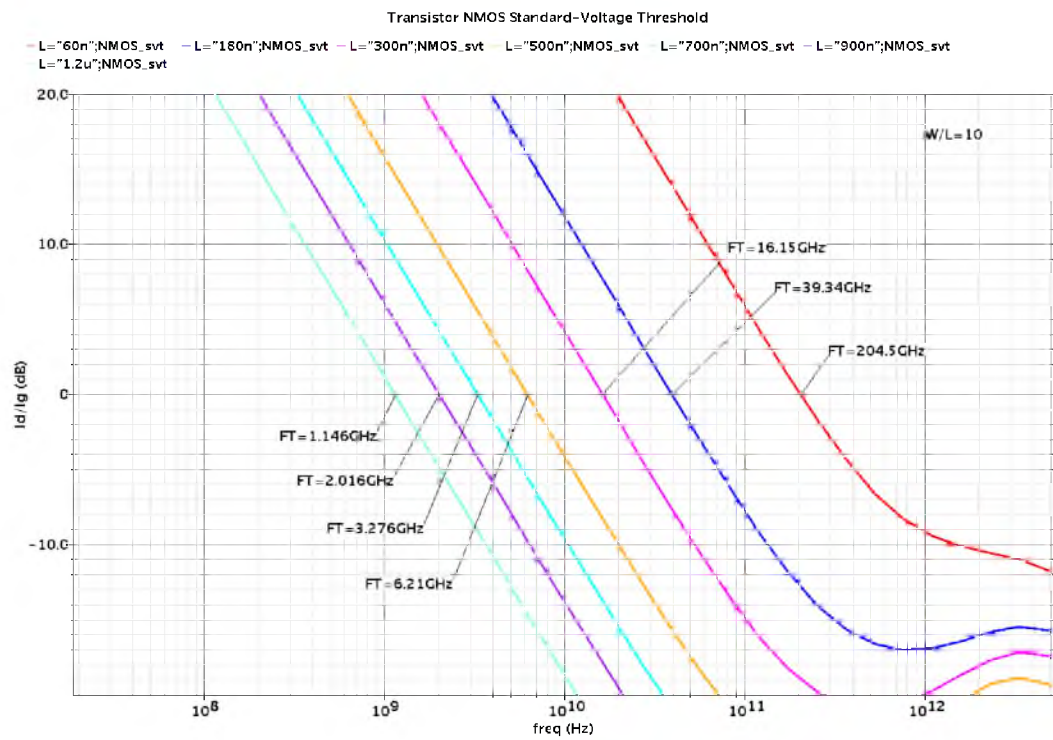


Figura 40: Transistor NMOS SVT - Frecuencia de transición

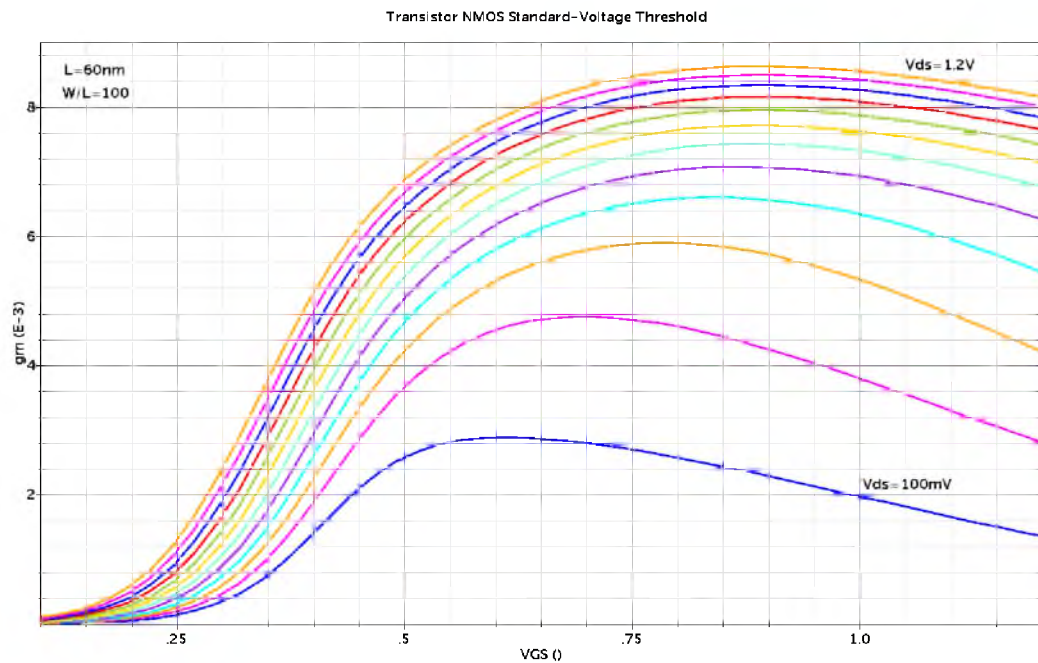


Figura 41: Transistor NMOS SVT - Ganancia vs tensión VGS

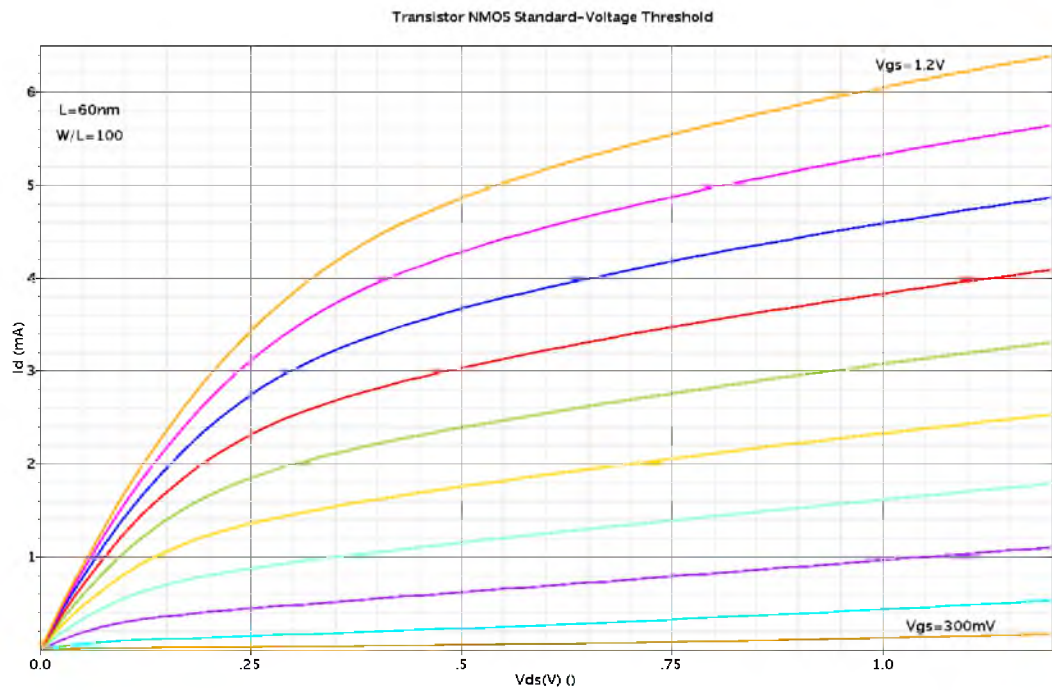


Figura 42: Transistor NMOS SVT - Corriente I_d vs tensión V_{DS}

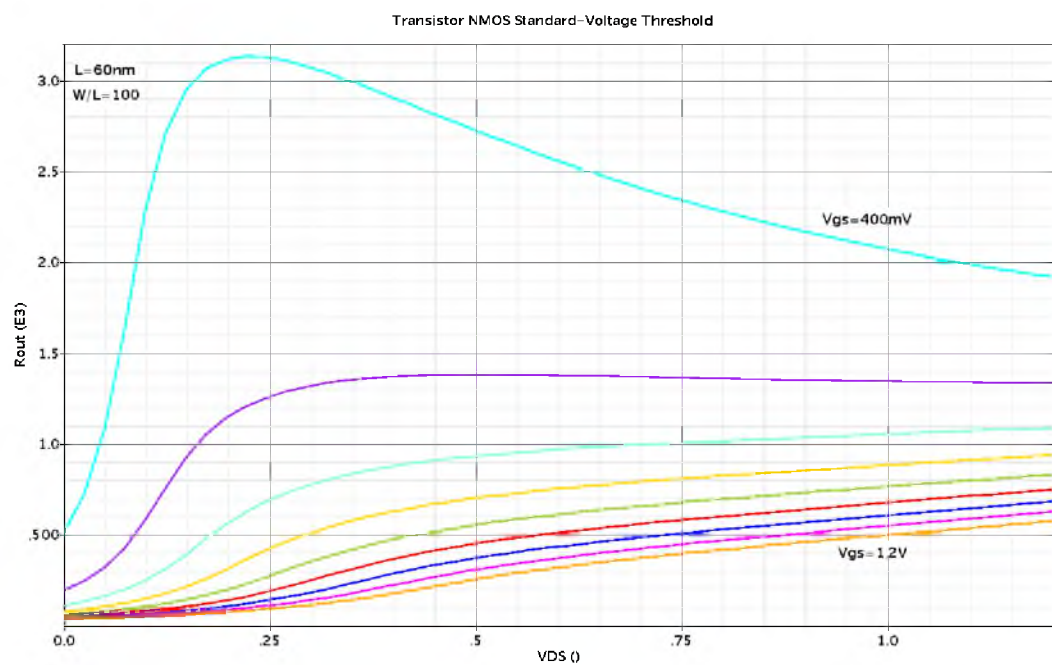


Figura 43: Transistor NMOS SVT - Resistencia de salida vs tensión V_{DS}

Transistores NMOS LVT ($V_{ruptura} = 1V$)

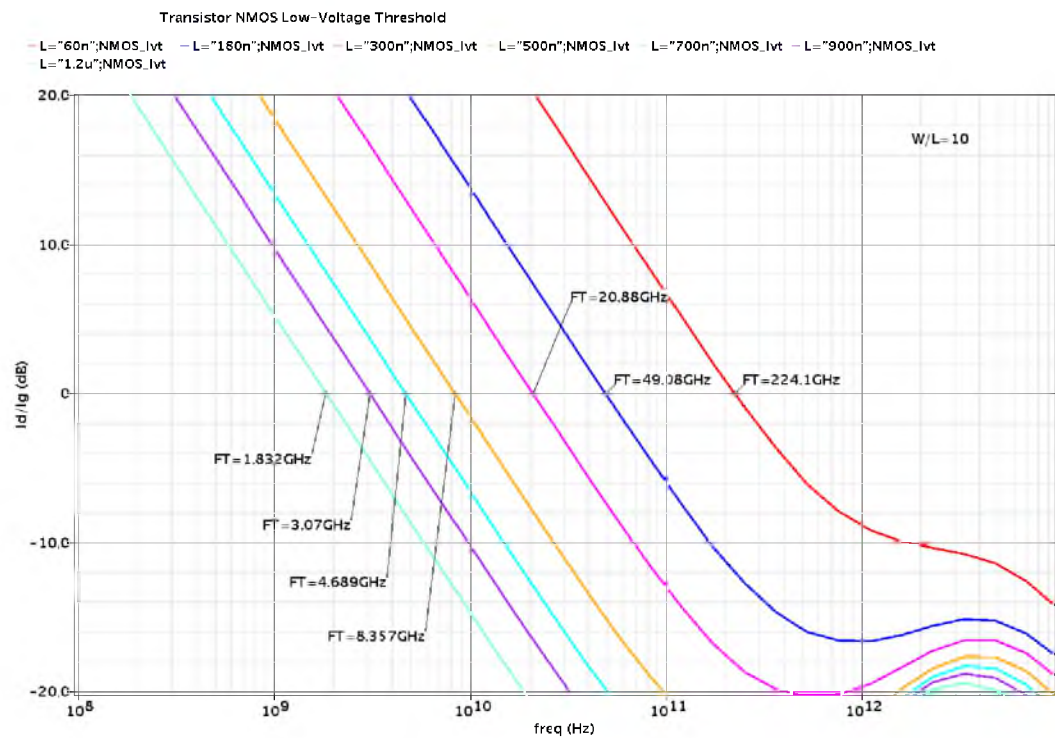


Figura 44: Transistor NMOS LVT - Frecuencia de transición

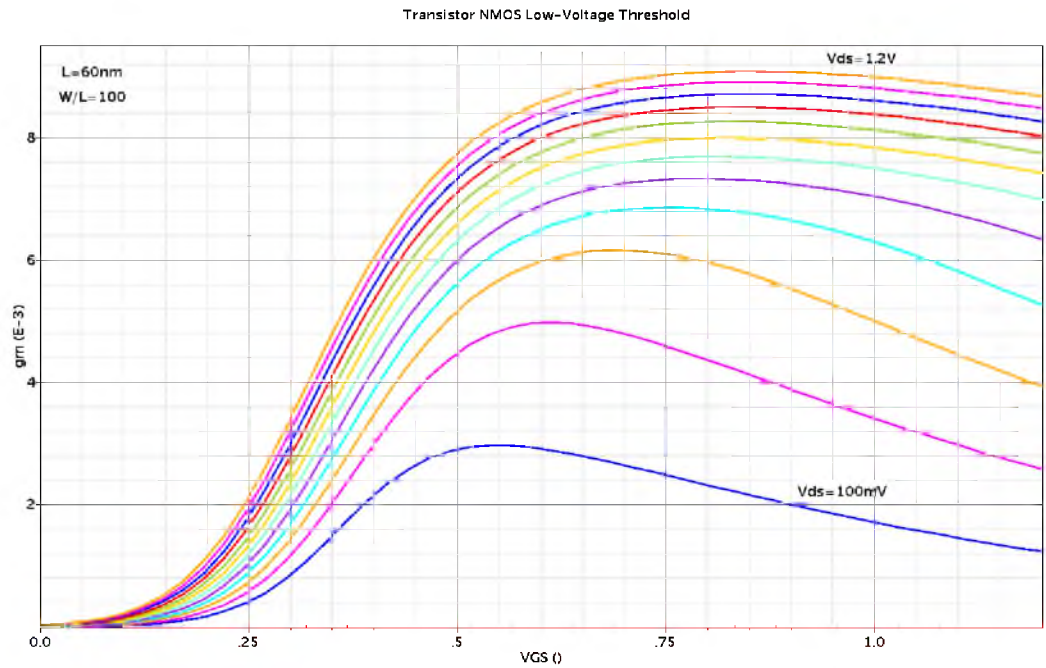


Figura 45: Transistor NMOS LVT - Ganancia vs tensión VGS

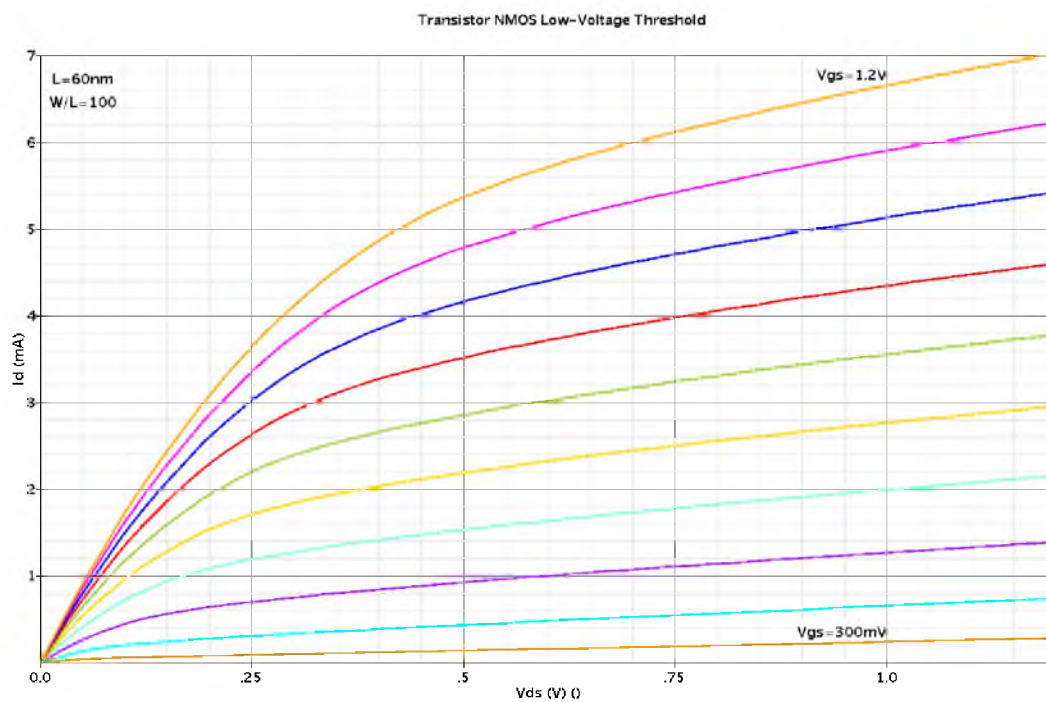


Figura 46: Transistor NMOS LVT - Corriente I_d vs tensión V_{DS}

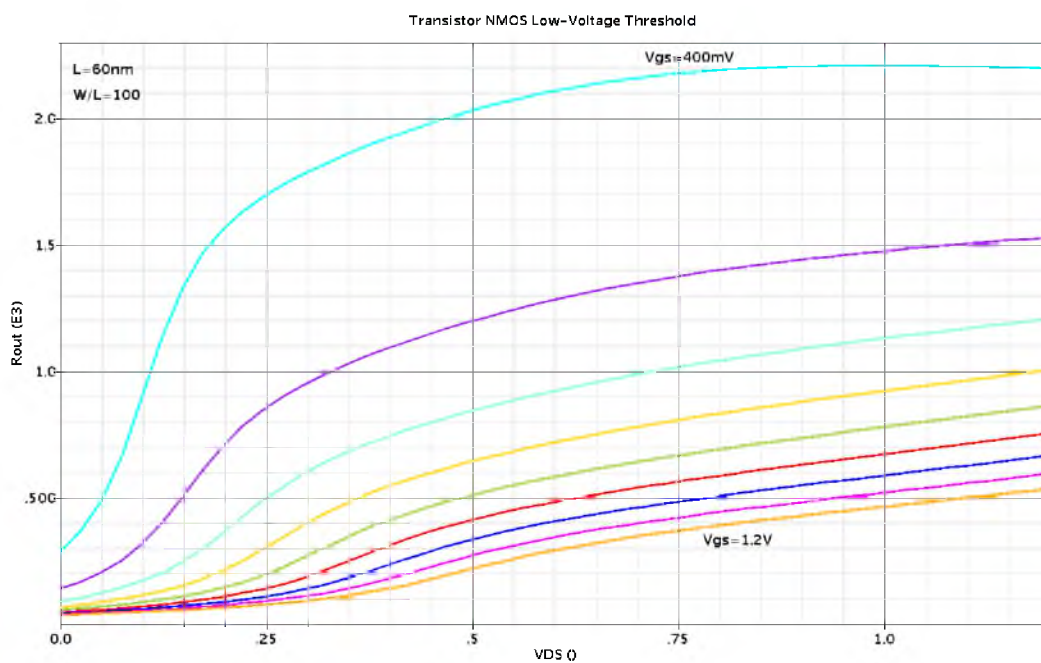


Figura 47: Transistor NMOS LVT - Resistencia de salida vs tensión V_{DS}

Transistores PMOS HVT ($V_{ruptura} = 1V$)

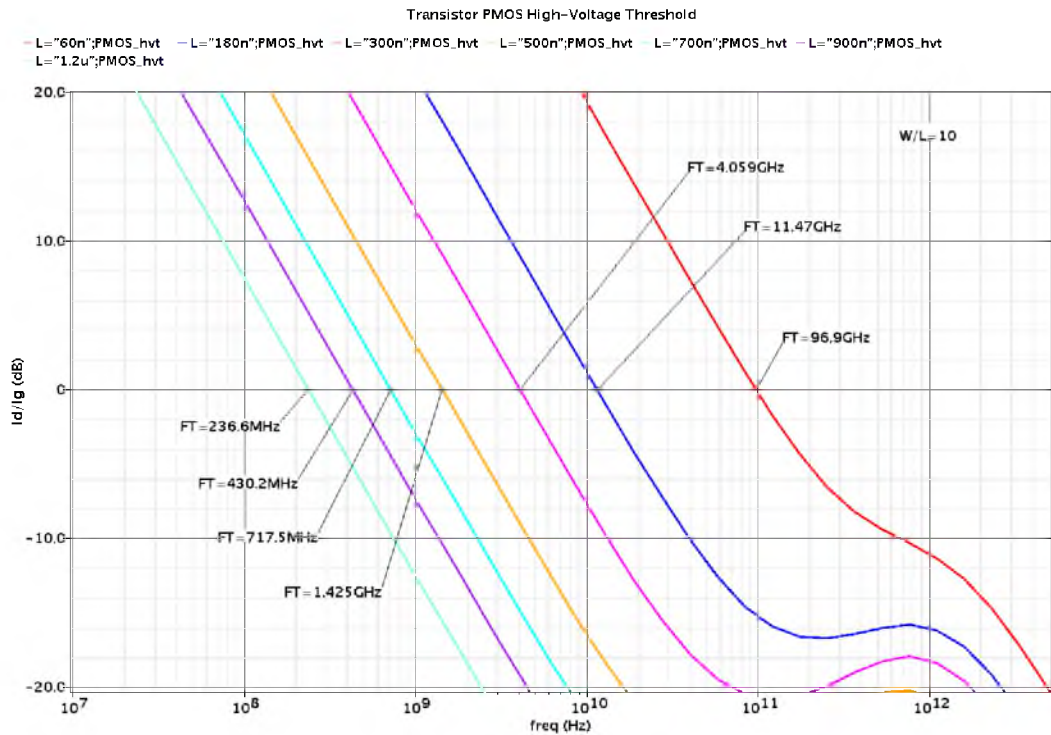


Figura 48: Transistor PMOS HVT - Frecuencia de transición

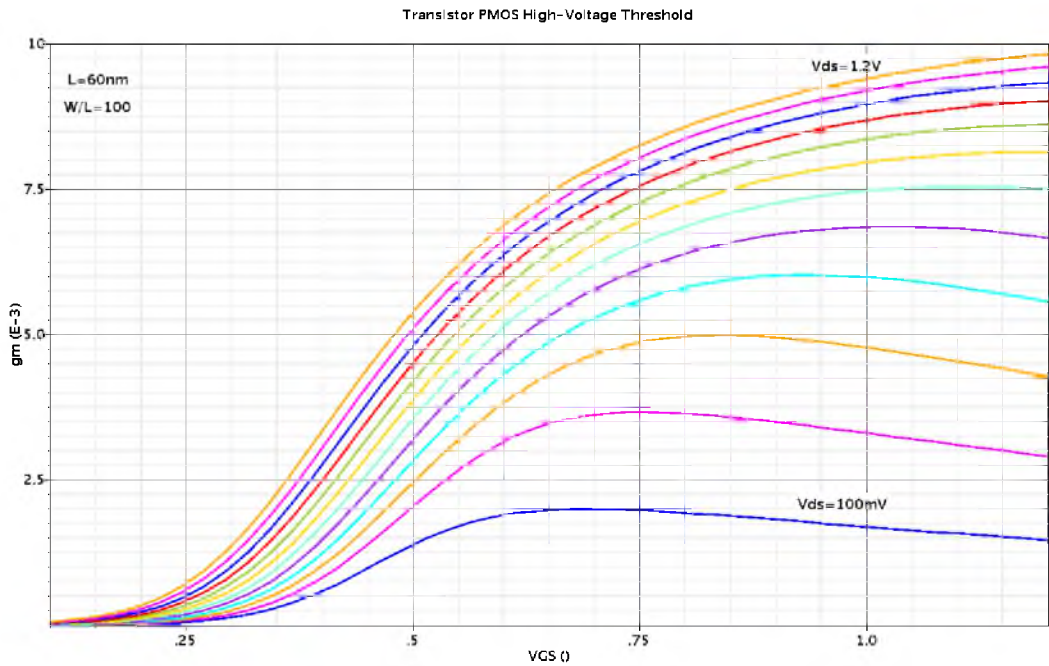


Figura 49: Transistor PMOS HVT - Ganancia vs tensión VGS

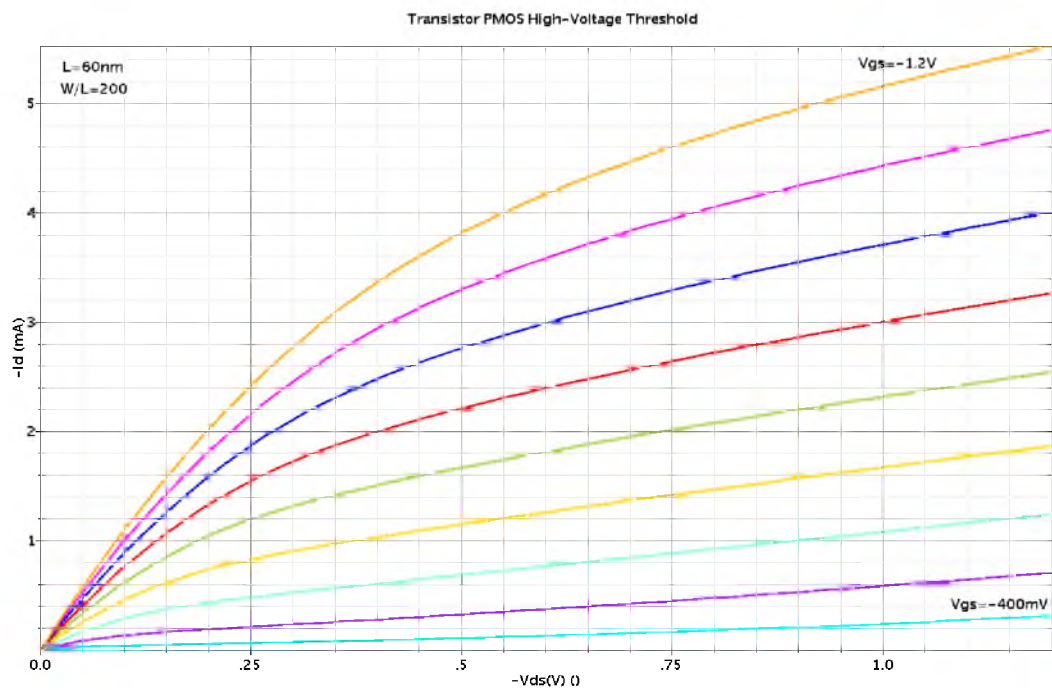


Figura 50: Transistor PMOS HVT - Corriente I_d vs tensión VDS

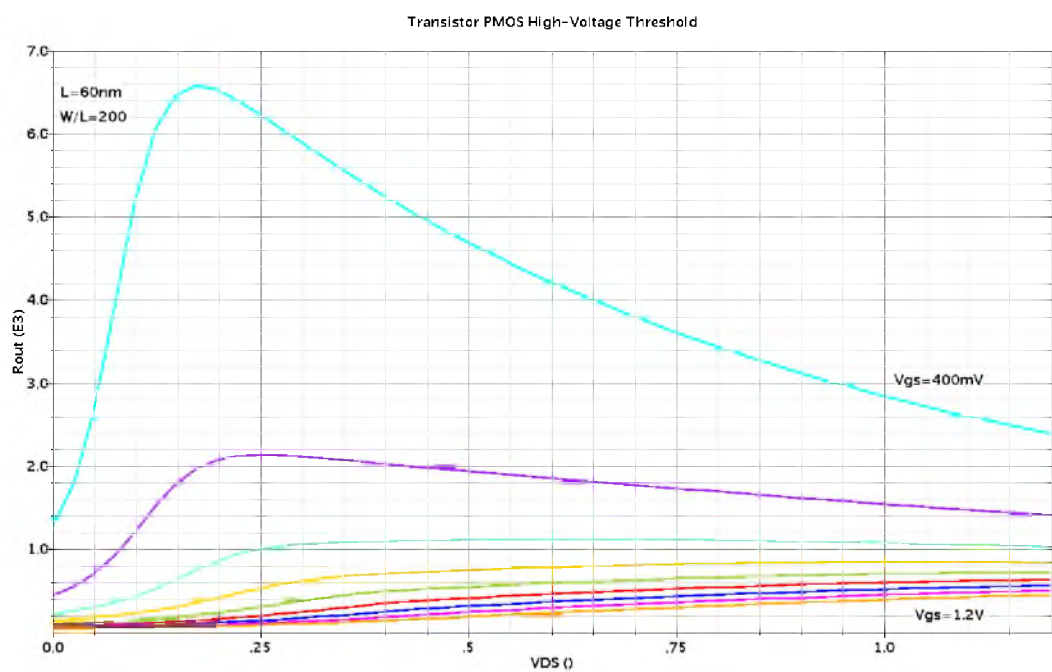


Figura 51: Transistor PMOS HVT - Resistencia de salida vs tensión VDS

Transistores PMOS SVT ($V_{ruptura} = 1V$)

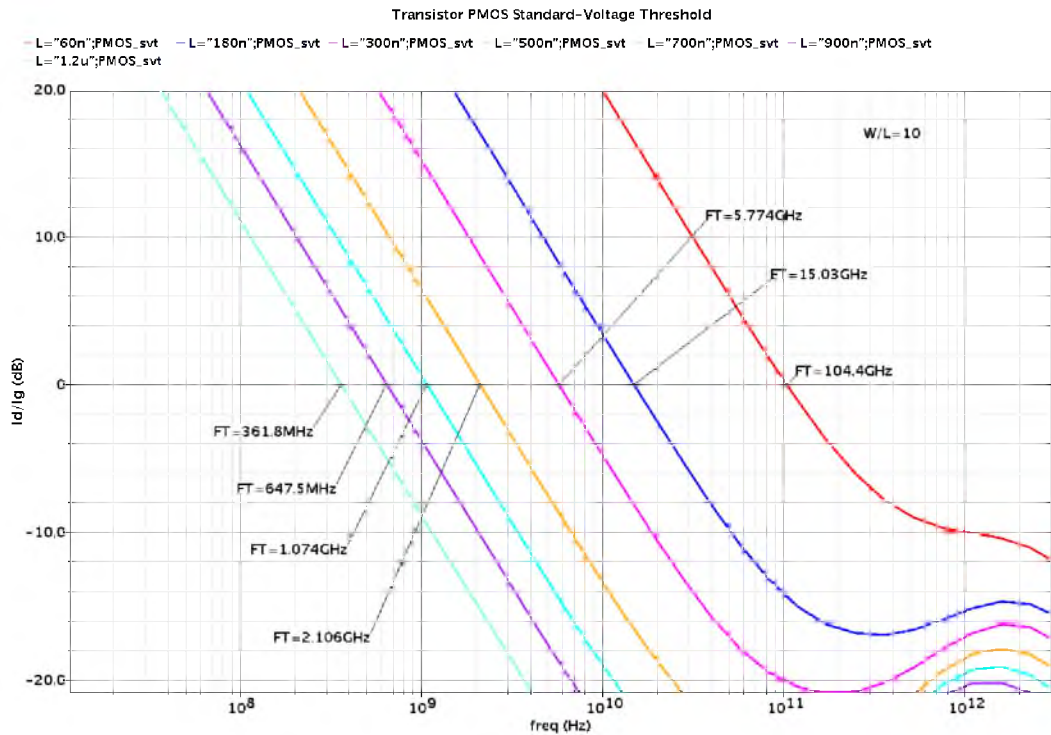


Figura 52: Transistor PMOS SVT - Frecuencia de transición

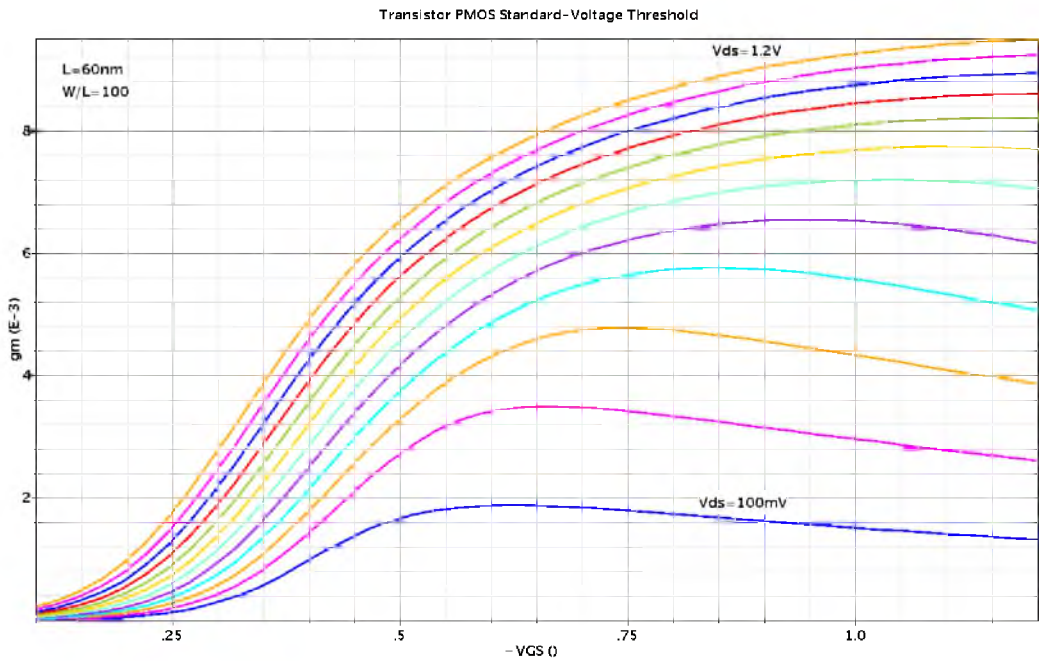


Figura 53: Transistor PMOS SVT - Ganancia vs tensión VGS

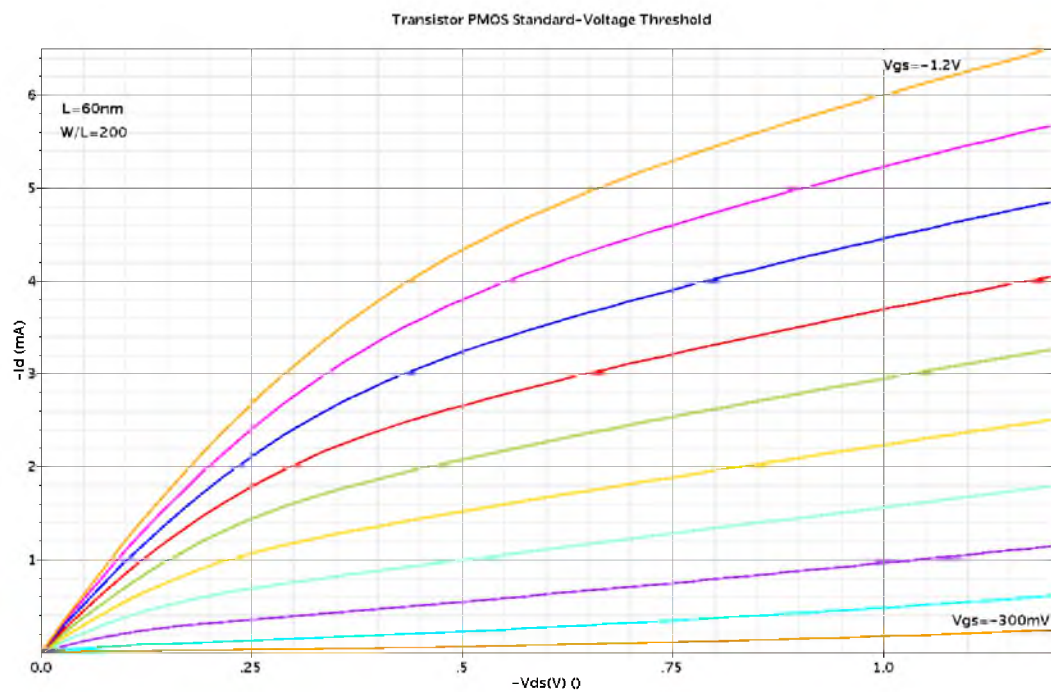


Figura 54: Transistor PMOS SVT - Corriente I_d vs tensión V_{DS}

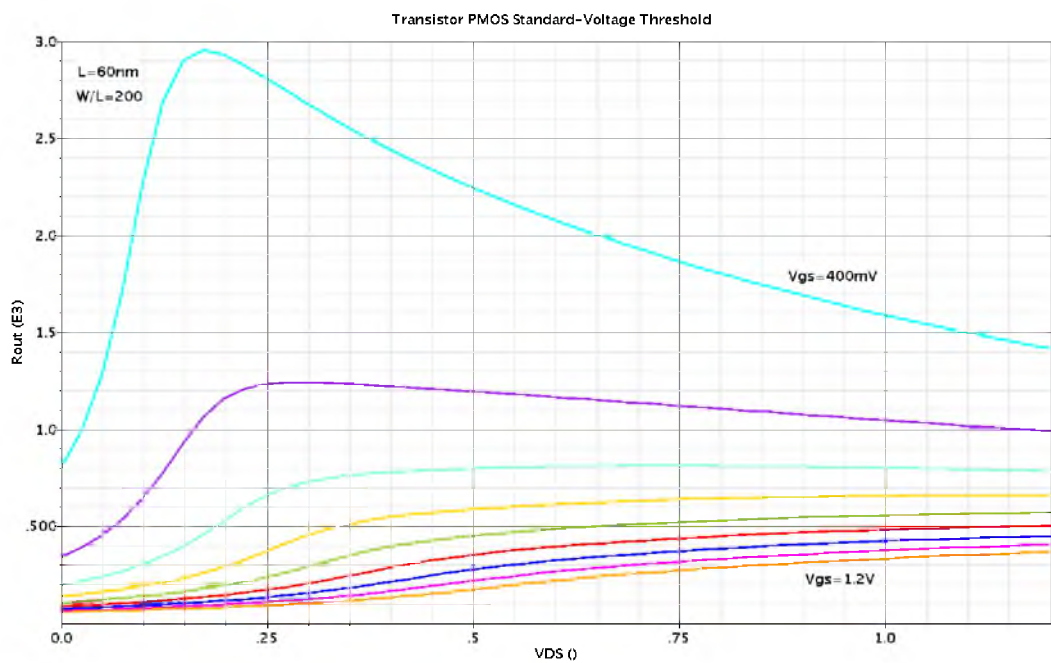


Figura 55: Transistor PMOS SVT - Resistencia de salida vs tensión V_{DS}

Transistores PMOS LVT ($V_{ruptura} = 1V$)

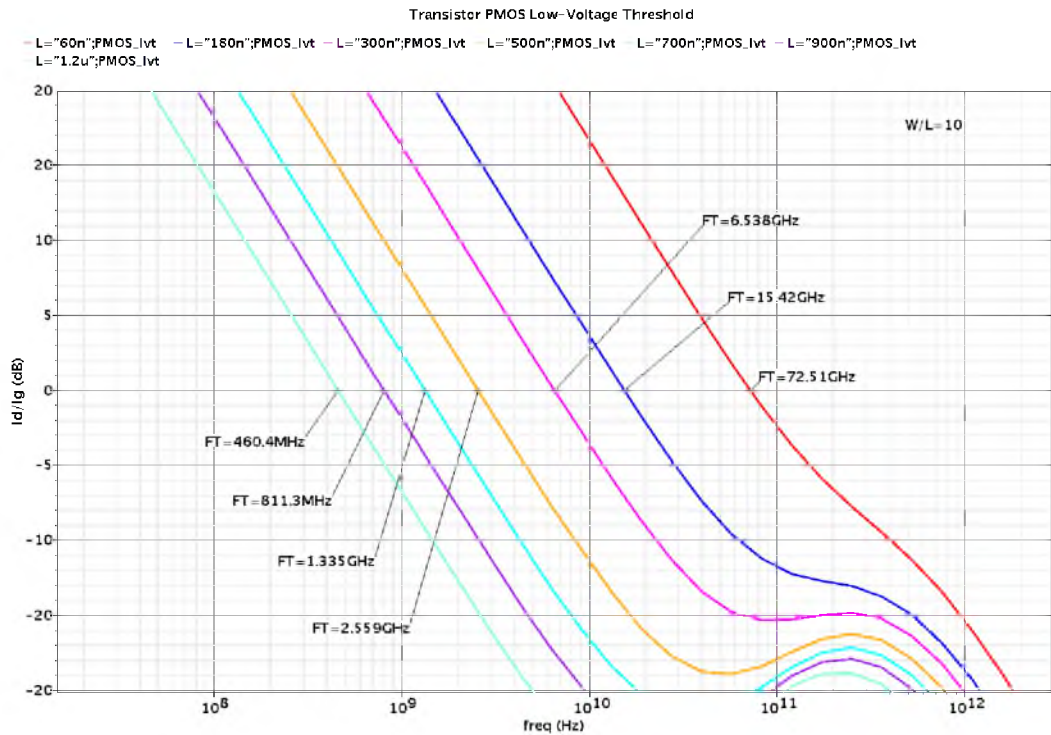


Figura 56: Transistor PMOS LVT - Frecuencia de transición

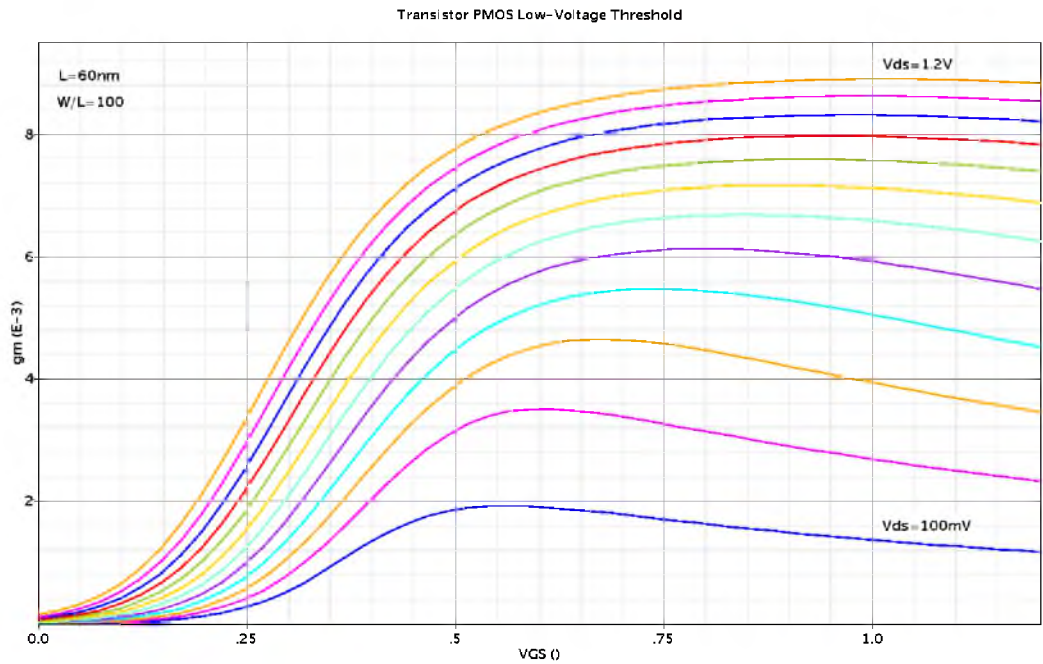


Figura 57: Transistor PMOS LVT - Ganancia vs tensión VGS

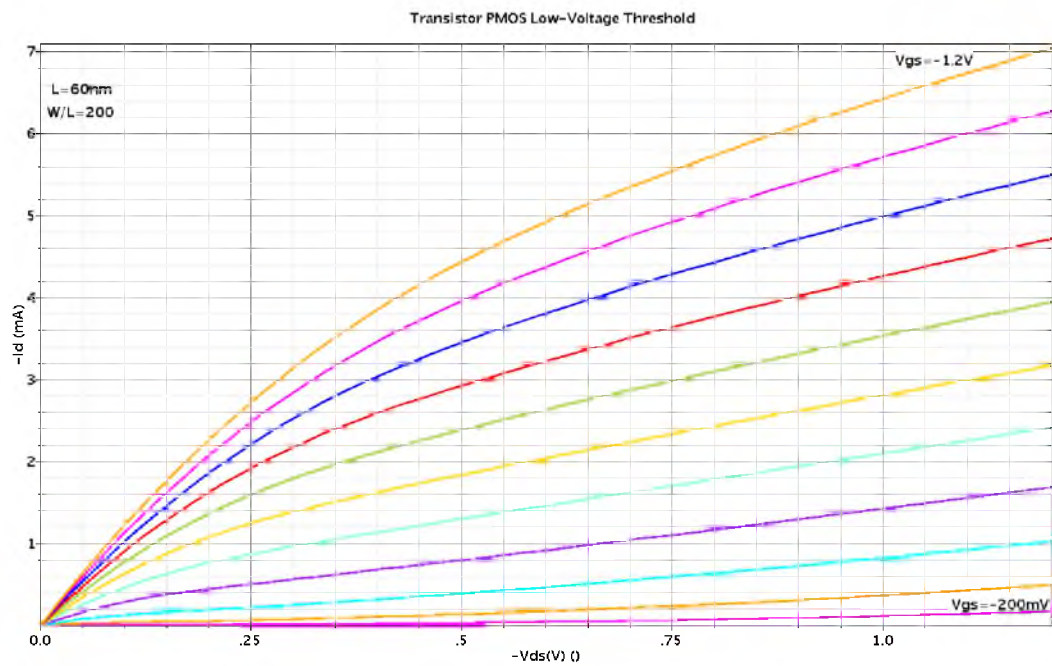


Figura 58: Transistor PMOS LVT - Corriente Id vs tensión VDS

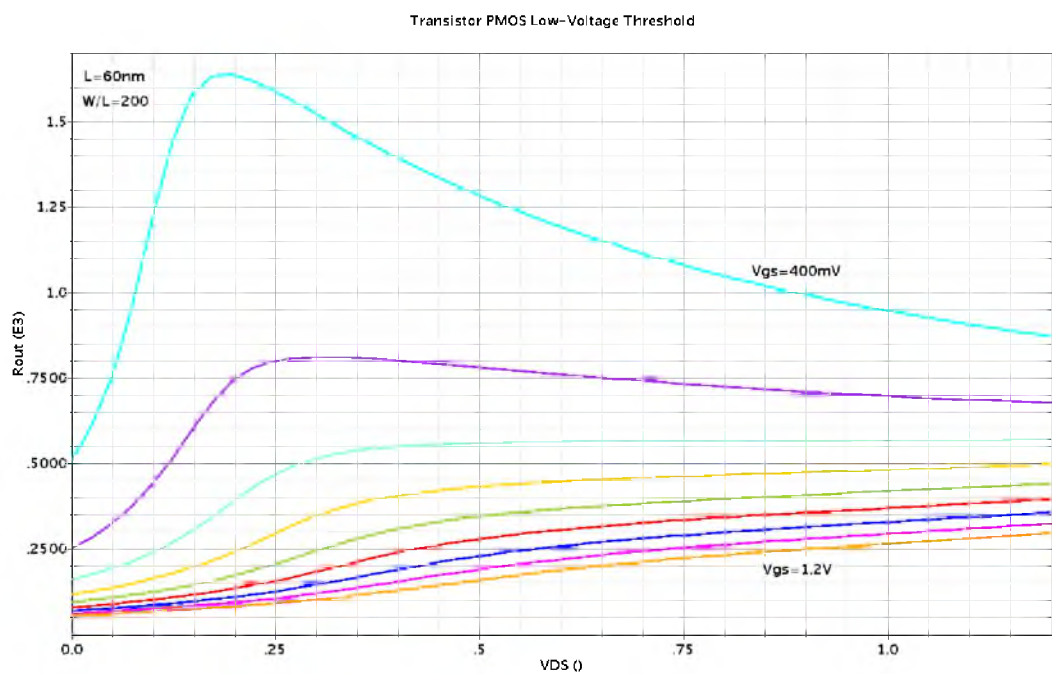


Figura 59: Transistor PMOS LVT - Resistencia de salida vs tensión VDS

Transistores NMOS ($V_{ruptura} = 1,8V$)

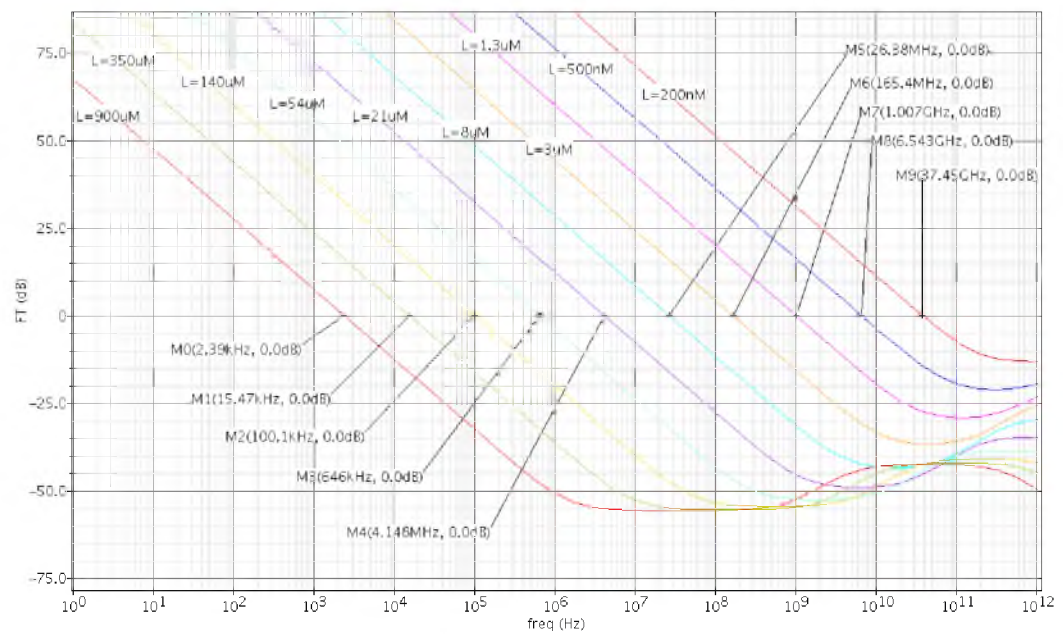


Figura 60: Transistor NMOS 18 - Frecuencia de transición

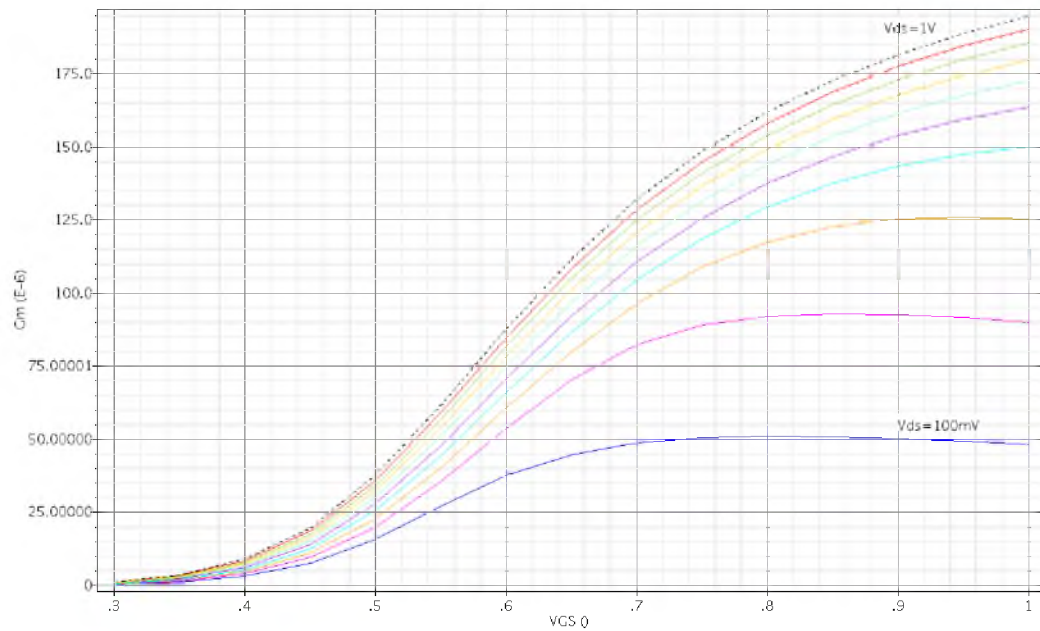


Figura 61: Transistor NMOS 18 - Ganancia vs tensión VGS

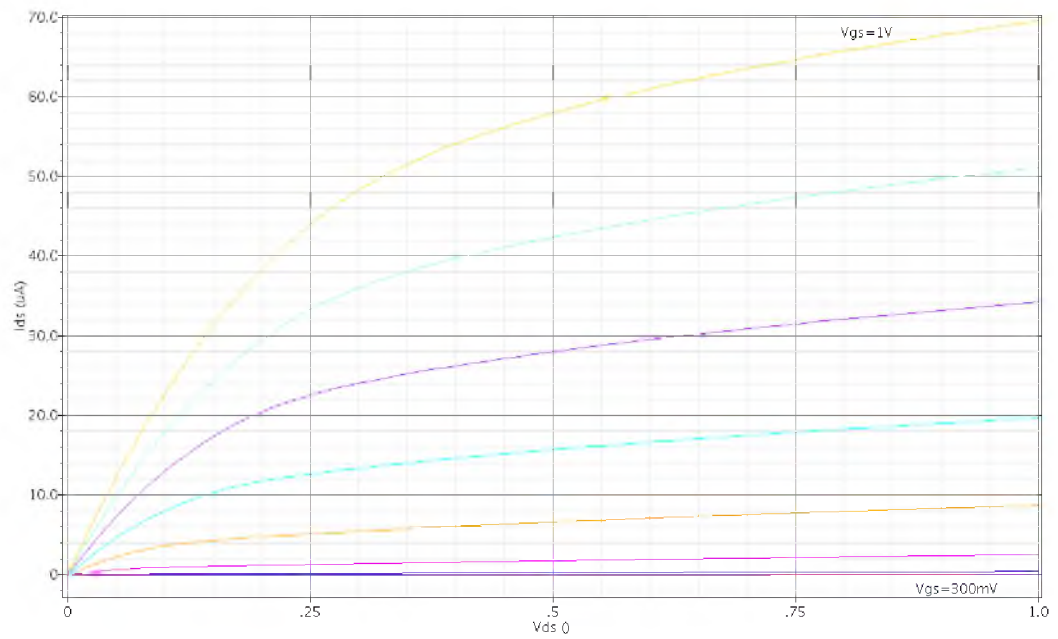


Figura 62: Transistor NMOS 18 - Corriente Id vs tensión VDS

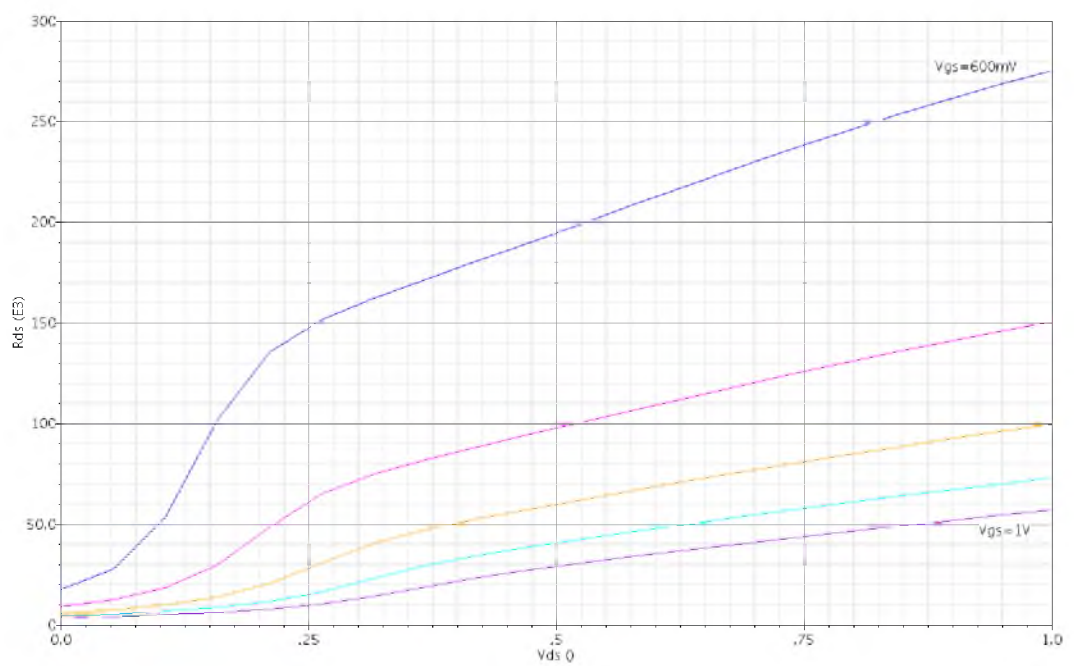


Figura 63: Transistor NMOS 18 - Resistencia de salida vs tensión VDS

Transistores PMOS ($V_{ruptura} = 1,8V$)

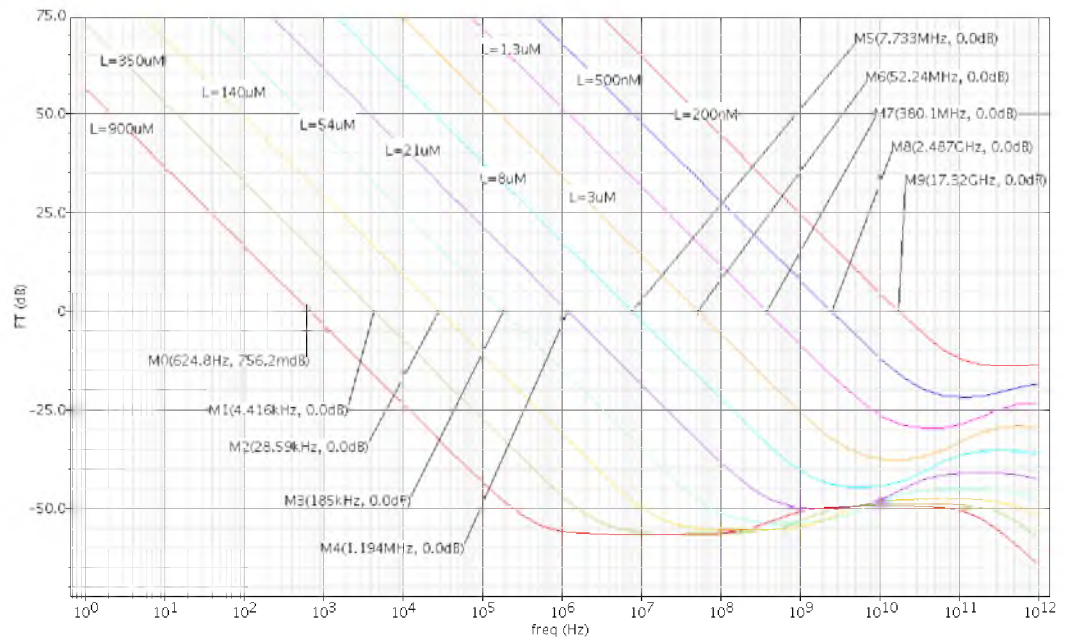


Figura 64: Transistor PMOS 18 - Frecuencia de transición

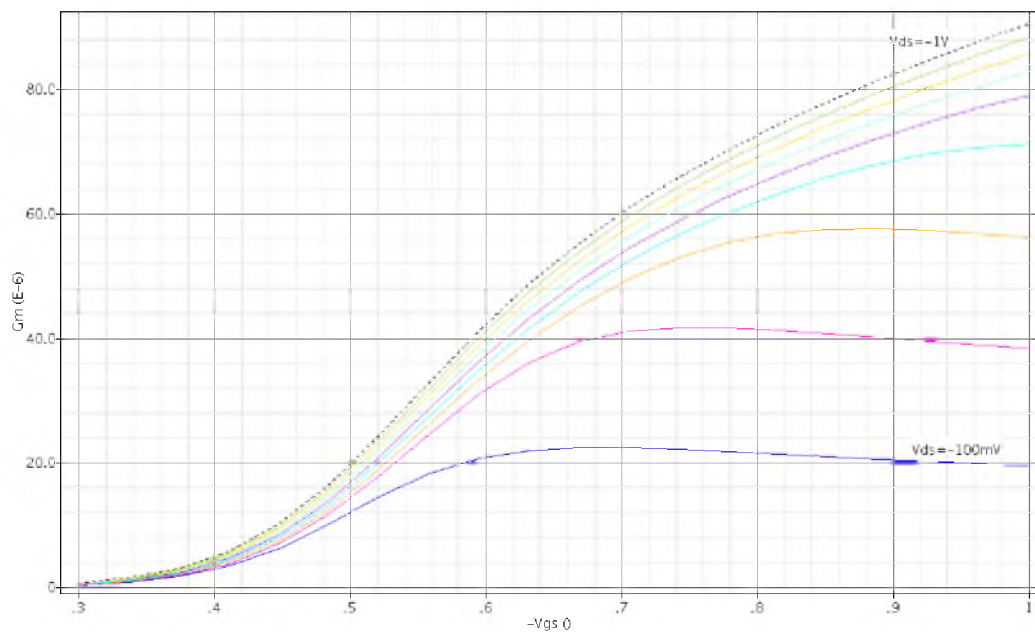


Figura 65: Transistor PMOS 18 - Ganancia vs tensión VGS

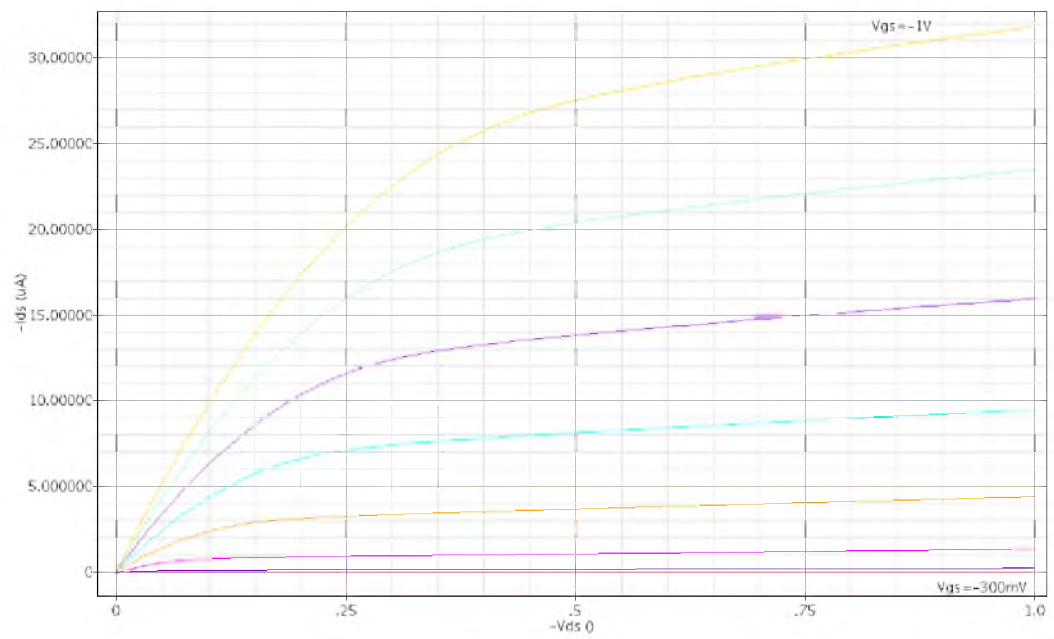


Figura 66: Transistor PMOS 18 - Corriente I_d vs tensión VDS

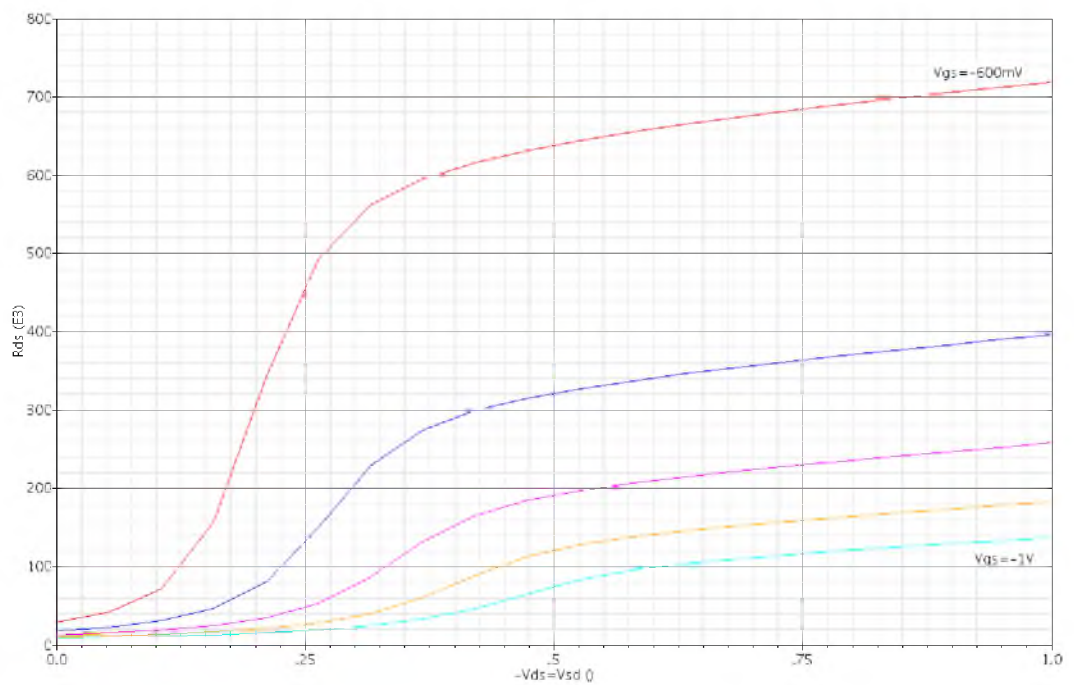


Figura 67: Transistor PMOS 18 - Resistencia de salida vs tensión VDS

ANEXO C: SCRIPT DE MATLAB PARA EL MODELADO DEL RUIDO DE FASE

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%Codigo de Matlab para estimar el ruido de fase de un PLL segun las
%% tablas de dato obtenidas en simulaciones de Cadence.
%% Ademas calcula el ancho de banda optimo para el PLL en funcion del
%% minimo jitter RMS obtenido a la salida.
%%
%% Autor: Valentin Capaldi.
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  PARAMETROS DE ENTRADA  %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%
% Lf_DIV_dBc    ---      Ldiv(f) archivo del ruido de fase dBc/Hz (Cadence)
% PFD_CP_Noise ---      Lpdf_cp(f) archivo del ruido de fase A^2/Hz (Cadence)
% Lf_VCO_dBc    ---      Lvco(f) archivo del ruido de fase dBc/Hz (Cadence)
%
% Simulaciones PSS-PNOISE de Cadence:
% - Frequency Range: de 10KHz a 100MHz
%
% - Sweep Type: Logaritmico con NO MENOS DE 1000 PUNTOS EN TOTAL
%                (no puntos por decada)
% Luego, plotear el pnoise con direct-plot -> main form -> Pnoise.
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
clc;
close all;
clear all;
clear func;
format("short", "eng");
k = 1.3806504e-23; % Cte de Boltzmann
T = 75 + 273.15; % Temperatura
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Kvco = 380e6;
Icp = 1e-3;
PM_deg = 70;
PM_rad = PM_deg*(pi/180);
alfa = 10;
beta = 1/tan(atan(alfa)-PM_rad);
f_err = 10e3;
```

```

f_jump = 1e6;
Fref = 156.25e6; Tref = 1/Fref;
Fout = 5e9;
N = Fout/Fref;
t_dz = 340e-12; % Delay de reset del PFD (ancho del pulso de UP/DW)
Ileak = 2e-12; % Leakage del PMOS (la del filtro es despreciable)
Imissm = 11e-6; % Mismatch de corriente en la CP en porcentaje (20%)
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% PARA MAXIMIZAR AUTOMATICAMENTE LAS VENTANAS %%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
set(0,"units","pixels");
scrsz = get(0,"ScreenSize");
set(0,"defaultfigureposition",[scrsz(1) scrsz(2) scrsz(3) scrsz(4)]);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% LECTURA AUTOMATICA DE ARCHIVOS
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Lf_DIV_dBc = csvread("DIV.csv",1);
Lf_VCO_dBc = csvread("VCO.csv",1);
Lf_PFD_CP_A2 = csvread("PFD_CP_320p.csv",1);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% TRANSPONGO LOS DATOS DE COLUMNAS A FILAS %%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Lf_DIV_dBc = Lf_DIV_dBc';
Lf_VCO_dBc = Lf_VCO_dBc';
Lf_PFD_CP_A2 = Lf_PFD_CP_A2';

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% CALCULO DE LA DENSIDAD ESPECTRAL DE RUIDO
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Sphi_DIV_2 = 2*(10.^(0.1*Lf_DIV_dBc(2,:))); % Sphi_DIV
f_DIV=Lf_DIV_dBc(1,:);

Sphi_VCO_2 = 2*(10.^(0.1*(Lf_VCO_dBc(2,:)))); % Sphi_VCO
f_VCO=Lf_VCO_dBc(1,:);

Sphi_PFD_CP_2 = 2*Lf_PFD_CP_A2(2,:); % Sphi_PFD_CP
f_PFD = Lf_PFD_CP_A2(1,:);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% INTERPOLACION DE CURVAS
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Busco el minimo valor de los vectores de frecuencia de los datos de
% cadence para poder interpolar y que no de error el calculo del jitter
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
fmin(1) = log10(f_DIV(1)); fmax(1) = log10(f_DIV(end));
fmin(2) = log10(f_VCO(1)); fmax(2) = log10(f_VCO(end));
fmin(3) = log10(f_VCO(1)); fmax(3) = log10(f_VCO(end));

% Genero un vector logaritmico con n puntos entre Fmin y Fmax
f = logspace(min(fmin),min(fmax),2000);
w = 2*pi*f;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% INTERPOLACION CUBICA %%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```



```
Sphi_DIV=spline(f_DIV,Sphi_DIV_2,f);
Sphi_VCO=spline(f_VCO,Sphi_VCO_2,f);
Sphi_PFD_CP=spline(f_PFD,Sphi_PFD_CP_2,f);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
CALCULO DEL ANCHO DE BANDA OPTIMO
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
BW=(1e6:.1e6:4e6);

for i=1:length(BW),
fu = BW(i);
Wu = 2*pi*fu;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
CALCULO DE LOS PARAMETROS DEL FILTRO
LIBRO: "CMOS PLL and VCOs for 4G Wireless"
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Rz(i) = (N*Wu)/(Icp*Kvco);
Cz(i) = (Icp*Kvco*alfa)/(N*Wu^2);
Cp(i) = (Icp*Kvco)/(N*beta*Wu^2);
C = (Cz(i)*Cp(i))/(Cz(i)+Cp(i));

F = (1+lj*w*Rz(i)*Cz(i))./(lj*w*(Cz(i)+Cp(i)).*(1+lj*w*Rz(i)*C));
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
CALCULO DE LAS FUNCIONES DE TRANSFERENCIA
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
G = Icp*F*Kvco./(lj*w);
H = 1/N;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
CARACTERISTICAS PASA ALTO Y PASA BAJO DEL PLL
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
LowPass_TF = G./(1+(G*H));
HighPass_TF = 1./(1+(G*H));

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
CALCULO DEL RUIDO DE FASE DE CADA UNO DE LOS BLOQUES DEL PLL
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
VCO_Noise_CL = Sphi_VCO .* (abs(HighPass_TF)).^2;

PFD_CP_Noise_CL = Sphi_PFD_CP .* (abs(LowPass_TF)*2*pi/Icp).^2;

DIV_Noise_CL = Sphi_DIV .* (abs(LowPass_TF)).^2;

Sphi_LPF = 4*k*T*Rz(i)*abs(1./(lj*w*Cp(i)*Rz(i)+1)); % Modelo del LPF
LPF_Noise_CL = Sphi_LPF .* (abs(LowPass_TF./F)*2*pi/Icp).^2;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
CALCULOS DEL JITTER RMS
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
CL_Jitter_vco(i) = (1/(2*pi*Fout))*sqrt(trapz(f,VCO_Noise_CL));

CL_Jitter_pfd_cp(i) = (1/(2*pi*Fout))*sqrt(trapz(f,PFD_CP_Noise_CL));

CL_Jitter_div(i) = (1/(2*pi*Fout))*sqrt(trapz(f,DIV_Noise_CL));

CL_Jitter_lpf(i) = (1/(2*pi*Fout))*sqrt(trapz(f,LPF_Noise_CL));
```

```

Jitter_Total(i) = sqrt(CL_Jitter_vco(i)^2 + CL_Jitter_pfd_cp(i)^2 +...
                      CL_Jitter_div(i)^2 + CL_Jitter_lpf(i)^2);

end
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
figure;
plot(BW/1e6, Jitter_Total/1e-15);
title("ANCHO DE BANDA OPTIMO");
grid on;
xlabel("Ancho de banda (MHz)");
ylabel("Jitter RMS total del PLL (fs)");
axis([min(BW/1e6),max(BW/1e6),min(Jitter_Total/1e-15),...
      max(Jitter_Total/1e-15)]);

figure;
subplot(1,3,1);
plot(BW/1e6, Rz/1e3);
title("RESISTENCIA DEL CERO");
grid on;
xlabel("Ancho de banda (MHz)");
ylabel("Rz (KOhms)");
axis([min(BW/1e6),max(BW/1e6),min(Rz/1e3),max(Rz/1e3)]);

subplot(1,3,2);
plot(BW/1e6, Cz/1e-12);
title("CAPACITOR DEL CERO");
grid on;
xlabel("Ancho de banda (MHz)");
ylabel("Cz (pF)");
axis([min(BW/1e6),max(BW/1e6),min(Cz/1e-12),max(Cz/1e-12)]);

subplot(1,3,3);
plot(BW/1e6, Cp/1e-12);
title("CAPACITOR DEL POLO");
grid on;
xlabel("Ancho de Banda (MHz)");
ylabel("Cp (pF)");
axis([min(BW/1e6), max(BW/1e6), min(Cp/1e-12), max(Cp/1e-12)]);
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% RESULTADOS:
%%% VALORES OPTIMOS - MINIMO JITTER RMS TOTAL
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
[tot_jitter_min, Jitter_min_idx] = min(Jitter_Total);
fu = BW(Jitter_min_idx);
div_jitter_min = CL_Jitter_div(Jitter_min_idx);
vco_jitter_min = CL_Jitter_vco(Jitter_min_idx);
pfd_cp_jitter_min = CL_Jitter_pfd_cp(Jitter_min_idx);
lpf_jitter_min = CL_Jitter_lpf(Jitter_min_idx);
Cz = Cz(Jitter_min_idx);
Rz = Rz(Jitter_min_idx);
Cp = Cp(Jitter_min_idx);
Sphi_LPF = 4*k*T*Rz*abs(1./(1j*w*Cp*Rz+1));
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% FIN CALCULO DEL ANCHO DE BANDA OPTIMO %%%%%%%%%%%%%%%

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Wu = 2*pi*fu;           % Ancho de banda del PLL (Frecuencia de corte del filtro)
Wz = Wu/alfa;           % Frecuencia del CERO
Wp = Wu*beta;           % Frecuencia del POLO
Fz = Wz/(2*pi);
Fp = Wp/(2*pi);
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% BODE DE LA FUNCION DE TRANFERENCIA DEL FILTRO PASA BAJOS
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
num = [Rz*Cz 1];           % Numerador de la TF del LPF
den = [Rz*Cz*Cp (Cz+Cp) 0 0]; % Deniminador de la TF del LPF
LPF_TF = Icp*Kvco*(1/N)*tf(num,den);
[mag, phase] = bode(LP_TF,w);
magdB = 20*log10(mag);           % Magnitud en el Bode
Fu_bode = spline(magdB,w,0)/(2*pi); % Frecuencia de corte en el Bode
phaseMG = 180+spline(w,phase,Fu_bode*2*pi); % Margen de fase en el Bode
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% FUNCIONES DE TRANFERENCIA
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
F = (1+1j*w*Rz*Cz)./(1j*w*(Cz+Cp).*(1+1j*w*Rz*C)); % TF del filtro
G = Icp*F*Kvco./(1j*w); % Ganancia directa
H = 1/N; % Ganancia de la realimentacion
CLoop = G./(1+G.*H); % Funcion de transferencia de lazo cerrado
LowPass_TF = G./(1+(G*H)); % Caracteristica PASA-BAJO
HighPass_TF = 1./(1+(G*H)); % Caracteristica PASA-ALTO

figure;
subplot(1,2,1);
bode(LP_TF);
title("RESPUESTA EN FRECUENCIA DE LAZO ABIERTO");
grid ON;

subplot(1,2,2);
semilogx(f,20*log10(abs(CLoop)));
title("RESPUESTA EN FRECUENCIA DE LAZO CERRADO");
xlabel("Frecuencia (Hz)");
ylabel("Ganancia (dB)");
grid ON;

figure;
semilogx(f, 20*log10(abs(LowPass_TF)), f, 20*log10(abs(HighPass_TF)));
title("CARACTERISTICAS PASA-ALTO Y PASA-BAJO");
legend("Pasa-Bajo", "Pasa-Alto");
grid on;
xlabel("Frecuencia (Hz)");
ylabel("20 Log(|Func Transf|)");
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% CALCULO DE LOS PARAMETROS DINAMICOS DEL PLL
%%% Dean Banerjee - PLL Performance, Simulation, and Design (4th Ed)
%%% Pagina 128
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
wn = sqrt((Icp*Kvco)/(N*(Cp+Cz))); % Frecuencia Natural
zeta = (Rz*Cz*wn)/2; % Factor de amortiguamiento

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%tlock = 4*(1/fu); % APROXIMADO
tlock = (1/(fu*zeta))*log((f_jump/f_err)*sqrt(1-zeta^2));

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% SOBREPICO %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
peaking = 20*log10(max(abs(CLoop)) / abs(CLoop(1)));

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% GRAFICAS DEL RUIDO DE FASE EN LAZO ABIERTO
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
figure;
semilogx(f, 10*log10(Sphi_DIV/2), f, 10*log10(Sphi_VCO/2),...
    f, 10*log10(Sphi_PFD_CP/2), f, 10*log10(Sphi_LPF/2));
title("RUIDOS DE FASE DE CADA BLOQUE EN LAZO ABIERTO");
legend("Divisor", "VCO", "PFD+CP", "LPF");
grid on;
xlabel("Frecuencia (Hz)");
ylabel("L(f) (dBc / Hz)");
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% GRAFICAS DEL RUIDO DE FASE DE LAZO CERRADO
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
VCO_Noise_CL = Sphi_VCO .* (abs(HighPass_TF)).^2;

PFD_CP_Noise_CL = Sphi_PFD_CP .* (abs(LowPass_TF)*2*pi/Icp).^2;

DIV_Noise_CL = Sphi_DIV .* (abs(LowPass_TF)).^2;

LPF_Noise_CL = Sphi_LPF .* (abs(LowPass_TF./F)*2*pi/Icp).^2;

PLL_TOT_NOISE = 10*log10(PFD_CP_Noise_CL + VCO_Noise_CL + DIV_Noise_CL...
    + LPF_Noise_CL);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% ESPUREAS %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Valor de la espureas en Fout +/- Fref.
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

MismSpur_dB = 20*log10((6/10)*pi^2*N*Imissm*(t_dz*fu/Fref));
LeakSpur_dB = 20*log10(0.5*Ileak*Kvco/((Cz+Cp)*2*pi*Fref^2));
TotSpur_dB = 10*log10(10^(MismSpur_dB/10)+10^(LeakSpur_dB/10));

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

figure;
semilogx(f, 10*log10(DIV_Noise_CL), f, 10*log10(VCO_Noise_CL),...
    f, 10*log10(PFD_CP_Noise_CL), f, 10*log10(LPF_Noise_CL),...
    f, PLL_TOT_NOISE, "k");
title("RUIDOS DE FASE DE CADA BLOQUE EN LAZO CERRADO");
legend("Divisor", "VCO", "PFD+CP", "LPF", "Total PLL");
xlabel("Frecuencia (Hz)");
ylabel("L(f) (dBc / Hz)");
grid on;
axis([min(f), max(f), min(PLL_TOT_NOISE), max(PLL_TOT_NOISE)]);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% CALCULOS DEL JITTER RMS
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

```
fprintf(fid, "\n\tJitter RMS de lazo cerrado del PFD+CP:\t\t%.2f"...  
        "\tfSeg\t\t%.2f  %%", CL_Jitter_pfd_cp/1e-15, pfd_cp_percent);  
  
fprintf(fid, "\n\tJitter RMS de lazo cerrado del DIVISOR:\t\t%.2f"...  
        "\tfSeg\t\t %.2f  %%", CL_Jitter_div/1e-15, div_percent);  
  
fprintf(fid, "\n\tJitter RMS TOTAL del PLL:\t\t\t%.2f"...  
        "\tfSeg\n\n", Jitter_Total/1e-15);  
  
fclose(fid);  
eval(strcat("type", " RESULTADOS.txt"));
```

ANEXO D: ARCHIVO .TEK DE ASITIC PARA PROCESO TSMC DE 65NM

Archivo de tecnologia .tek para configurar ASITIC para trabajar con proceso de TSMC de 65nm

```
; TSMC 90nm CMOS technology file

<chip>

    chipx = 256 ; dimensions of the chip in x direction
    chipy = 256 ; dimensions of the chip in y direction
    fftx = 256 ; x-fft size (must be a power of 2)
    ffty = 256 ; y-fft size
    TechFile = tsmcn65_7m.tek
    TechPath = .
    freq = 10.3 ; frequency of operation
    eddy =1
    eddy =2

<layer> 0 ; isolation layer underneath the p(-) bulk layer
    rho = 1e10 ; ohm-cm [default]
    t = 500 ; microns [default]
    eps = 3.9 ; relative permittivity [default]

<layer> 1 ; p(-) bulk layer
    rho = 10 ; ohm-cm [default]
    t = 270 ; microns [default]
    eps = 11.9 ; relative permittivity [default]

<layer> 2 ; pwell layer under FOX, pwell implant blocked
    rho = 10 ; ohm-cm [default]
    t = 0.3 ; microns [default]
    eps = 11.9 ; relative permittivity [default]

<layer> 3 ; Oxide Layer
    rho = 1e10 ; [default]
    t = 100 ; ???d(m9)+0.85+PASS1-6+filling material above the die
    eps = 3.89 ; average epsilon under M7 (note, av.eps between M7 turns 4.42)

<metal> 0 ; substrate tie
    layer = 2
```

```
    rsh = 100                ; sheet resistance [mohm/sqr] [default]
    t = 0.15                 ; thickness [um] [default]
    d = 0.15                 ; distance from bottom of layer [um] [default]
    name = m0
    color = yellow

<metal> 1                    ; metal 1
    layer = 3
    rsh = 160
    t = 0.18
    d = 0.590
    name = m1
    color = blue

<metal> 2                    ; metal 2
    layer = 3
    rsh = 140
    t = 0.22
    d = 0.945
    name = m2
    color = orange

<metal> 3                    ; metal 3
    layer = 3
    rsh = 140
    t = 0.22
    d = 1.340
    name = m3
    color = purple

<metal> 4                    ; metal 4
    layer = 3
    rsh = 140
    t = 0.22
    d = 1.735
    name = m4
    color = green

<metal> 5                    ; metal 5
    layer = 3
    rsh = 140
    t = 0.22
    d = 2.130
    name = m5
    color = red

<metal> 6                    ; metal 6
    layer = 3
    rsh = 22
    t = 0.9
    d = 2.945
    name = m6
    color = blue

<metal> 7                    ; metal 7
```

```

        layer = 3
        rsh = 22
        t = 0.9
        d = 4.440
        name = m7
        color = green

<via> 0                                ; metal 1 to substrate
    top = 1
    bottom = 0
    r = 26                             ; resistance per contact [ohm]
    width = .1
    space = 0.13
    overplot1 = .05
    overplot2 = .05
    name = via0
    color = brown

<via> 1                                ; metal 1 to metal 2
    top = 2
    bottom = 1
    r = 1.5                            ; resistance per via [ohm]
    width = .1
    space = 0.13
    overplot1 = .07
    overplot2 = .07
    name = via1
    color = purple

<via> 2                                ; metal 2 to metal 3
    top = 3
    bottom = 2
    r = 1.5                            ; resistance per via [ohm]
    width = .1
    space = 0.13
    overplot1 = .07
    overplot2 = .07
    name = via2
    color = yellow

<via> 3                                ; metal 3 to metal 4
    top = 4
    bottom = 3
    r = 1.5                            ; resistance per via [ohm]
    width = .1
    space = 0.13
    overplot1 = .07
    overplot2 = .07
    name = via3
    color = blue

<via> 4                                ; metal 4 to metal 5
    top = 5
    bottom = 4

```

```

    r = 1.5                                ; resistance per via [ohm]
    width = .1
    space = 0.13
    overplot1 = .07
    overplot2 = .07
    name = via4
    color = red

<via> 5                                    ; metal 5 to metal 6
    top = 6
    bottom = 5
    r = 0.22                                ; resistance per via [ohm]
    width = 0.36
    space = 0.34
    overplot1 = .08
    overplot2 = .08
    name = via5
    color = yellow

<via> 6                                    ; metal 6 to metal 7
    top = 7
    bottom = 6
    r = 0.22                                ; resistance per via [ohm]
    width = 0.36
    space = 0.34
    overplot1 = .08
    overplot2 = .08
    name = via6
    color = purple
```

Bibliografía

- [1] ADEM AKTAS AND MOHAMMED ISMAIL. *CMOS PLLs and VCOs for 4G Wireless*. Kluwer Academic Pub, 2004. [11](#), [30](#)
- [2] R. JACOB BAKER. *CMOS Circuit Design, Layout, and Simulation*. IEEE Press, 1998.
- [3] DEAN BANERJEE. *PLL Performance, Simulation, and Design*. Dean Banerjee Pubns, 2004.
- [4] ROLAND E. BEST. *Phase-Locked Loops*. McGraw-Hill, 1993. [10](#)
- [5] ROLAND E. BEST. *Phase Locked Loops Design, Simulation, and Applications*. McGraw-Hill, 1999.
- [6] GIOVANNI BIANCHI. *Phase-Locked Loop Synthesizer Simulation*. McGraw Hill, 2005.
- [7] ROBERT C. CHANG AND LUNG-CHIH KUO. A new low-voltage charge pump circuit for pll.
- [8] WILLIAM F. EGAN. *Frequency Synthesis by Phase Lock*. Wiley-Interscience, 1999.
- [9] WILLIAM F. EGAN. *Phase-Lock Basics, Second Edition*. John Wiley & Sons, Inc, 2008.
- [10] FLOYD M. GARDNER. *Phaselock Techniques (Third Edition)*. John Wiley & Sons, Inc, 2005. [8](#), [23](#)
- [11] P. GRAY, P. HURST, S. LEWIS, AND R MEYER. *Analysis and Design of Analog Integrated Circuits Fourth Edition*. John Wiley & Sons, Inc, 2001.
- [12] A. B. GREBENE. *The monolithic phase lock loop - A versatile building block*. IEEE Spectrum, vol. 8, pp. 38-49, 1971. [9](#), [10](#)
- [13] MICHAEL GREEN. Dynamics of high-frequency cmos dividers. [109](#)
- [14] ALI HAJIMIRI AND THOMAS LEE. *The Design of Low Noise Oscillators*. Springer International, 1999. [30](#), [104](#)
- [15] PAYAM HEYDARI. Design issues in low-voltage high-speed cml buffers. [109](#)
- [16] NESREEN ISMAIL AND MASURI OTHMAN. A simple cmos pfd for high speed applications.
- [17] HANJUN JIANG, DEGANG CHEN, CHENGMING HE, AND RANDALL GEIGER. Optimal loop parameter design of charge pump plls for jitter transfer characteristic optimization.

-
- [18] K.A. KOUZNETSOV AND R. G. MEYER. Phase noise in lc oscillators. IEEE J. Solid-State Circuits, vol. 35, 2000. 26
 - [19] KEN KUNDERT. Predicting the phase noise and jitter of pll-based frequency synthesizers, Version 4g, August 2006. 18
 - [20] WON HYU LEE, JUN DONG CHO, AND SUNG DAE LEE. A high speed and low power phase-frequency detector and charge - pump.
 - [21] D.B. LEESON. A simple model for oscillator noise spectrum. Proc. IEEE, vol. 54, 1966. 26
 - [22] RAVINDRAN MOHANAVELU AND PAYAM HEYDARI. A novel ultra high-speed flip-flop-based frequency divider.
 - [23] JAE HYUNG NOH AND HANG GEUN JEONG. Charge-pump with a regulated cascode circuit for reducing current mismatch in plls.
 - [24] ATHANASIOS PAPOULIS. *Probability Random Variables, and Stochastic Processes*. McGraw-Hill, Third Edition, 1991. 17, 19
 - [25] RUDY VAN DE PLASSCHE. *Integrated Analog to Digital And Digital to Analog Converters*. Kluwer Academic Publishers, 1994.
 - [26] CHETHAN RAO, ALVIN WANG, AND SHAISHAV DESAI. A 0.46ps rjrms 5ghz wideband lc pll for multi-protocol 10gb/s serdes. Custom Intergrated Circuits Conference (CICC), 2009. 150
 - [27] BEHZAD RAZAVI. *Monolithic Phase-Locked Loops and Clock Recovery Circuits : Theory and Design*. Wiley-IEEE Press, 1996. 7
 - [28] BEHZAD RAZAVI. *Design of Analog CMOS Integrated Circuits*. McGraw Hill, 2001.
 - [29] BEHZAD RAZAVI. *Design of Integrated Circuits for Optical Communications*. McGraw Hill, 2003.
 - [30] BEHZAD RAZAVI. *Phase-Locking in High-Performance Systems*. IEEE Press, 2003.
 - [31] WOOGUN RHEE. Design of high-performance cmos charge pumps in phase-locked loops. 97
 - [32] SEDRA AND SMITH. *Microelctronic Circuits*. Oxford University, 1998.
 - [33] ULLAS SINGH AND MICHAEL GREEN. High-frequency cml clock dividers in 0.13-μm cmos operating up to 38 ghz.
 - [34] CICERO S. VAUCHER. *Architectures for RF Frequency Synthesizers (The Springer International Series in Engineering and Computer Science)*. Springer International, 2002.
 - [35] CADENCE SPECTRERF WORKSHOP. Vco design using spectrerf. 22

-
- [36] SUNG-HYUN YANG, YOUNGGAP YOU, AND KYOUNG-ROK CHO. A new dynamic d-flip-flop aiming at glitch and charge sharing free. [112](#)
- [37] JIREN YUAN AND CHRISTER SVENSSON. High-speed cmos circuit technique. Journal of Solid-State Circuits. [94](#)
- [38] ZHAO ZHENYU, BAI CHUANG, AND ZHANG MINXUAN. A low-noise pll design achieved by optimizing the loop bandwidth.